

Diese Arbeit befasst sich mit dem Entwurf ressourceneffizienter, d.h. flächen- und energieeffizienter pulscodierter neuronaler Netze und ihrer technischen Umsetzung in CMOS-Technologien.

Dazu wird die von einer Nervenzelle bei der Informationsverarbeitung umgesetzte Energie mit einem auf einem Zustandsregler basierenden Modell des Ionentransports an einer Zellmembran abgeschätzt und als Maß für die erarbeiteten technischen Implementierungen herangezogen.

Der Übergang zur technischen Umsetzung von Neuronen wird durch die Betrachtung eines elektrischen Neuronenmodells und der Ableitung wesentlicher Eigenschaften aus dem Modell geschaffen. Anschließend werden ressourceneffiziente Umsetzungen von pulsenden Neuronen in digitaler und analoger Schaltungstechnik in CMOS-Technologien mit Strukturgrößen von 130nm und kleiner entworfen sowie hinsichtlich der benötigten Ressourcen und ihrer Eigenschaften bewertet. Es zeigt sich, dass die analoge Implementierung von pulsenden Neuronen in einer 130nm CMOS-Technologie von allen technischen Umsetzungen die geringsten Ressourcen benötigt.

Bei der Untersuchung der digitalen Umsetzungen der Neurone wird eine weitere Möglichkeit zur Reduktion der Verlustleistung gezeigt. Durch den Entwurf und Einsatz einer spezialisierten, digitalen Standardzellenbibliothek mit Elementen, die mit besonders niedriger Versorgungsspannung arbeiten, kann die Verlustleistung digitaler Implementierungen um Größenordnungen gegenüber herkömmlichen Ansätzen reduziert werden.