



Zusammenfassung der Dissertation:

**Hochgeschwindigkeits MOS ICs für eine Signalprozessor-Eingangsschnittstelle  
eines optischen synchronen QPSK Empfängers und  
entsprechende Taktverteilungsprobleme**

**Vijitha Rohana Herath**

Das exponentielle Wachstum des Internetverkehrs macht es notwendig, die Übertragungskapazität der optischen Hauptverbindungen zu vergrößern. Zurzeit arbeitet der größte Teil der Hauptinternetverbindungen mit Datenraten bis zu 10 Gbit/s (OC-192/STM-64). Die Erhöhung der Kapazität der vorhandenen Übertragungssysteme durch neuartige Modulationstechniken ist eine Lösung. Die Quadraturphasenumtastung (QPSK) mit Polarisationsmultiplex vierfacht die Kanalkapazität gegenüber dem Intensitätsmodulationsschema. Die synchrone QPSK Übertragung mit Return-to-Zero (RZ)-Codierung und Polarisationsmultiplex erscheint als die vielversprechendste Weise, die vorhandenen Faser-Verbindungen auszubauen. Diese Modulationstechnik kann vorhandene 10 Gbit/s-Verbindungen zu 40 Gbits/s steigern. Das von der EG-Kommission geförderte synQPSK-Projekt zielte darauf, die gewerblich nicht verfügbaren Komponenten des synchronen QPSK Übertragungssystems zu entwickeln. Das phasenrauschtolerante Takt und Datenrückgewinnungsmodul ist ein solcher Bestandteil, der entwickelt wird. Dieses Modul schließt A/D-Wandler und eine digitale Signalverarbeitungseinheit (DSPU) ein. Die nominelle Datenrate eines A/D-Wandler-Ausgangskanals ist 10 Gbit/s. Das A/D umgewandelte empfangene Signal wird dann in die DSPU verarbeitet. Die DSPU ist in CMOS Technologie entworfen, um die Kosten der Herstellung und den Stromverbrauch zu reduzieren. Das Standardzellenmodul der DSPU kann nicht mit 10 GHz Taktfrequenz funktionieren. Deshalb ist es notwendig, eine individuell angepasste Eingangsschnittstelle für den CMOS DSPU zu entwickeln. Die Schnittstelle reduziert die Eingangsdatenrate auf ein Niveau das die Standardzellen DSPU verarbeiten kann. Diese Doktorarbeit präsentiert das Design der Eingangsschnittstelle der synchronen QPSK Empfänger DSPU (mit und ohne Polarisationsmultiplex). Die Schnittstelle wurde in 130 nm CMOS Technologie entworfen. Es schließt einen 1:8 DEMUX Stufe und einen quellengekoppelte FET Logik zu CMOS Logikkonverter Stufe ein. Die Doktorarbeit bespricht die Designprobleme von verschiedenen Schaltungsblöcken der Schnittstelle sowie den Schaltungsentwurf. Die Simulations- und Testergebnisse sowohl der Schnittstelle, des alleinstehenden Frequenzteiler-Chips, als auch des 1:2 DEMUX Chips werden besprochen. Die Simulationsergebnisse von Ultra-Hochgeschwindigkeitsmodulen werden auch präsentiert. Außerdem präsentiert diese Doktorarbeit eine Methode um den Erwartungswert der Taktungenauigkeit von einem ausgeglichenen H-Baum-Takt-Verteilungsnetz in Anwesenheit von zufälligen Prozess-Schwankungen und ungleichförmiger Substrat-Temperatur zu schätzen.