

# **Integrationstechniken für organische Dünnschichttransistoren in der flexiblen Elektronik**

Von der Fakultät für Elektrotechnik, Informatik und Mathematik  
der Universität Paderborn

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaft (Dr.-Ing.)

genehmigte Dissertation

von

**Thorsten Meyers, M.Sc.**

Erster Gutachter: Prof. Dr.-Ing. Ulrich Hilleringmann

Zweiter Gutachter: Prof. Dr. rer. nat. Jörg K. N. Lindner

Tag der mündlichen Prüfung: 16. Februar 2021

Paderborn 2021

Diss. EIM-E/360



Für meine Familie.



## Integrationstechniken für organische Dünnschichttransistoren in der flexiblen Elektronik

des Herrn Thorsten Meyers

Die technischen Innovationen der heutigen Zeit sind durch die zunehmende Digitalisierung, vor allem im Zuge des „Internet der Dinge“ und der „Industrie 4.0“, getrieben. Die flexible Elektronik stellt eine Möglichkeit dar, elektronische Schaltungen und Sensorensysteme kostengünstig herzustellen und Produkte mit einer zusätzlichen Funktionalität auszustatten. Dünnschichttransistoren (engl.: *Thin-Film Transistors*, TFTs) sind hierfür ein Schlüsselement, da sie den Strom in elektronischen Systemen steuern. In Synergie mit der Leistungsfähigkeit der Silizium-Technologie ermöglicht dies die Entwicklung von innovativen und kostengünstigen Produkten.

In dieser Arbeit werden organische TFTs für die flexible und transparente Elektronik entwickelt. Die Integration fokussiert sich auf Prozesse niedriger Temperatur, wodurch der Transfer auf großflächige, flexible Substrate ermöglicht wird. Als Halbleitermaterialien werden neben den thermisch aufdampfbaren Materialien DNTT und DTT auch das lösliche Material C<sub>8</sub>-BTBT verwendet. Die Strukturierung der Elektroden erfolgt mittels konventioneller fotolithographischer Prozesse. Für das Gate-Dielektrikum werden lösungsmittelbasierte Materialsysteme verwendet und bezüglich ihrer physikalischen und elektrischen Eigenschaften charakterisiert. Als *high-k* Dielektrikum dient das Nanokomposit inoflex T3. Die Integration dieser TFTs erfolgt in der *Bottom Gate Bottom Contact* Architektur. Da die polymere Matrix des Materialsystems inoflex sensitiv gegenüber alkalischen Lösungen ist, wird erstmals eine Herstellungsroutine entwickelt, die eine reproduzierbare Leistungsfähigkeit der integrierten TFTs gewährleistet. Ebenso erfolgt ein Transfer dieser Routine auf polymere Substrate. Erstmals wird ein Selbstjustierungsprozess für die Elektrodenanordnung der organischen TFTs unter Verwendung eines Nanokomposits als Dielektrikum entwickelt. Ferner wird eine Adaption der Integrationsroutine durchgeführt, um die Strukturierung der Isolationsschicht ohne weitere Fotomaske zu ermöglichen. Weiterhin erfolgt die Integration von TFTs in der *Top Gate Bottom Contact* Architektur unter Verwendung des fluorierten Polymers SX AR-PC-5060 als *low-k* Dielektrikum. Eine Analyse bezüglich des Einflusses der Substrattopologie auf die Leistungsfähigkeit der integrierten TFTs erfolgt sowohl für das *high-k* als auch für das *low-k* Dielektrikum.

Ferner werden Inverter auf Basis organischer TFTs auf starren Substraten hergestellt und bezüglich ihrer statischen und dynamischen Eigenschaften charakterisiert. Die Entwicklung eines komplementären Designs unter Verwendung eines anorganischen n-Kanal und organischen p-Kanal TFTs wird evaluiert. Weiterführend wird eine Routine zur Realisierung von Strukturdimensionen von  $< 1 \mu\text{m}$  unter Verwendung konventioneller fotolithographischer Prozesse entwickelt und diskutiert. Diese neuen Ergebnisse im Bereich der Herstellung von organischen TFTs auf flexiblen und transparenten Substraten ebnen den Weg für eine reproduzierbare Integrationsroutine mit hoher Durchsatzrate und Integrationsdichte für die komplementäre Schaltungstechnik sowie der kostengünstigen Sensorik.

**Integration processes for organic  
thin-film transistors in flexible electronics****by Mr. Thorsten Meyers**

Nowadays, technical innovation is driven by the growing digitalization including the “Internet of Things” and the “Industry 4.0”. The low-cost integration of electronic circuits and sensor systems for flexible electronics provide products with additional functionalities. Thin-film transistors (TFTs) are key elements for driving the current in these systems. In synergy with the performance of silicon technology, hybrid systems enable the development of innovative, low-cost products.

In this study, organic TFTs for flexible and transparent electronics are developed. The integration processes are focused on low temperatures enabling the transfer of the routine to large-area and flexible substrates. As semiconducting materials, evaporation-deposited DNNT and DTT as well as solution-deposited C<sub>8</sub>-BTBT are applied. The electrodes are structured using conventional photolithographic processes. Solution-based materials are utilized as Gate dielectrics and are analyzed regarding their physical and electrical characteristics. The nanocomposite inoflex T3 is applied as *high-k* dielectric. TFTs using this nanocomposite as insulation layer are integrated in a *Bottom Gate Bottom Contact* setup. Due to the sensitivity of the polymeric matrix of the material inoflex to alkaline solutions, an integration routine enabling the fabrication of TFTs with a reproducible performance is developed. Subsequently, the fabrication process is also transferred to polymeric substrates. For the first time, a self-alignment process for organic TFTs using a nanocomposite as dielectric is developed. Furthermore, the integration routine is adapted for structuring the insulating layer without an additional photomask. The fabrication of TFTs in a *Top Gate Bottom Contact* configuration using the fluorinated polymer SX AR-PC-5060 as *low-k* dielectric is executed as well. The influence of the substrate topology on the performance of the integrated TFTs using the *high-k* and *low-k* insulators is analyzed.

Furthermore, inverters utilizing organic TFTs on rigid substrates are characterized regarding their static and dynamic properties. The development of a complementary design using inorganic n-channel and organic p-channel TFTs is evaluated. Additionally, an integration process for the realization of structures with dimensions  $< 1 \mu\text{m}$  using conventional photolithographic processes is developed and discussed. These novel findings regarding the fabrication of organic TFTs on flexible and transparent substrates will path the way for reproducible, high-throughput integration processes for complementary electronic circuits and low-cost sensor systems.

## DANKSAGUNG

Die nachfolgende Arbeit wäre ohne die stetige Unterstützung verschiedener Personen in der vorliegenden Form nicht möglich gewesen. Diesen möchte ich, bevor ich mit der eigentlichen Dissertation starte, meinen besonderen Dank aussprechen:

- Prof. Dr.-Ing. Ulrich Hilleringmann als Leiter des Fachgebiets für die Ermöglichung der Bearbeitung dieses interessanten Forschungsthemas. Die Bereitstellung seiner umfangreichen Infrastruktur für die Durchführung der Experimente, seine stetige Unterstützung, der kontinuierliche Ideenaustausch sowie seine Einschätzungen ebneten den Weg für diese Arbeit. Ebenso gewährte er mir stets die Möglichkeit, meine Ergebnisse auf nationalen und internationalen Konferenzen zu präsentieren und hierdurch mein Wissen auszubauen und mein Kontaktnetzwerk zu erweitern.

- Prof. Dr. rer. nat. Jörg K. N. Lindner, Leiter des Fachgebiets für Nanostrukturierung – Nanoanalytik – Photonische Materialien (NNP) der Universität Paderborn, für die Übernahme des Zweitgutachtens.

- Meinem ehemaligen Arbeitskollegen Prof. Dr.-Ing. Fábio Fedrizzi Vidor, dessen Zusammenarbeit mit der Frage „Wir können zusammen oder getrennt voneinander arbeiten, was bevorzugst du?“ startete. Danke für alles, für die unzähligen Laborexperimente, für den stetigen Austausch von Ideen, für die unzähligen Diskussionsrunden und natürlich für die Durchsicht meiner Arbeit. Seiner Frau Jéssica Zanotto Vidor für ihre Nachsicht bezüglich der teilweise ausufernden Laborarbeitszeiten mit ihrem Mann und schließlich für ihre Unterstützung als Teil des TFT-Teams. Ich danke euch beiden für eure unermüdliche

mentale Unterstützung, wodurch wir in all der Zeit zu wirklich engen Freunden geworden sind!

- Meiner ehemalige Arbeitskollegin M. Sc. Julia Reker für die gute, angenehme und fruchtbare Zusammenarbeit sowie der Durchsicht meiner Dissertation.

- Meinen ehemaligen Arbeitskollegen Sabine Schlegelhuber, Dr.-Ing. Marcel Schönhoff, Dr.-Ing. Fabian Assion, M. Sc. Dennis Drude, Dipl.-Ing. Thomas Hett, Dipl.-Ing. Dmitry Petrov, Dr.-Ing. André Kleine, Sebastian Lappe und Werner Büttner, welche mir vielfältig mit Rat und Tat zur Seite standen.

- Dem aktuellen Azubi Frederik Koch sowie den bereits fertigen Mikrotechnologinnen Miriam Baumhögger und Lara Richter, für ihre Unterstützung bei der Probenpräparation.

- Den eifrigen Studenten allen voran B. Sc. Leon Lenk, M. Sc. Julian Temme und M. Sc. Charlotte Puls, ohne die diese Arbeit niemals hätte wachsen können.

- Der AG Prof. Dr. rer. nat. Jörg Lindner, NNP, Department Physik, für die Unterstützung bei der Bestimmung der Oberflächenenergien. Besonderen Dank gilt hierbei Dr. rer. nat. Katharina Brassat für den jahrelangen Austausch von Wissen und Ideen sowie für das stets offene Ohr, der mentalen Unterstützung und Durchsicht meiner Dissertation.

- Dem AK Prof. Dr. rer. nat. Heinz S. Kitzerow, Physikalische Chemie, Department Chemie, für die Unterstützung bei dem bildgebenden Verfahren der Polarisationsmikroskopie sowie den gemeinsamen Experimenten zum Materialsystem DTT.

- Dem AK Prof. Dr. rer. nat. Jan Paradies, Organische Chemie, Department Chemie, für die Bereitstellung des Materialsystems DTT.

- Der Deutschen Forschungsgemeinschaft DFG (GRK 1464, Hi 551/63-1) und dem Bundesministerium für Bildung und Forschung BMBF (KoSeWaqua) für die finanzielle Unterstützung dieser Arbeit.

- Meinen Eltern und Schwiegereltern für den stetigen Zuspruch und der uneingeschränkten Unterstützung bei allen meinen Vorhaben.

- Meiner Familie – meinen Kindern Linus und Malin – die mir stets, vor allem in schwierigen Phasen, Kraft geben! Und natürlich meiner Frau Britta für einfach ALLES (speziell für ihre unglaubliche Geduld)!



# INHALTSVERZEICHNIS

<b>Kurzzusammenfassung</b>	<b>V</b>
<b>Eidesstattliche Erklärung</b>	<b>VII</b>
<b>Danksagung</b>	<b>VII</b>
<b>Inhaltsverzeichnis</b>	<b>IX</b>
<b>1 Einleitung</b>	<b>13</b>
1.1 Historie der Transistortechnologie . . . . .	13
1.2 Zielsetzung . . . . .	17
1.3 Gliederung . . . . .	18
<b>2 Grundlagen organischer Halbleiter</b>	<b>21</b>
2.1 Elektronische Eigenschaften individueller Moleküle . . . . .	22
2.2 Ladungstransport in organischen Festkörpern . . . . .	25
2.3 Thieno[3,2-b]thiophen Derivate . . . . .	29
<b>3 Theorie der Dünnschichttransistoren</b>	<b>33</b>
3.1 Aufbau . . . . .	34
3.2 Funktionsweise und Betriebsbereiche . . . . .	36
3.3 Metall-Halbleiter-Grenzfläche . . . . .	39
3.4 Austrittsarbeit von realen metallischen Elektroden . . . . .	45
3.5 Gate-Dielektrikum . . . . .	47

---

3.6	Abweichungen vom idealen Transistorverhalten . . . . .	50
3.7	Parameterextraktion . . . . .	56
<b>4</b>	<b>Grundlegende Methodiken</b>	<b>63</b>
4.1	Dünnschichtparameter . . . . .	63
4.2	Deposition und Strukturierung metallischer Elektroden . . . . .	66
4.3	Deposition von organischen Halbleitern . . . . .	70
4.3.1	Deposition unter Vakuumbedingungen . . . . .	70
4.3.2	Lösungsmittelbasierte Depositionsmethoden . . . . .	73
<b>5</b>	<b>Dünnschichttransistoren und Schaltungen mit inoflex T3</b>	<b>75</b>
5.1	Deposition und Charakterisierung von inoflex T3 . . . . .	76
5.2	Integrationsroutine für organische Dünnschichttransistoren . . . . .	82
5.3	Dünnschichttransistoren mit C <sub>8</sub> -BTBT . . . . .	91
5.4	Selbstjustierte Dünnschichttransistoren . . . . .	98
5.5	Strukturierung des aktiven Transistorbereichs . . . . .	107
5.6	Modifikation der Austrittsarbeit metallischer Elektroden . . . . .	112
5.7	Foliensubstrate . . . . .	116
5.8	Einfluss der Gate-Strukturhöhe . . . . .	122
5.9	Schaltungen . . . . .	127
5.9.1	Funktionsweise und Realisierung von Inverter-Strukturen . . . . .	128
5.9.2	Statische Charakterisierung von Invertern . . . . .	130
5.9.3	Dynamische Charakterisierung von Invertern . . . . .	132
5.9.4	Komplementäre Inverter-Schaltungen auf Foliensubstraten . . . . .	135
<b>6</b>	<b>Dünnschichttransistoren und Schaltungen mit SX AR-PC-5060</b>	<b>141</b>
6.1	Deposition und Charakterisierung des Polymers SX AR-PC-5060 . . . . .	141
6.2	Einzeltransistoren und statische Charakterisierung von Invertern . . . . .	145
6.3	Planarisierung und dynamische Charakterisierung von Invertern . . . . .	150
<b>7</b>	<b>Weitere experimentelle Untersuchungen</b>	<b>157</b>
<b>8</b>	<b>Zusammenfassung</b>	<b>163</b>
8.1	Ausblick . . . . .	166
	<b>Literaturverzeichnis</b>	<b>169</b>

<b>Formelzeichen und Abkürzungen</b>	<b>207</b>
<b>Anhang</b>	<b>211</b>
A.1 Ätzlösungen . . . . .	211
A.2 Fototechnikparameter . . . . .	212
A.3 Trockenätzprozess . . . . .	213
<b>Publikationen</b>	<b>214</b>



Die technischen Innovationen der heutigen Zeit sind vor allem durch das „Internet der Dinge“ (engl.: *Internet of Things*, IoT) getrieben. Hinter diesem Paradigma verbirgt sich die grundsätzliche Idee, dass allgegenwärtige Dinge und Objekte um uns herum durch ein einzigartiges Adressierungsschema die Möglichkeit haben, untereinander zu interagieren und mit dem benachbarten Objekt zu kooperieren, um gemeinsame Ziele zu erreichen [AIM10]. Zu diesen Objekten zählen u. a. Funketiketten (engl.: *Radio-Frequency IDentification tags*, RFID-tags), Sensoren, Aktuatoren oder Mobiltelefone. In den letzten Dekaden wurde die RFID-basierte Identifikation weitreichend in der Logistik, im Verkauf und der Pharmazie eingesetzt. Seit 2010 führt die Optimierung von intelligenten Sensoren und Sensornetzwerken sowie die Verringerung der Leistungsaufnahme der drahtlosen Kommunikation dazu, dass eine große Anzahl an „Dingen“ zu einem IoT zusammengeschlossen werden können [LXZ15]. Speziell die Transistortechnologie ist in den zugrundeliegenden Schaltungen unersetzlich.

## 1.1 Historie der Transistortechnologie

Die Historie der Transistoren geht zurück bis in das Jahr 1925, in dem Julius Edgar Lilienfeld das Konzept des Feldeffekt-Transistors (engl.: *Field-Effect Transistor*, FET) entwickelte (Abbildung 1.1). Er nahm an, dass durch das Anlegen einer Spannung an ein schlecht leitendes Material dessen Leitfähigkeit beeinflusst werden kann, so dass der

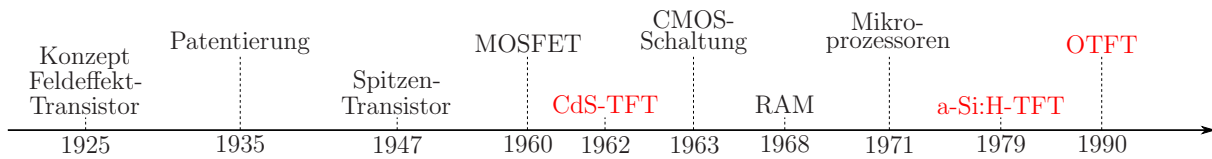


Abbildung 1.1: Meilensteine der Transistortechnologie (nach [Kuo13]).

Stromfluss zwischen zwei Kontakten moduliert und hierdurch eine Verstärkung erreicht wird [BHT97]. Zwar patentierte er sein theoretisches Konzept, allerdings konnte zu diesem Zeitpunkt das Prinzip aufgrund der fehlenden Technologie noch nicht experimentell evaluiert werden. So dauerte es bis zum Jahr 1947, bis die Forschungsgruppe an den Bell Laboratories (Standort: Murray Hill, New Jersey, USA) um John Bardeen, Walter Brattain und William Shockley den ersten funktionsfähigen Spitzentransistor (engl.: *point-contact transistor*) – einen Bipolartransistor auf Basis von Germanium – herstellen konnte [BHT97]. Trotz der geringen Beachtung dieses Durchbruchs in der Öffentlichkeit trieb die Forschungseinrichtung ihre Bestrebungen weiter voran, so dass in den späten 1950er Jahren der erste Metall-Oxid-Halbleiter-Feldeffekt-Transistor (*Metal Oxid Semiconductor Field-Effect Transistor*, MOSFET) von Mohamed Atalla und Dawon Kahng entwickelt werden konnte (Abbildung 1.2 (a)) [BHT97]. Dieser auf dem elementaren, einkristallinen Halbleiter Silizium (Si) und dem Isolator Siliziumdioxid ( $\text{SiO}_2$ ) basierte MOSFET ist als Meilenstein in der Transistortechnologie anzusehen. Das zugrundeliegende Integrationskonzept bildet die Basis für den heutzutage standardisierten Herstellungsprozess in Planartechnik. Die prinzipielle Funktionsweise des Bauelements basiert auf der kapazitiven Modulation der Leitfähigkeit des Halbleitermaterials durch ein elektrisches Feld. Hierbei wird der Transistor typischerweise in Inversion betrieben, so dass für den Stromfluss die Minoritätsladungsträger des Halbleiters verantwortlich sind. Diese Entwicklung ebnete den Weg ins Siliziumzeitalter und bildet die Grundlage der heutigen integrierten, elektronischen Schaltungen.

Neben der Si-Technologie fokussierten sich verschiedene Forschungsgruppen auch auf komplexere Verbindungshalbleiter wie Cadmiumsulfid (CdS). So wurde im Jahr 1962 in den RCA Laboratories (Standort: Princeton, New Jersey, USA) von Paul K. Weimer der erste Dünnschichttransistor (engl.: *Thin-Film Transistor*, TFT) auf Basis des Halbleiters CdS und der Isolationsschicht Siliziummonoxid ( $\text{SiO}$ ) entwickelt (Abbildung 1.2 (b)) [Wei62]. Im Gegensatz zur MOSFET-Technologie werden TFTs in Akkumulation betrieben, so dass die Majoritätsladungsträger des Halbleiters für den Stromfluss verantwortlich sind. Trotz des anfänglich als gering eingeschätzten Anwendungspotentials aufgrund der do-

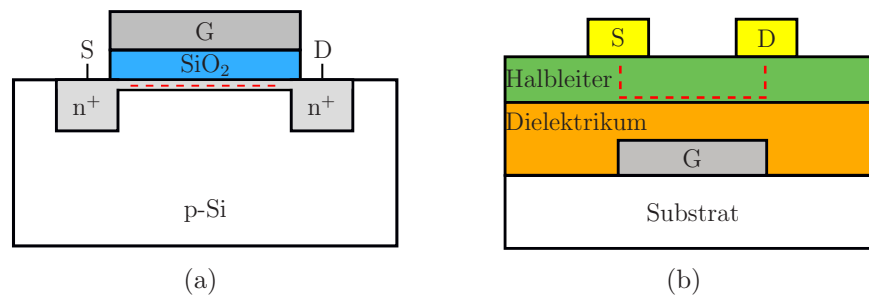


Abbildung 1.2: Schematischer Aufbau (a) eines MOSFETs und (b) eines TFTs. Während der MOSFET in Inversion betrieben wird, zeichnet sich der TFT durch seinen Betrieb in Akkumulation aus. Im Fall des MOSFETs erfolgt die Integration des Transistors direkt im einkristallinen Si-Substrat. Bei der Herstellung des TFTs dient das Substrat lediglich als Träger des Bauelements, so dass Schaltungen auf flexiblen Substraten integriert werden können (S: Source, D: Drain, G: Gate, -: Elektronen).

minierenden Leistungsfähigkeit der MOSFET-Technologie, änderte sich diese Ansicht in den 1970er Jahren entscheidend. So wurde ersichtlich, dass die Realisierung von niedrigen Herstellungskosten in der einkristallinen Si-Technologie untrennbar mit der Miniaturisierung der Bauelemente verknüpft ist [Kag03]. Verschiedene großflächige (engl.: *large-area*) Applikationen zeigten allerdings den Bedarf an kostengünstiger (engl.: *low-cost*) Steuerungselektronik. So wurden bereits im Jahre 1964 Flüssigkristall-Bildschirme (engl.: *Liquid Crystal Displays*, LCD) entwickelt [Kaw02]. Verschiedene Forschungsgruppen beschäftigten sich mit der Frage, wie diese Technologie in komplexen Bildschirmen (z. B. Fernsehbildschirmen) ausgenutzt werden kann. Lechner et al. erkannten im Jahr 1971, dass die Bereitstellung eines nicht-linearen Schaltungselements an jedem einzelnen  $x$ - $y$  Schnittpunkt der Flüssigkristall-Matrix maßgeblich die Aussicht auf die Herstellung eines Bildschirms mit guten bildgebenden Eigenschaften beeinflussen würde [LMNT71]. So entstand die Idee, an jedem  $x$ - $y$  Schnittpunkt einen TFT sowie einen Kondensator zum Speichern und Halten einer Spannung an der LC-Zelle zu nutzen [Kag03]. Dieser Gedanke stellte schließlich die Basis für die Entwicklung der heutigen Aktiv-Matrix-Bildschirme (engl.: *activ matrix displays*) dar, deren Steuerungselektronik, abhängig vom Anwendungsfeld, vorrangig amorphes Silizium (a-Si:H) bzw. polykristallines Silizium (poly-Si) als halbleitende Schicht nutzt [Sir14]. Mittlerweile stehen allerdings ebenso Verbindungshalbleiter wie beispielsweise Indium-Gallium-Zink-Oxid (IGZO) aufgrund ihrer Leistungsfähigkeit und optischen Eigenschaften vor der Einführung in den Massenmarkt. Eine Übersicht über die technische Evolution und der damit verbundenen Weiterentwicklung potentieller, für den Massenmarkt geeigneter Applikationen zeigt Abbildung 1.3.

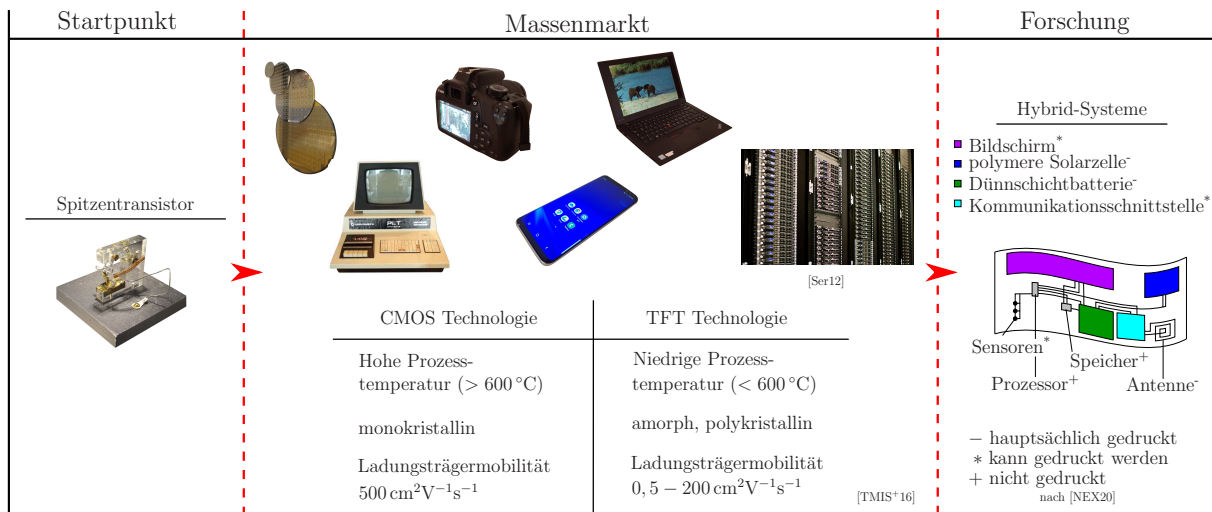


Abbildung 1.3: Technische Evolution und Weiterentwicklung potentieller, für den Massenmarkt geeigneter Applikationen.

Neben den anorganischen Materialsystemen gewannen ebenso die organischen Halbleiter zunehmend an Bedeutung. Die Entdeckung dieser Materialsysteme geht zurück bis in das Jahr 1948. Verschiedene Forschungsgruppen befassten sich zunächst mit polyzyklischen aromatischen Verbindungen mit inkorporierten Halogenen und entdeckten, dass diese halbleitende Salze formen [WDJH18]. Einen Meilenstein erreichte dieses Forschungsfeld im Jahr 1977, als Heeger, MacDiarmid und Shirakawa et al. zeigten, dass dotierte Polyacetylene eine hohe Leitfähigkeit aufweisen [SLM<sup>+</sup>77]. Für ihre Entdeckung und Entwicklung von leitfähigen Polymeren wurden sie im Jahr 2000 mit dem Nobelpreis für Chemie geehrt [Nob20]. Obwohl die Beschreibung des Feldeffekts in organischen Halbleitern bis in das Jahr 1970 zurückdatiert werden kann [Hor98], wurde ihr Potential für elektronische Bauelemente erst im Jahr 1987 ersichtlich, als Koezuka et al. TFTs auf Basis von elektrochemisch polymerisierten Polythiophen herstellten [KTA87]. Einen Durchbruch erreichte dieser Forschungsbereich im Jahr 1990 als Garnier et al. Dünnschichttransistoren unter der Verwendung von Hexathiophen als aktives Halbleitermaterial vorstellten [GHPF90]. Diese organischen TFTs zeigten zum ersten Mal eine vergleichbare Leistungsfähigkeit wie a-Si:H-basierte TFT-Systeme. Speziell ihre Kompatibilität mit flexiblen Plastiksubstraten stellt die organischen Halbleiter als einen potentiellen Kandidaten für die zukünftige Generation von leichtgewichtigen, aufrollbaren bzw. faltbaren Bildschirmen dar. Eine Vielzahl an Forschungsgruppen hat sich seit diesem Zeitpunkt mit der Optimierung der Molekülstruktur von organischen Halbleitersystemen beschäftigt [TES<sup>+</sup>06], [YT07], [EIM<sup>+</sup>07], während parallel hierzu massenproduktionstaugliche Routinen für die Integration elektro-



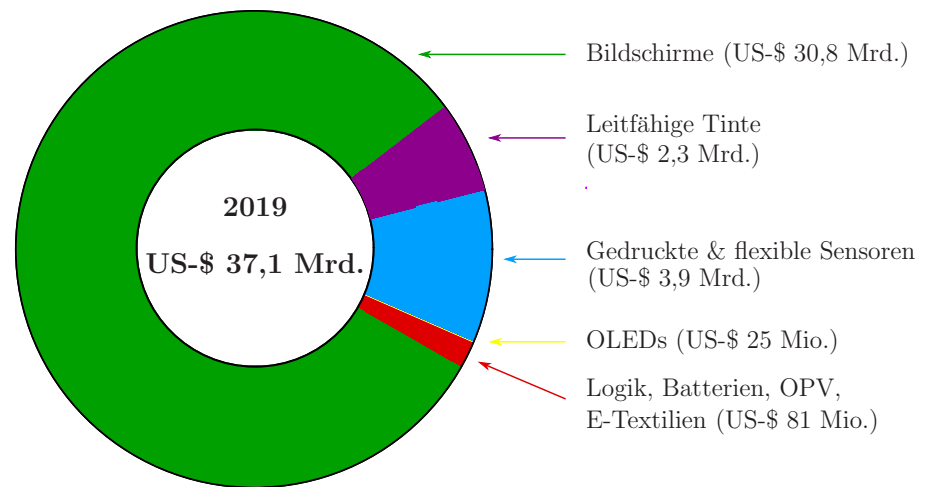


Abbildung 1.4: Momentaufnahme des Marktvolumens für die gedruckte, organische und flexible Elektronik aus dem Jahr 2019 (nach [DHG]).

nischer Bauelemente erarbeitet wurden [LC17], [WSY19]. Neben der Anwendung in der Bildschirmindustrie erweitert vor allem der Bedarf an kostengünstigen elektronischen Bauelementen im Zuge des IoT das Anwendungsfeld der organischen Elektronik entscheidend. So zeigt sich ein Markt u. a. für Sensorelemente, Fotodioden, Photovoltaikzellen (PV) oder leuchtende Dioden (LED). Eine Analyse der IDTechEx (Standort: Cambridge, Vereinigtes Königreich) aus dem Jahr 2019 präsentiert die Momentaufnahme des Marktvolumens für die flexible Elektronik (Abbildung 1.4). So zeigte sich zu diesem Zeitpunkt bereits ein Umsatzmarkt von 37,1 Mrd. US-\$, wobei ein stetiges Wachstum prognostiziert wird [DHG]. Hierbei umfasst die Bildschirmindustrie einen Großteil des Umsatzmarktes (30,8 Mrd. US-\$), wobei aufgrund von gegenwärtigen Forschungsbestreben ebenso ein signifikanter Absatzmarkt für leitfähige Tinten (2,3 Mrd. US-\$) und für gedruckte und flexible Sensoren (3,9 Mrd. US-\$) vorherrscht. So arbeiten verschiedene Forschungsgruppen an der Vereinigung der Hochleistungselektronik und der flexiblen Elektronik zu Hybridsystemen, um einen Kompromiss zwischen annehmbaren Produktionskosten bei ausreichender Datenverarbeitungsgeschwindigkeiten zu erreichen.

## 1.2 Zielsetzung

Die kostengünstige Herstellung von flexiblen elektronischen Bauelementen kann zum einen durch die Verwendung von vollständig druckbaren Herstellungsprozessen gewährleistet werden. Zum anderen stellt die Nutzung von bereits aus der MOSFET-Technologie be-

kannten Integrationsverfahren mit hohen Durchsatzraten bei der Realisierung hoher Integrationsdichten einen alternativen Ansatz dar. Die innovative Kombination dieser beiden Ansätze steht im Fokus dieser Arbeit mit dem Ziel eine Routine für die Herstellung von organischen Dünnschichttransistoren mit reproduzierbarer Leistungsfähigkeit auf flexiblen Oberflächen zu entwickeln. Neben der Wahl verschiedener lösungsmittelbasierter Dielektrika erfolgt die Wahl der Halbleitermaterialien bezüglich ihrer Kompatibilität mit flexiblen Substraten. Eine Analyse der elektrischen Parameter der integrierten TFTs in Abhängigkeit vom gewählten Substrat sowie der realisierbaren Strukturdimensionierung (Gate- bzw. Source- und Drain-Elektrode) wird durchgeführt und diskutiert. Ebenso erfolgt die Weiterentwicklung des Integrationsprozesses unter Ausnutzung der Elektrodenanordnung der TFTs zur Leistungsoptimierung. Die Realisierung von logischen Schaltungen (Inverter) sowie die Bewertung ihrer statischen und dynamischen Eigenschaften ist weiterhin Teil dieser Arbeit.

## 1.3 Gliederung

Zu Beginn der Arbeit werden die theoretischen Grundlagen erläutert. So werden in Kapitel 2 die Grundlagen bezüglich der Materialklasse der organischen Halbleiter vorgestellt. Hierbei werden die elektronischen Eigenschaften von individuellen organischen Molekülen beschrieben und diese auf organische Festkörper erweitert. Zudem werden die in dieser Arbeit verwendeten Halbleitermaterialien eingeführt.

Kapitel 3 befasst sich mit der theoretischen Modellierung von Dünnschichttransistoren. Neben der Darstellung ihres prinzipiellen Aufbaus und ihrer Funktionsweise erfolgt eine Beschreibung der auftretenden Grenzflächen (Metall-Halbleiter, Halbleiter-Dielektrikum). Ebenso erfolgt eine Analyse der Einflüsse der Grenzflächen auf die Leistungsfähigkeit der TFTs. Ferner werden die in dieser Arbeit verwendeten Extraktionsmethoden für die Bestimmung der TFT-Parameter vorgestellt.

Die grundlegenden Methoden für die Bewertung der Oberflächeneigenschaften der einzelnen Dünnschichtkomponenten werden in Kapitel 4 vorgestellt. Ebenso umfasst dieser Abschnitt die grundlegenden Integrationsprozesse, die die Basis für die in dieser Arbeit entwickelten Herstellungsprozesse von organischen TFTs bilden.

Auf Basis der vorgestellten Integrationsroutinen befasst sich Kapitel 5 mit der Herstellung und Optimierung von organischen TFTs und logischen Schaltungen. Hierfür werden zu-

nächst die organisch-anorganischen Nanokompositsysteme inoflex T3 und Z3 vorgestellt und bezüglich ihrer dielektrischen und Oberflächeneigenschaften charakterisiert. Neben der Entwicklung einer grundsätzlichen Integrationsroutine für organische TFTs unter Verwendung des Nanokomposits inoflex T3 als Gate-Dielektrikum und des Halbleiters Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNNTT), erfolgt die Vorstellung verschiedener Prozesse zur Optimierung der Leistungsfähigkeit der TFTs. Hierfür wird neben dem Halbleiter DNNTT ein weiteres halbleitendes Material – 2,6-bis(4-(alkyloxy)phenyl)dithieno[3,2-b:2',2'-d]thiophen (DTT) – verwendet. Die Beurteilung der einzelnen Prozessvariationen erfolgt anhand der elektrischen Transistorparameter. Ebenso erfolgt der Transfer der Integrationsroutine auf den lösungsmittelbasierten Halbleiter 2,7-Dialkyl[1]benzothieno[3,2-b][1]-benzothiophen (C<sub>8</sub>-BTBT) sowie von starren (Silizium bzw. Glas) auf flexible (Polyethylenterephthalat, PET) Substrate. Abschließend werden die statischen und dynamischen Eigenschaften der integrierten Inverter-Schaltungen mit dem Nanokomposit inoflex T3 als Gate-Dielektrikum analysiert.

Aufgrund der Resultate der vorangegangenen dynamischen Inverter-Messungen befasst sich Kapitel 6 mit der Entwicklung einer Integrationsroutine unter Verwendung des polymeren Dielektrikums SX AR-PC-5060. Zunächst wird das Materialsystem SX AR-PC-5060 vorgestellt und elektrisch sowie bezüglich seiner Oberflächeneigenschaften charakterisiert. Eine Integrationsroutine für TFTs unter Verwendung dieses Dielektrikums sowie des Halbleiters DNNTT wird entwickelt und optimiert. Die Diskussion der Auswirkungen der Prozessvariation auf die Leistungsfähigkeit der TFTs erfolgt erneut anhand der elektrischen Transistorparameter. Schließlich werden die dynamischen Eigenschaften der integrierten Inverter-Schaltungen analysiert.

Ferner stellt Kapitel 7 weitere experimentelle Untersuchungen vor, die als Grundlage für zukünftige Integrationskonzepte dienen.

Abschließend fasst Kapitel 8 die Ergebnisse dieser Dissertation zusammen und gibt einen Ausblick auf zukünftige Integrations- und Optimierungsprozesse für organische TFTs. Ebenso gibt dieser Abschnitt eine Übersicht über zukünftige Anwendungsfelder der flexiblen Elektronik.



## KAPITEL 2

# GRUNDLAGEN ORGANISCHER HALBLEITER

Kohlenwasserstoffverbindungen bilden die wesentlichen Strukturelemente organischer Moleküle, die sich grundsätzlich in zwei Gruppen unterteilen lassen. Neben den Polymeren, die sich aus einer wiederholenden Anordnung von Monomeren zusammensetzen und langkettige Verbindungen ausbilden, sind die niedermolekularen Verbindungen – die sogenannten *small molecules* – durch eine deutlich geringere Molekülmasse und räumliche Ausdehnung gekennzeichnet. Durch die Anordnung einzelner Moleküle können organische Festkörper gebildet werden, deren elektronische Eigenschaften von der Molekülnatur selbst, der Regelmäßigkeit ihrer Anordnung, sowie dem gezielten Einbringen von Fremdmolekülen in die Festkörperstruktur (Dotierung) abhängen [DM01], [Fac07], [Kla10], [DSBM14]. Besondere Relevanz wird in dieser Arbeit der Materialklasse der intrinsischen *small molecules* Halbleitern beigemessen, da diese in den letzten Jahrzehnten einen wesentlichen Forschungsschwerpunkt für ihre Anwendung in verschiedenen elektronischen und optoelektronischen Bauelementen bildeten [FT07], [AKMB13], [ZK19]. Die Grundlage für die halbleitenden Eigenschaften der einzelnen Moleküle dieser Materialklasse bildet ihr konjugiertes  $\pi$ -Elektronensystem, dessen Entstehung in Kapitel 2.1 diskutiert wird. Abschnitt 2.2 gibt einen Überblick über die in der Literatur diskutierten Ladungstransportmechanismen in organischen Festkörpern, da der Ladungstransport in den in dieser Arbeit integrierten organischen Dünnschichttransistoren nicht über ein einzelnes, sondern über eine große Anzahl an konjugierten Molekülen der abgeschiedenen Halbleiterschicht erfolgt. Ferner werden die in der Literatur gängigen und für diese Arbeit relevanten Transportme-

chanismen kurz erläutert. Abschließend stellt Kapitel 2.3 eine Auswahl der verwendeten halbleitenden Materialsysteme vor, die die Grundlage dieser Arbeit bilden.

## 2.1 Elektronische Eigenschaften individueller Moleküle

Die Basis organischer Halbleitersysteme wird hauptsächlich durch Kohlenwasserstoffmoleküle gebildet, deren beteiligte Kohlenstoffatome einen entscheidenden Anteil an den einzigartigen elektrischen Eigenschaften dieser Materialgruppe haben. Als Element der vierten Hauptgruppe des Periodensystems der Elemente besitzt Kohlenstoff im Grundzustand die Elektronenkonfiguration  $1s^2, 2s^2, 2p^2$ . Sowohl das  $1s$ -Orbital als auch das  $2s$ -Orbital sind mit zwei Elektronen antiparalleler Spins voll besetzt, während im  $2p_x$ - bzw.  $2p_y$ -Orbital jeweils nur ein schwach gebundenes Elektron enthalten ist. Da lediglich die beiden  $2p_x$  bzw.  $2p_y$ -Orbitale nicht vollständig besetzt sind, liegt die Vermutung nahe, dass Kohlenstoffatome nur zwei Bindungen zur Ausbildung eines Moleküls aufwenden können. Vorangegangene physikalische und chemische Strukturbestimmungen am Methanmolekül ( $\text{CH}_4$ ) zeigten allerdings, dass das an dieser Molekülstruktur beteiligte Kohlenstoffatom vier Bindungen äquivalenter Bindungslänge mit den Wasserstoffatomen ausbildet [HK06], [LKK08]. Wie in Abbildung 2.1 visualisiert, ist zur Ausbildung dieser Bindungsstruktur das Anheben eines Elektrons aus dem  $2s$ -Orbital in das verbliebene  $2p_z$ -Orbital notwendig. Die hierfür benötigte Energie (Promotions- oder Promovierungsenergie) wird durch den Energiegewinn bei der Molekülbildung bereitgestellt [HK06]. Die Energiedifferenz zwischen den energetisch höheren  $2p$ -Energieniveaus und den energetisch niedrigeren  $2s$ -Niveaus ist verglichen mit der Bindungsenergie, die zum Ausbilden einer chemischen

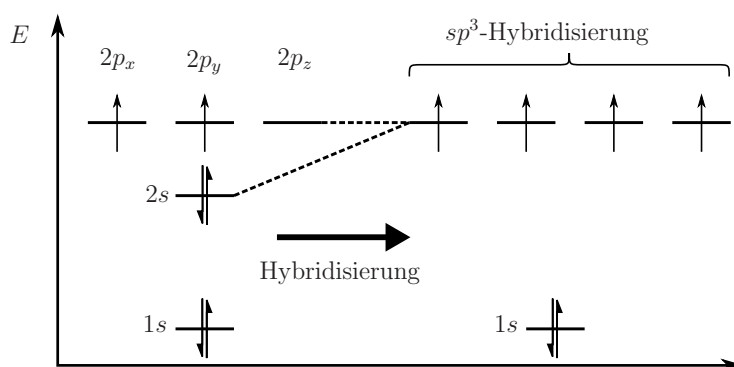


Abbildung 2.1: Schematische Darstellung des Atomorbitaldiagramms und der  $sp^3$ -Hybridisierung (nach [Kru10]).

Bindung notwendig ist, gering. Hierdurch können sich die Wellenfunktionen der vier Elektronen der  $2s$ - und  $2p$ -Orbitale mischen und neue, energetisch äquivalente Hybridorbitale ausbilden [Dre01]. Das Mischen des verbliebenen  $2s$ -Elektrons mit den Elektronen der  $2p$ -Orbitale wird Hybridisierung genannt. Je nach Anzahl der beteiligten  $2p$ -Elektronen ( $n = 1, 2, 3$ ) wird von  $sp^n$ -Hybridisierung gesprochen, wobei die unterschiedlichen Hybridisierungstypen unterschiedliche Strukturmerkmale und Bindungsverhältnisse aufweisen. So führt die  $sp$ -Hybridisierung zu linearen Ketten (Ethin), die  $sp^2$ -Hybridisierung zu planaren Strukturen (Ethen), während eine  $sp^3$ -Hybridisierung, wie das an dieser Stelle betrachtete Methanmolekül, tetraedrisch angeordnete dreidimensionale Netzwerke aufweist [Kru10]. Das Ausbilden der Energieniveaus eines Moleküls wird mit Hilfe der Molekülorbitaltheorie (MO-Theorie) beschrieben [LKK08]. Ausgangspunkt bilden die Energieniveaus der beteiligten Einzelatome, die unter Erhaltung der Anzahl der involvierten Atomorbitale (AO) durch Linearkombination (LC) in die Energieniveaus des Moleküls überführt werden (MO-LCAO-Ansatz). Die hierdurch entstehenden bindenden bzw. antibindenden Molekülorbitale liegen energetisch unterhalb bzw. oberhalb der atomaren Ausgangsenergieniveaus und sind durch eine Energielücke getrennt. Im Falle des Methanmoleküls überlappt jedes der vier entstandenen  $sp^3$ -Hybridorbitale des Kohlenstoffatoms mit einem  $1s$ -Orbital der beteiligten Wasserstoffatome zu rotationssymmetrischen  $\sigma$ -Bindungen [Kru10].

Essentiell für organische Halbleiter ist vor allem die  $sp^2$ -Hybridisierung, bei der lediglich das  $p_x$ - und  $p_y$ -Orbital an der Hybridisierung beteiligt ist. Die so entstandenen drei entarteten  $sp^2$ -Orbitale können schließlich zur Ausbildung von  $\sigma$ -Bindungen genutzt werden, während das verbleibende hantelförmige  $p_z$ -Orbital die Entstehung von  $\pi$ -Bindungen ermöglicht [LKK08]. Einen wichtigen Vertreter für  $sp^2$ -hybridisierte Verbindungen stellt das Benzolmolekül ( $C_6H_6$ ) dar. Abbildung 2.2 (a) zeigt die Kekulé-Strukturformeln des

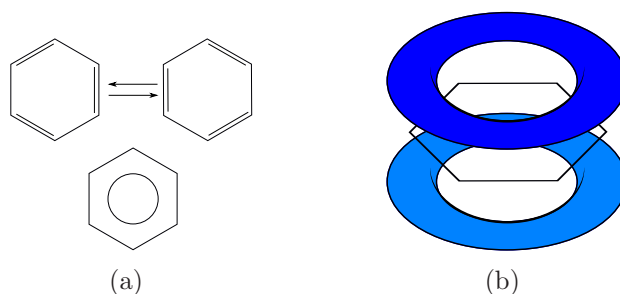


Abbildung 2.2: (a) Darstellung der verschiedenen möglichen Kekulé-Strukturformeln des Benzolmoleküls ( $C_6H_6$ ). (b) Schematische Darstellung der torusförmigen  $\pi$ -Elektronenwolke oberhalb und unterhalb des planaren Benzolrings (nach [LKK08], [Bru97]).

Benzolrings, die durch ein alternierendes Auftreten an Einzel- ( $\sigma$ -Bindung) und Doppelbindungen ( $\sigma$ - und  $\pi$ -Bindung), auch konjugierte Doppelbindung genannt, charakterisiert ist. In dieser Molekülstruktur bildet jedes beteiligte Kohlenstoffatom über die  $sp^2$ -Orbitale  $\sigma$ -Bindungen, zum einen zu zwei benachbarten Kohlenstoffatomen ( $sp^2$ -Orbital) und zum anderen zu einem Wasserstoffatom ( $1s$ -Orbital) aus, während das  $p_z$ -Orbital verbleibt. Die  $sp^2$ -Orbitale des Benzolmoleküls liegen triangulär in einer Ebene, während sich das  $p_z$ -Orbital senkrecht zu dieser Ebene anordnet. Die sechs  $p_z$ -Orbitale der an der Benzolstruktur beteiligten Kohlenstoffatome sind parallel zueinander angeordnet und bilden aufgrund ihrer partiellen Überlappung  $\pi$ -Bindungen aus, die zu einer kontinuierlichen torusförmigen  $\pi$ -Elektronenwolke oberhalb und unterhalb des planaren Benzolrings führen (Abbildung 2.2 (b)). Da die Elektronen der  $\pi$ -Elektronenwolke delokalisiert sind, können sie sich in der torusförmigen Wolke frei über die Molekülstruktur bewegen [Bru97].

Die sehr hohe Energiedifferenz zwischen den bindenden und antibindenden Orbitalen der  $\sigma$ -Bindungen ist zu groß, um einen Beitrag zu den halbleitenden Eigenschaften von Molekülen zu leisten. Da aufgrund der nur partiellen Überlappung der  $p_z$ -Orbitale die  $\pi$ -Bindungen einen geringeren bindenden bzw. antibindenden Charakter aufweisen, sind diese für die Ausbildung der Grenzorbitale und der damit verbundenen halbleitenden Eigenschaften der Moleküle verantwortlich [MA12].

Die molekularen Grenzorbitale werden durch das höchste besetzte Molekülorbital (engl.: *highest occupied molecular orbital*, HOMO) bzw. das niedrigste unbesetzte Molekülorbital (engl.: *lowest unoccupied molecular orbital*, LUMO) gebildet und sind durch eine Energielücke voneinander getrennt, vergleichbar mit dem Valenz- bzw. Leitungsband bei anorganischen Halbleitermaterialien [Kit05]. Im Grundzustand der Moleküle sind alle bindenden Orbitale bis zum HOMO mit zwei Elektronen antiparallelen Spins besetzt, während die antibindenden Orbitale ab dem LUMO unbesetzt sind [MA12]. Energetisch ist das HOMO-Niveau verknüpft mit der Ionisierungsenergie des Moleküls, während das LUMO-Niveau die Elektronenaffinität des Moleküls definiert [Kah16]. Die Größe der Energielücke wird durch den Grad der Delokalisierung des  $\pi$ -Elektronensystems bestimmt und weist ein antiproportionales Verhalten auf. Abbildung 2.3 zeigt für die Materialgruppe der Acene beispielsweise eine Verringerung der Energielücke mit steigender Anzahl der beteiligten Benzolringe an der Molekülstruktur [PS99].



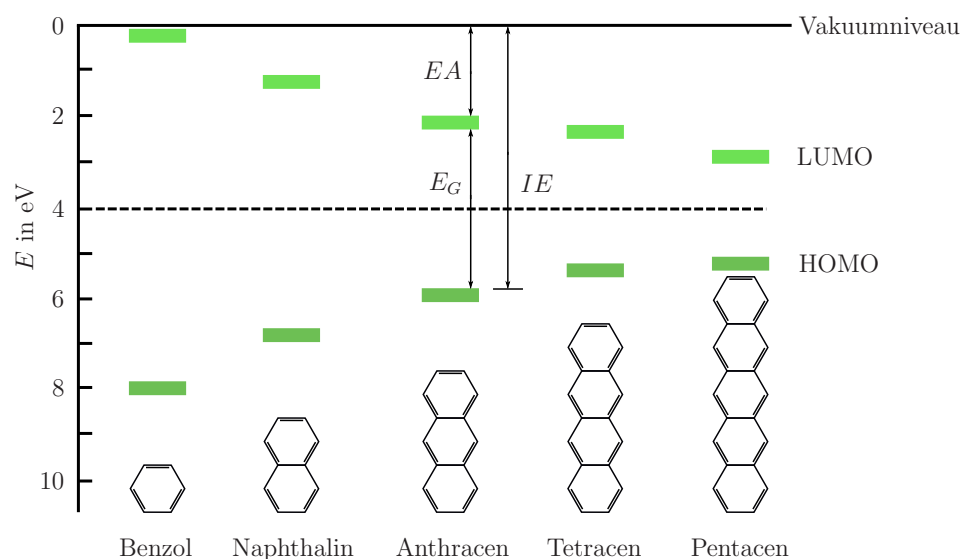


Abbildung 2.3: Schematische Darstellung der Energieniveaus der Acene. Mit zunehmender Anzahl der Benzol-Ringe verringert sich die Energielücke  $E_G$  (EA: Elektronenaffinität, IE: Ionisierungsenergie, nach [PS99]).

## 2.2 Ladungstransport in organischen Festkörpern

Organische Halbleitermaterialien werden heutzutage in verschiedenen elektronischen Bauelementen, wie beispielsweise den dieser Arbeit zugrundeliegenden organischen Dünnschichttransistoren (engl.: *Thin-Film Transistor*, TFT) eingesetzt. Um die Funktionsweise dieser Dünnschichttransistoren zu gewährleisten, wird das organische Halbleitermaterial als dünne Schicht abgeschieden, sodass der Ladungstransport nicht über ein Einzelnes, sondern über eine große Anzahl an konjugierten Molekülen stattfindet. Der Ursprung der Bindungen in solch einem organischen Festkörper unterscheidet sich fundamental von dem seines anorganischen Pendant.

Anorganische Halbleitereinkristalle werden durch die kovalente Bindung einzelner, regelmäßig angeordneter Atome gebildet. Durch ihre regelmäßige Anordnung liegen die Energieniveaus der einzelnen Atome ununterscheidbar dicht zusammen und bilden eine Bandstruktur aus. Der Ladungstransport anorganischer Halbleiter wird mit Hilfe des Bändermodells beschrieben, wobei dem entstehenden Valenz- bzw. Leitungsband besondere Bedeutung zuteil wird. In diesen durch eine Energielücke getrennten Bändern sind sowohl Elektronen (Leitungsband) als auch Löcher (Valenzband) delokalisiert, wobei sie sich unter dem Einfluss der elektrischen Feldstärke  $E$  über die gesamte Kristallstruktur mit der

Driftgeschwindigkeit  $v_D$  frei bewegen können. Ein Maß für die Effizienz des Ladungstransports ist im Allgemeinen durch die Ladungsträgermobilität  $\mu$

$$\mu = \frac{v_D}{E} \quad (2.1)$$

gegeben [Kit05].

Organische Kristalle hingegen werden aus identischen Moleküleinheiten gebildet, die durch erheblich schwächere intermolekulare Wechselwirkungen wie Wasserstoffbrückenbindungen, Ladungstransferphänomenen oder van der Waals Wechselwirkungen zusammengehalten werden [WDJH18]. Die sich hieraus ergebene schwächere Delokalisierung der elektronischen Wellenfunktion benachbarter Moleküle hat einen direkten Einfluss auf den Ladungstransport im organischen Halbleiterkristall. Da sich die Elektronenwellenfunktion nicht über das Gesamtvolumen des Halbleiterkristalls erstreckt, führt dies zu einer Lokalisierung der Ladungsträger auf eine endliche Anzahl von Molekülen bis hin zur Lokalisierung auf die elektronischen Zustände eines einzelnen Moleküls [Kla10]. Der Grad der Delokalisierung der Ladungsträger ist abhängig von der molekularen Packung der organischen Halbleiterschicht, ihrer chemischen Reinheit, sowie der Grundstruktur des Moleküls und bestimmt unmittelbar die Effizienz, mit der Elektronen unter dem Einfluss eines elektrischen Feldes zwischen benachbarten Molekülen transportiert werden können [Kla10], [WDJH18].

Die Ladungsträgermobilität in organischen Halbleitern umfasst einen weitreichenden Wertebereich. Aus Lösung aufgebrachte halbleitende Polymere weisen im Allgemeinen eine Ladungsträgermobilität im Wertebereich von  $10^{-6} - 10^{-3} \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei Raumtemperatur auf, da diese hauptsächlich zu amorpher Filmbildung neigen. Andererseits zeigen vor allem *small molecules* Halbleitermaterialien eine Tendenz zur polykristallinen Filmbildung, wenn diese durch Sublimation unter Vakuumbedingungen aufgebracht werden [Kla10]. Die resultierende Ladungsträgermobilität erreicht Werte von bis zu  $6 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei Raumtemperatur [GB07]. Ebenso konnte eine Ladungsträgermobilität von bis zu  $30 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei Raumtemperatur [JBP04] bzw. von bis zu  $100 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei Tieftemperaturen für monokristalline hochreine Oligoacene nachgewiesen werden [WK85]. Dieser weitumfassende Wertebereich der Ladungsträgermobilität verdeutlicht, dass der Ladungstransport in organischen Materialsystemen nicht mit Hilfe eines einzelnen Transportmodells beschrieben werden kann. Abbildung 2.4 gibt einen Überblick über gängige Transportmodelle, die einen Erklärungsansatz für den Ladungstransport in organischen Halbleitern bieten. Die Anwendbarkeit der Theorien finden eine grobe Unterteilung bezüglich der Kristallinität

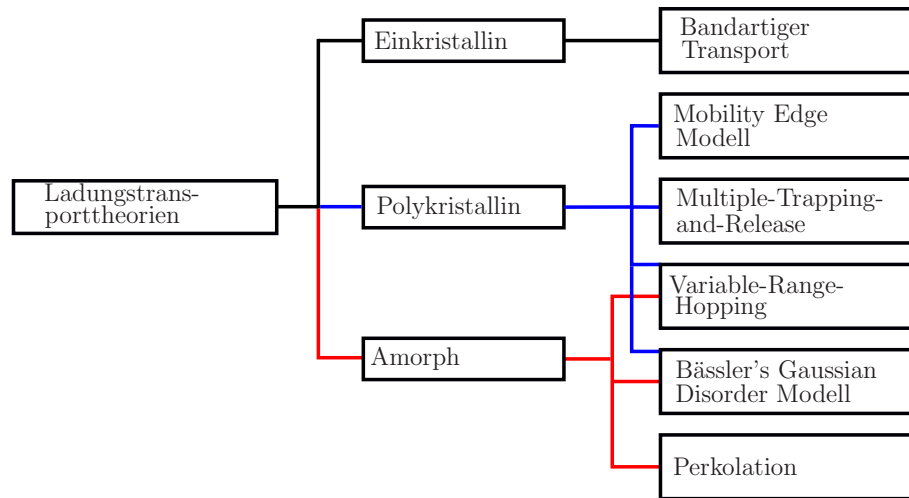


Abbildung 2.4: Überblick über gängige Transportmodelle für den Ladungstransport in organischen Halbleitern (nach [LHP<sup>+</sup>17]).

bzw. strukturellen Störung der Halbleitersysteme [LHP<sup>+</sup>17]. So können strukturell störungsfreie organische Halbleiter mit der bandähnlichen Transporttheorie, abgeleitet aus der bekannten Bandtransporttheorie anorganischer Halbleitersysteme, beschrieben werden. Materialsysteme die dieser Beschreibung genügen, finden sich speziell bei einkristallinen Materialien [HFX<sup>+</sup>06], [CHH<sup>+</sup>12] und einigen konjugierten Polymeren mit einem sehr geringen Maß der Torsion der Ketten [VNS<sup>+</sup>14]. Polykristalline Materialkomplexe mit einem geringen Maß an struktureller Störung hingegen können sowohl im *Mobility Edge* Modell als auch in der *Multiple-Trapping-and-Release* (MTR) Theorie beschrieben werden [LS70], [Mot87], [MCZ<sup>+</sup>16]. Hierbei sei anzumerken, dass der grundsätzliche Beschreibungsansatz der beiden Theorien eine Vielzahl an Überschneidungen aufweist und sich durch einen Ladungstransport sowohl durch delokalisierte als auch lokalisierte Zustände auszeichnet. In amorphen oder hochgradig strukturell gestörten Halbleitern erfolgt die Beschreibung des Ladungstransportphänomens hauptsächlich durch *Hopping*- und Tunneleffekten zwischen lokalisierten Zuständen. Die geläufigen Modellsysteme lassen sich in das *Variable-Range-Hopping* (VRH) Modell [Mot68], das Bässler Gaussian Disorder Modell [Bäs93] und die Perkolationstheorie [AHL71], [VM98] unterteilen. Anzumerken bleibt, dass einige dieser Modellsysteme auch Anwendung in polykristallinen organischen Halbleitersystemen finden.

Diese Vielzahl von verschiedenen Modellsystemen indiziert die in der Literatur entstandene kontroverse Diskussion bezüglich der adäquaten Beschreibung der Ladungstransportphänomene in organischen Festkörpern. Drei Arten von Transportmechanismen haben sich

schließlich als gängig herauskristallisiert. Neben dem VRH-Modell und der MTR-Theorie konnten hochreine Pentaceneinkristalle bei Tieftemperaturen erfolgreich mit dem aus der anorganischen Halbleitertheorie bekannten bandähnlichen Transportmodell beschrieben werden [JBP04]. Für die dieser Arbeit zugrundeliegenden Materialsysteme und Temperaturbereiche wird dem bandähnlichen Transportmodell nur eine untergeordnete Rolle zuteil, sodass im Folgenden lediglich das VRH-Modell, sowie die MTR-Theorie näher diskutiert werden. Für weiterführende Informationen bezüglich der kontrovers diskutierten Ladungstransportmechanismen sei der interessierte Leser auf nachfolgend genannte Übersichtsartikel verwiesen [Hor98], [Kla10], [Sta11], [LHP<sup>+</sup>17], [WDJH18], [LLGL18].

Eine Visualisierung dieser Transporttheorien zeigt Abbildung 2.5. Das von Mott vorgeschlagene VRH-Modell wird typischerweise im Kontext von amorphen Halbleiterschichten bei Ladungsträgermobilitäten von unter  $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  bei Raumtemperatur diskutiert [Kla10] und ist in Abbildung 2.5 (a) dargestellt. Das Transportmodell zeichnet sich dadurch aus, dass sämtliche Ladungsträger in den elektronischen Zuständen der halbleitenden Schicht lokalisiert sind. Ein Ladungstransport kann schließlich durch das phononen-assistierte Überwinden der Energiebarriere zwischen zwei lokalisierten Zuständen im Zuge von quantenmechanischen Tunnelprozessen stattfinden. Vissenberg und Matters zeigten, dass die Tunnelwahrscheinlichkeit stark von dem Überlapp zwischen den elektronischen Wellenfunktionen der *Hopping*-Positionen abhängig ist [VM98]. Somit ist die Wahrscheinlichkeit, dass ein solches *Hopping*-Ereignis auftritt, zum einen durch die Distanz zwischen zwei lokalisierten Zuständen sowie zum anderen durch die Energieverteilung der lokalisierten Zustände bestimmt und limitiert die Ladungsträgermobilität der halbleitenden Schicht.

Höhere Ladungsträgermobilitäten von über  $10^{-2} \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  bei Raumtemperatur, die vor allem bei polykristallinen Schichten auftreten, können nicht mehr mit Hilfe des VRH-Modells erläutert werden. Die regelmäßige Anordnung der Moleküle der polykristallinen Schichten führt dazu, dass die Orbitale benachbarter Moleküle partiell überlappen und daher einen effizienteren intermolekularen Ladungsträgertransfer ermöglichen [Kla10]. Der Ladungstransport in diesen Systemen wird im Zuge der MTR-Theorie beschrieben, die von Horowitz et al. auf organische Halbleitersysteme übertragen wurde [HHD95] und in Abbildung 2.5 (b) schematisch dargestellt ist. In diesem Modell wird angenommen, dass durch den partiellen Überlapp der benachbarten Molekülorbitale schmale delokalisierte Bänder entstehen. Innerhalb der Bandlücke führen Kristallanomalien wie Verunreinigungen, strukturelle Defekte oder Oberflächenzustände zu einem hohen Auftreten an lokalisierten

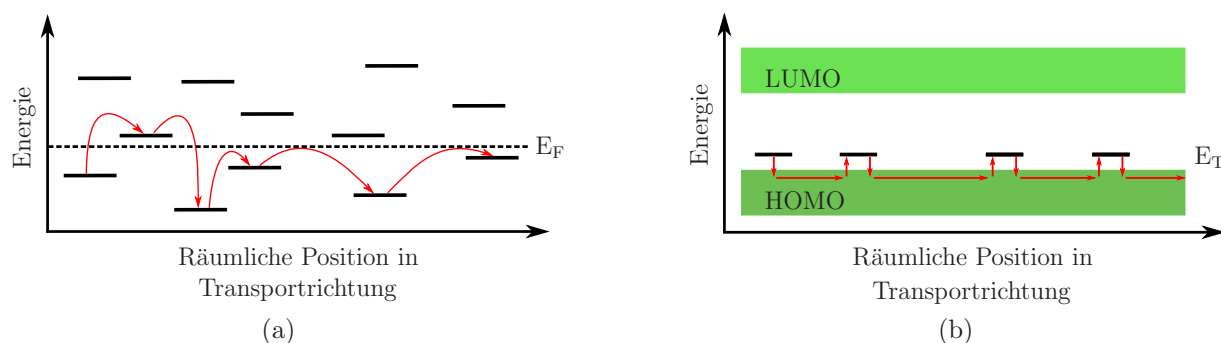


Abbildung 2.5: Schematische Darstellung des Ladungstransports im (a) *Variable-Range-Hopping* (VRH)- (nach [Röd15]) und (b) *Multiple-Trapping-and-Release* (MTR)-Modell. Während im VRH-Modell der Ladungstransport lediglich über lokalisierte Energiezustände stattfindet, sind im MTR-Modell auch schmale delokalisierte Bänder beteiligt ( $E_F$ : Fermie-Energie,  $E_T$ : Energieniveaus der lokalisierten Zustände).

Zuständen. Beim Durchqueren des delokalisierten Bandes interagieren die Ladungsträger mit den lokalisierten Zuständen und besetzen diese. Das erneute Abgeben der Elektronen aus diesem Zustand erfolgt mit Hilfe von thermischer Energie.

Beide hier näher beschriebenen Transportprozesse weisen eine starke Temperaturabhängigkeit auf, da diskrete Energiemengen für die Überwindung der Energiedifferenzen zwischen den entstandenen lokalisierten Zuständen und Bändern benötigt werden. Ferner weist die energetische Verteilung der lokalisierten Zustände eine starke Abhängigkeit von angelegten elektrischen Feldern, beispielsweise der Gate-Source-Spannung, auf. So können durch das Anlegen elektrischer Felder niederenergetische Energiezustände besetzt werden [DM02], die im Folgenden nicht mehr als Fallenzustände für Ladungsträger zur Verfügung stehen.

## 2.3 Thieno[3,2-b]thiophen Derivate

Die Entwicklung von elektronischen Bauelementen auf Basis organischer Halbleiter war durch eine Vielzahl verschiedener Materialkomplexe geprägt. Speziell im Zusammenhang mit dem dieser Arbeit zugrundeliegende Bauelement – dem organischen Dünnschichttransistor – fungierte der den Acenen zugehörige Halbleiter Pentacen als Maßstab für die Leistungsfähigkeit der integrierten TFTs. Trotz der Vergleichbarkeit seiner Leistungsfähigkeit mit anorganischen Halbleitermaterialien amorpher Kristallstruktur [KHZ<sup>+</sup>02] erwies sich vor allem die Langzeitstabilität aufgrund struktureller Veränderungen des

Pentacenmoleküls unter Atmosphärenbedingungen als nachteilig [PDH04]. Neben dem hochliegenden HOMO-Niveau (5,14 eV [MDHZ11]), welches das Molekül anfällig für Luftoxidation macht, erweist sich vor allem die geringe Energiedifferenz zwischen HOMO und LUMO (1,77 eV [MDHZ11]) als äußerst negativ, da diese durch photoinduzierte Anregung assoziierte chemische Reaktionen begünstigt [TYEI07], [YMT<sup>+</sup>13]. In den letzten Jahrzehnten fokussierten sich verschiedene Forschungsgruppen auf die Entwicklung von Molekülstrukturen, die eine Langzeitstabilität unter Atmosphärenbedingungen ohne Leistungsverlust der elektronischen Bauteile gewährleisten. Als wegweisender Ansatz wurden erfolgreich Chalkogene wie beispielsweise Schwefel (S) zusätzlich in die aromatische Struktur der Moleküle integriert [TYEI07], [MTR11], [JLW13]. Verglichen mit den rein aus Kohlenstoff bestehenden Materialien wie Pentacen profitieren die mit Schwefel versehenen Varianten zum einen von der erhöhten Oxidationsbarriere und der aufgrund ihres weniger aromatischen Charakters vergrößerten Energielücke. Zum anderen weist Schwefel sowohl größere Atomorbitale als auch einen höheren Grad an Polarisierbarkeit als Kohlenstoff auf. Dies resultiert schließlich in optimierten intermolekularen Wechselwirkungen aufgrund der zusätzlichen S···S, S···H, und S··· $\pi$ -Interaktion [JLW13]. Verschiedene Halbleitermaterialien auf Basis des Thieno[3,2-b]thiophens bilden die Grundlage dieser Arbeit. Eine Zusammenfassung der Strukturformeln und Energieniveaus der Grenzorbitale der im Folgenden vorgestellten Materialsysteme zeigt Abbildung 2.6.

Takimiya et al. publizierten in verschiedenen Arbeiten die Syntheseroute von unterschiedlichen Benzothieno[3,2-b]-benzothiophen (BTBT) Derivaten. Die Kernstruktur dieser Derivate besteht aus vier kondensierten aromatischen Ringen, die sich jeweils wiederum aus zwei Einheiten Benzol und zwei Einheiten Thiophen zusammensetzen. Im Jahr 2006 wurde

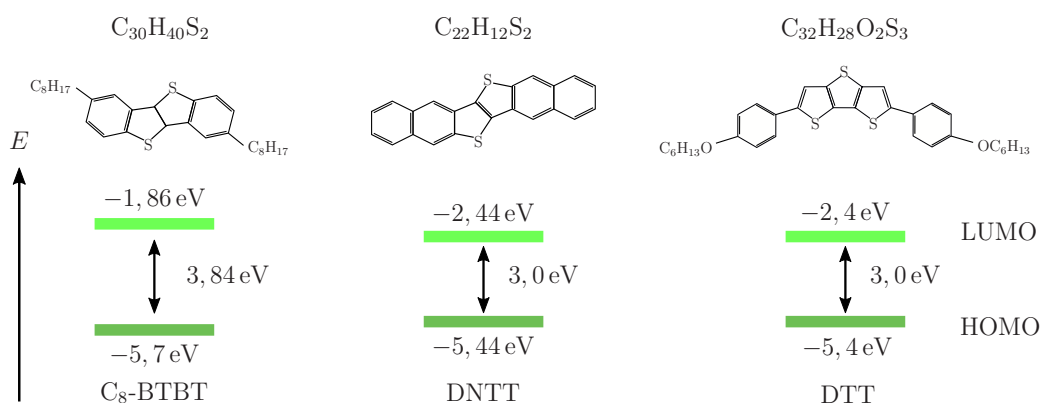


Abbildung 2.6: Strukturformeln und Energieniveaus der Grenzorbitale von 2,7-Dialkyl[1]benzothieno[3,2-b][1]benzothiophen (C<sub>8</sub>-BTBT), Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNTT) und 2,6-bis(4-(alkyloxy)phenyl)dithieno[3,2-b:2',2'-d]thiophen (DTT).

von den Forschern eine Syntheseroute für 2,7-Diphenyl[1]benzothieno[3,2-*b*][1]benzothiophen (DPh-BTBT), einem BTBT-Molekül mit endständigen Phenyl, publiziert [TES<sup>+</sup>06]. Mit Hilfe von Cyclovoltammetriemessungen wurde das HOMO-Niveau auf  $-5,6$  eV bestimmt, während die Energielücke einen Wert von  $3,2$  eV aufweist. DPh-BTBT ist der monoklinen Raumgruppe  $P2_1/a$  angehörig und bildet ein nahezu planares Molekül, das über Sublimation unter Hochvakuumbedingungen abgeschieden wird [SOM<sup>+</sup>11]. In dünnen Schichten bildet sich eine schichtweise Struktur aus, deren molekulare Anordnung innerhalb jeder Schicht fischgrätenförmig (Abbildung 2.7) ist [KM11]. Empirische Untersuchungen zeigen, dass vor allem zweidimensionale fischgrätenartige Molekülanordnungen in dünnen polykristallinen organischen Halbleiterschichten einen effizienten Ladungstransport ermöglichen, da diese nur eine geringe Anisotropie in der Ladungsträgebeweglichkeit aufweisen [UTY<sup>+</sup>09]. Jede Schicht erstreckt sich entlang der *ab*-Ebene mit den Gittervektoren  $a = 0,6334$  nm und  $b = 0,7452$  nm, wobei der Abstand zwischen den einzelnen Schichten einen Wert von  $c = 1,9516$  nm annimmt [SOM<sup>+</sup>11]. Da die BTBT-Kernstruktur einen vielversprechenden Ansatz für langzeitstabile, leistungsfähige organische Dünnschichttransistoren darstellte, fokussierten sich verschiedene Forschungsgruppen auf die Synthese von löslichen BTBT-basierten Molekülstrukturen. Im Jahr 2007 publizierten Ebata et al. eine Syntheseroute für 2,7-Dialkyl[1]benzothieno[3,2-*b*][1]-benzothiophen ( $C_n$ -BTBT), bestehend aus der BTBT-Kernstruktur und zwei in der molekularen Längsachse eingeführten Alkylketten [EIM<sup>+</sup>07]. Aufgrund der durch die Alkylketten entstandenen hohen Löslichkeit der Moleküle in geläufigen organischen Lösungsmitteln ist die Deposition von dünnen Halbleiterschichten mit lösungsmittelbasierenden Depositionsprozessen möglich. Ferner bewirkt die attraktive Wechselwirkung der Alkylketten ein schnelles Kristallwachstum, sodass domänenübergreifende Dünnschichten auf den Substraten gebildet werden können [UHU<sup>+</sup>09] und die laterale intermolekulare Inter-

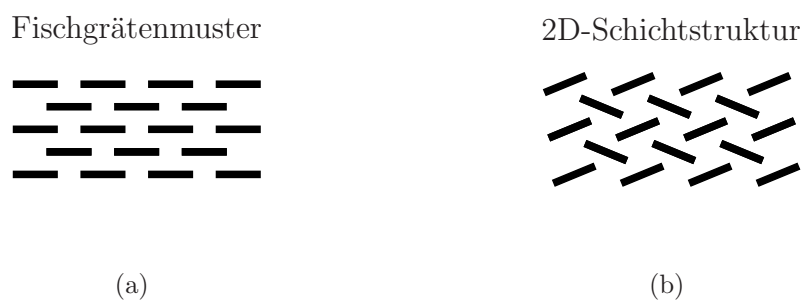


Abbildung 2.7: Molekulare Anordnungen der einzelnen Schichten eines Halbleiterfilms. (a) Fischgrätenmuster, (b) 2D-Schichtstruktur. (nach [GOK<sup>+</sup>10]).

aktion benachbarter Moleküle erleichtert wird [MDHZ11]. Das in dieser Arbeit verwendete Molekül C<sub>8</sub>-BTBT ist, ebenso wie DPh-BTBT, der monoklinen Raumgruppe P2<sub>1</sub>/a angehörig und weist als dünne Schicht eine schichtweise Struktur auf, bestehend aus alternierend gestapelten, aliphatischen Schichten und BTBT-Kernschichten. Die Moleküle der BTBT-Hauptstruktur sind fischgrätenartig entlang der *ab*-Ebene mit den Gittervektoren von  $a = 0,5864$  nm und  $b = 0,774$  nm gepackt und weisen einen Abstand zwischen den einzelnen Schichten von  $c = 2,9$  nm auf [IMT08]. Das HOMO Niveau wurde auf  $-5,7$  eV bestimmt [ZKW<sup>+</sup>20], während die HOMO-LUMO Energielücke  $3,84$  eV beträgt [KKH<sup>+</sup>13].

Neben den verschiedenen BTBT-Derivaten wurden auch verschiedene BTBT-Analoga mit ausgedehnteren  $\pi$ -Elektronensystemen synthetisiert. Die Syntheseroute des in dieser Arbeit verwendete Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophens (DNNT) wurde im Jahre 2007 von Yamamoto et al. publiziert [YT07]. Das in dieser Arbeit verwendete Molekül DNNT besteht aus sechs aromatischen Ringen, die sich aus zwei Einheiten Naphtalin und zwei Einheiten Thiophen zusammensetzen und weist gemäß Cyclovoltammetriemessungen ein HOMO Niveau von  $-5,44$  eV und eine HOMO-LUMO Energielücke von  $3,0$  eV auf. DNNT ist der monoklinen Raumgruppe P2<sub>1</sub> angehörig und kann mit Hilfe von Sublimation unter Hochvakuumbedingungen aufgebracht werden. Ebenso wie DPh-BTBT ist DNNT ein nahezu planares Molekül, das als Festkörper eine schichtweise Struktur aufweist. Jede Schicht besteht aus fischgrätenartig gepackten Molekülen entlang der *ab*-Ebene mit den Gittervektoren  $a = 0,6187$  nm und  $b = 0,7662$  nm und einem Abstand zwischen den Schichten von  $c = 1,608$  nm [XWW<sup>+</sup>13].

Neben den kommerziell erhältlich Halbleitersystemen wurde ebenso ein in der organischen Chemie (AK Paradies) der Universität Paderborn synthetisierter Halbleiter verwendet. Das Materialsystem 2,6-bis(4-(alkyloxy)phenyl)dithieno[3,2-b:2',2'-d]thiophen (DTT) weist neben seinem HOMO-Niveau von  $-5,4$  eV eine Energielücke von  $-3,0$  eV auf. Ebenso besitzt es einen nematischen Phasenübergang in einem Temperaturbereich von  $236,9$  °C bis  $264,3$  °C. Aufgrund seiner intrinsischen Materialeigenschaften erfolgte eine Anwendung diese Materialsystems bereits in verschiedenen elektronischen Applikationen [1].



## KAPITEL 3

# THEORIE DER DÜNNSCHICHTTRANSISTOREN

Dünnschichttransistoren (engl.: *Thin-Film Transistor*, TFT) können im Allgemeinen als spannungsgesteuerte Stromquellen aufgefasst werden, deren Funktionsweise auf dem Feldeffekt beruht. Ihre Historie reicht zurück bis in das Jahr 1962, in dem Weimer als Pionier den Aufbau und die Funktionsweise anorganischer TFTs vorstellte [Wei62]. Heutzutage steigt vor allem im Zuge des „Internet der Dinge“ (engl.: *Internet of Things*, IoT) das Interesse an TFTs als vollständig druckbare Schaltungs- und Sensorelemente [RNE<sup>+</sup>13], [FTY<sup>+</sup>14], [FTM<sup>+</sup>14].

In diesem Kapitel werden die grundsätzlichen Eigenschaften organischer Dünnschichttransistoren diskutiert. Während in Kapitel 3.1 der prinzipielle Aufbau von TFTs bezüglich der verschiedenen Architekturen vorgestellt wird, erläutert Abschnitt 3.2 das Zusammenspiel der einzelnen TFT Komponenten und definiert die verschiedenen Betriebsbedingungen des Bauelements. Kapitel 3.3 befasst sich mit den Ladungsträgerinjektionsprozessen an der vorliegenden Metall-Halbleiter-Grenzfläche, wobei Abschnitt 3.4 den Einfluss der dieser Arbeit zugrundeliegenden Prozessführung auf die Austrittsarbeit der strukturierten metallischen Source-/ Drain-Elektroden beschreibt. Schließlich werden in Kapitel 3.5 die Anforderungen an das Gate-Dielektrikum und dessen Einfluss auf die Leistungsfähigkeit des Bauelements erläutert. Ferner zeigt Abschnitt 3.6 die Modellierung von realen Dünnschichttransistoren, während in Kapitel 3.7 die in dieser Arbeit verwendeten Techniken zur Charakterisierung der integrierten organischen Dünnschichttransistoren diskutiert werden.

## 3.1 Aufbau

Dünnschichttransistoren bestehen aus einer dünnen halbleitenden Schicht, die durch eine Isolationsschicht, dem sogenannten Gate-Dielektrikum, von der Gate-Elektrode getrennt ist. Um einen Stromfluss durch die halbleitende Schicht gewährleisten zu können, erfolgt eine Kontaktierung des Halbleiters mit zwei Elektroden, den sogenannten Source- und Drain-Elektroden. Die Source- und Drain-Elektroden der Weite  $W$  (Kanalweite) sind durch eine Distanz  $L$  (Kanallänge) separiert. Das Gebiet zwischen ihnen wird als Kanalbereich bezeichnet. Sowohl an die Gate- als auch an die Drain-Elektrode kann eine Spannung angelegt werden, wobei die Source-Elektrode das benötigte Bezugspotential darstellt. Die entstehenden Potentialdifferenzen werden Gate-Source-Spannung  $V_{GS}$  beziehungsweise Drain-Source-Spannung  $V_{DS}$  genannt. Als Elektrodenmaterial werden hauptsächlich unter Vakuumbedingungen aufgebraute Metalle verwendet [JAB<sup>+</sup>13], [YGA<sup>+</sup>14], [HJK<sup>+</sup>18], wobei aufgrund ihrer Druckbarkeit zunehmend leitfähige Tinten beziehungsweise Polymere Anwendung finden [HMT<sup>+</sup>17], [TYS<sup>+</sup>18], [STMT20], [CLM<sup>+</sup>20]. Abhängig vom Prozessablauf können vier unterschiedliche TFT Architekturen realisiert werden, die verschiedene Eigenschaften aufweisen. Die verschiedenen Architekturen sind in Abbildung 3.1 visualisiert und werden mit Hilfe von zwei Aspekten definiert:

- a) die Position der Gate-Elektrode bezogen auf den Halbleiter und das Dielektrikum (*Bottom* oder *Top Gate*),
- b) die Position der Drain- und Source-Kontakte bezogen auf den Halbleiter und das Dielektrikum (*Bottom* oder *Top Contact*).

Bei der *Bottom Gate* Konfiguration wird die Gate-Elektrode zu Beginn des Integrationsprozesses auf dem Trägersubstrat strukturiert. Die Wahl des im Anschluss abgeschiedenen Dielektrikums wird lediglich durch das Substrat und das Gate-Elektrodenmaterial limitiert. Bei der *Top Gate* Architektur hingegen bildet die Strukturierung der Gate-Elektrode den Abschluss des Herstellungsprozesses, so dass die Deposition des Dielektrikums auf der aktiven halbleitenden Schicht stattfindet. Da organische Halbleiter sensitiv gegenüber externen Einflüssen wie temperaturintensiven und lösungsmittelbasierten Integrationsprozessen sind, wird die Auswahl des Dielektrikums zusätzlich erheblich eingeschränkt.

Innerhalb dieser Architekturen kann die Anordnung der Source- und Drain-Elektroden variiert werden. Bei der *Bottom Contact* Anordnung stehen beide Elektroden im direkten Kontakt mit der Isolationsschicht, so dass Ladungsträger direkt an der Halbleiter-

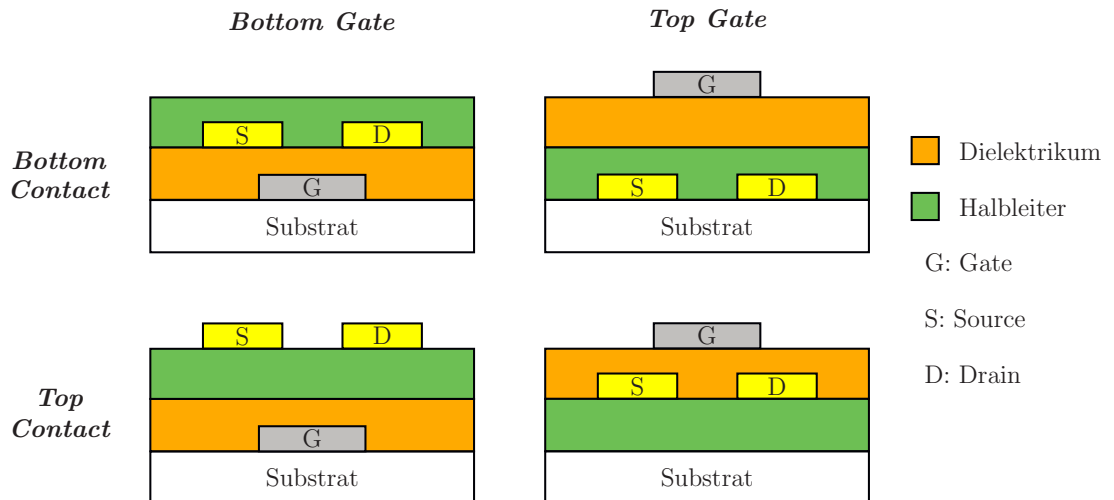


Abbildung 3.1: Übersicht über die grundlegenden Dünnschichttransistor-Architekturen.

Dielektrikum-Grenzfläche in den Kanalbereich des Halbleiters injiziert werden können. Bei der *Top Contact* Konfiguration hingegen sind die Source- und Drain-Elektroden durch die halbleitende Schicht vom Dielektrikum separiert. Folglich müssen sich die injizierten Ladungsträger erst durch die Halbleiterschicht bewegen bevor sie den Kanal erreichen. In beiden Fällen kann aufgrund von Austrittsarbeitsdifferenzen eine Energiebarriere an der Grenzfläche zwischen dem Halbleiter und den Kontakten entstehen, die den Austausch von Ladungsträgern zwischen Kontakt und Halbleiter behindert [KKG03], [Sir05], [XSL<sup>+</sup>17]. Verschiedene Experimente und Simulationen zeigen allerdings bei gleicher Energiebarrierrhöhe eine überlegene Leistungsfähigkeit von TFTs in *Top Contact* Konfiguration verglichen mit Strukturen in *Bottom Contact* Architektur [Hil05], [GZN<sup>+</sup>06], [SMH10]. Zum einen ist in der *Top Contact* Architektur der Injektionsbereich der Ladungsträger nicht, wie bei der *Bottom Contact* Konfiguration, nur auf die Kanten der Elektroden limitiert, sondern umfasst ebenso den Überlappungsbereich zwischen Kontakt und Gate-Elektrode [PCNF04], [BL07]. Zum anderen können aufgrund der hohen Aufdampftemperaturen bei der Deposition der Metallschichten auf dem organischen Halbleiter metallorganische Verbindungen entstehen, die das Injektionsverhalten der Source-/ Drain-Elektroden nachhaltig beeinflussen [CMTG98], [MTH<sup>+</sup>01], [WMG<sup>+</sup>06].

Es bleibt anzumerken, dass die unterschiedlichen verwendeten Materialien im Dünnschichttransistor (Substrat, Dielektrikum, Elektroden) einen maßgeblichen Einfluss auf das Wachstum der aktiven organischen Halbleiterschichten besitzen, wodurch verschiedene molekulare Orientierungen, vor allem in den Grenzbereichen, auftreten können [GKG09]. Daher kann trotz identischer Einzelkomponenten die Leistungsfähigkeit von Dünnschicht-

transistoren aufgrund der Unterschiede in den verschiedenen Architekturen stark variieren.

## 3.2 Funktionsweise und Betriebsbereiche

Das zentrale Element des Dünnschichttransistors ist der Metall-Isolator-Halbleiter (engl.: *Metal-Insulator-Semiconductor*, MIS) Kondensator. Wird eine Gate-Source-Spannung an die MIS-Struktur angelegt, akkumulieren abhängig vom Vorzeichen der angelegten Spannung entweder positive (negatives Vorzeichen) oder negative Ladungen (positives Vorzeichen) an der Halbleiter-Isolator-Grenzfläche. Hierdurch bildet sich ein leitfähiger Kanal zwischen der Source- und Drain-Elektrode aus, dessen Dicke wenige Nanometer der aufgetragenen Halbleiterschicht umfasst [KNF<sup>+</sup>03]. In idealen MIS-Strukturen weist der Betrag der akkumulierten Ladungen  $Q_{ideal}$  lediglich eine Abhängigkeit von der Gate-Source-Spannung  $V_{GS}$ , sowie von der Kapazität pro Einheitsfläche des Kondensators  $C_i$  auf, sodass gilt [HYC<sup>+</sup>08]

$$Q_{ideal} = C_i \cdot V_{GS}. \quad (3.1)$$

In realen Bauelementen wird die Kanalbildung allerdings durch zusätzlich auftretende Potentiale und Fallenzustände gestört. Der Spannungswert, ab dem alle zusätzlichen Gate-induzierten Ladungen frei beweglich sind und zum Stromfluss zwischen der Source- und Drain-Elektrode beitragen können, wird unter dem Begriff der Schwellenspannung  $V_{Th}$  (siehe Kapitel 3.7) zusammengefasst [HHB<sup>+</sup>98], [ZS07], [Kla10]. Die Anzahl der freien Ladungen  $Q_{mob}$  pro Einheitsfläche ist damit gegeben durch [ZS07]

$$Q_{mob} = C_i \cdot (V_{GS} - V_{Th}). \quad (3.2)$$

Die Strom-Spannungscharakteristik in den verschiedenen Betriebsbereichen des TFTs wird in erster Näherung analog zur Beschreibung in der MOSFET-Technologie analytisch durch die *gradual channel approximation* beschrieben [SN07]. Bei dieser Betrachtung wird angenommen, dass das orthogonal zum Stromfluss generierte elektrische Feld (Gate-Source-Spannung) wesentlich größer ist als das elektrische Feld parallel zu diesem (Drain-Source-Spannung). Die Ladungsverteilung im Kanalbereich wird somit hauptsächlich durch das elektrische Feld, induziert durch die angelegte Gate-Source-Spannung, be-

stimmt. Typischerweise ist diese Annahme für Kanallängen  $L > 10d$  erfüllt, wobei  $d$  die Dicke des verwendeten Dielektrikums darstellt [FDN<sup>+</sup>01], [CHSF04]. Ohne angelegte Drain-Source-Spannung ist die Ladungsträgerdichte nach Gleichung 3.2 homogen im Kanalbereich verteilt. Eine Erhöhung der Drain-Source-Spannung erzeugt ein zusätzliches Potential  $V(x)$  im Kanalbereich, welches vom Massepotential der Source-Elektrode an der Stelle  $x = 0$  ( $V(0) = 0$ ) bis zur angelegten Drain-Spannung an der Drain-Elektrode an der Stelle  $x = L$  ( $V(L) = V_{DS}$ ) ansteigt (siehe Abbildung 3.2). Daher hängt die induzierte Ladungsträgerdichte von der Position  $x$  im Kanal ab und es gilt [ZS07]

$$Q_{mob} = C_i \cdot (V_{GS} - V_{Th} - V(x)). \quad (3.3)$$

Unter Vernachlässigung von Diffusionseffekten ergibt sich somit für den Drain-Source-Strom [ZS07]

$$I_{DS} = W \cdot \mu \cdot Q_{mob} \cdot E_x \quad (3.4)$$

mit der Ladungsträgermobilität  $\mu$  und der elektrischen Feldstärke  $E_x$  an der Stelle  $x$ . Der Zusammenhang aus Gleichung 3.3 sowie eine Substitution mit  $E_x = dV/dx$  führt schließlich zu

$$I_{DS}dx = W \cdot \mu \cdot C_i \cdot (V_{GS} - V_{Th} - V(x))dV. \quad (3.5)$$

Unter der Annahme, dass die Ladungsträgermobilität keine Abhängigkeit von der Gate-Source-Spannung aufweist, führt eine Integration über die gesamte Kanallänge ( $x = 0$  bis  $L$ ) sowie über die angelegte Drain-Source-Spannung ( $V(x) = 0$  bis  $V_{DS}$ ) für kleine elektrische Feldstärken in Kanalrichtung zu folgendem Zusammenhang für den Drain-Source-Strom [ZS07]

$$I_{DS} = \frac{W}{L} \cdot \mu \cdot C_i \cdot \left[ (V_{GS} - V_{Th})V_{DS} - \frac{1}{2}V_{DS}^2 \right]. \quad (3.6)$$

Dünnschichttransistoren können in verschiedenen Betriebsbereichen betrieben werden. Sofern nur eine geringe Drain-Source-Spannung angelegt wird, weist die Ladungsträgerverteilung im Kanalbereich einen linearen Gradienten von der Source- zur Drain-Elektrode auf. In diesem sogenannten linearen Bereich ist der Strom  $I_{DS}$  direkt proportional zur an-

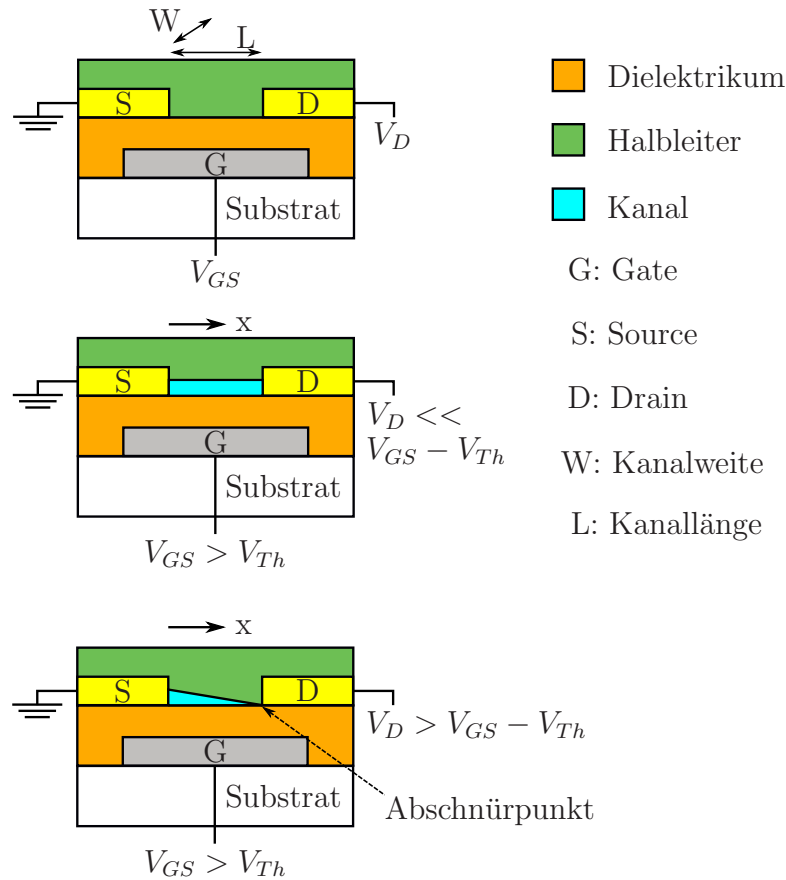


Abbildung 3.2: (Oben) Schematische Darstellung eines Dünnschichttransistors in *Bottom Gate Bottom Contact* Architektur sowie der angelegten Spannungen (Gate-Source-Spannung  $V_{GS}$ , Drain-Spannung  $V_D$ , Schwellenspannung  $V_{Th}$ ). Visualisierung der Ladungsträgerverteilung im (Mitte) linearen Betriebsbereich und (Unten) Sättigungsbereich.

gelegten Drain-Source-Spannung  $V_{DS}$ . Unter Annahme der Bedingung  $V_{DS} \ll V_{GS}$  kann Gleichung 3.6 vereinfacht werden zu [ZS07]

$$I_{DS,lin} = \frac{W}{L} \cdot \mu_{lin} \cdot C_i \cdot (V_{GS} - V_{Th}) V_{DS} \quad (3.7)$$

mit der Ladungsträgermobilität  $\mu_{lin}$  im linearen Bereich.

Gleichung 3.3 zeigt, dass freie Ladungsträger im Kanalbereich lediglich unter Erfüllung der Bedingung  $V_{GS} - V_{Th} - V(x) > 0$  existieren können. Erreicht nun das lokale Potential an der Drain-Elektrode  $V(L) = V_{DS}$  den Wert  $V_{DS} = V_{GS} - V_{Th}$  (Abschnürpunkt, engl.: *pinch-off point*), so wird in diesem Bereich eine Verarmungszone gebildet, die den Kanal von der Drain-Elektrode abschnürt (siehe Abbildung 3.2). Eine weitere Erhöhung der Drain-Source-Spannung  $V_{DS}$  hat keinen signifikanten Einfluss auf den Strom  $I_{DS}$ , der

daher nicht mehr durch Gleichung 3.7 beschrieben werden kann. Für diesen sogenannten Sättigungsbereich kann der raumladungslimitierte Sättigungsstrom  $I_{DS,sat}$  durch Substitution mit der Abschnürpunktbedingung in Gleichung 3.6 berechnet werden zu [ZS07]

$$I_{DS,sat} = \frac{W}{2L} \cdot \mu_{sat} \cdot C_i \cdot (V_{GS} - V_{Th})^2 \tag{3.8}$$

mit der Ladungsträgermobilität  $\mu_{sat}$  im Sättigungsbereich.

### 3.3 Metall-Halbleiter-Grenzfläche

Die Source- und Drain-Elektroden sind verantwortlich für die Injektion und das Abfließen von Ladungsträgern in Transistoren. Für die Leistungsfähigkeit dieser elektronischen Bauelemente ist ein effizienter Ladungstransfer entlang der entstehenden Elektroden-Halbleiter-Grenzfläche essentiell. Da die dieser Arbeit zugrundeliegenden Elektroden ausschließlich aus Metallen gebildet werden, wird im Folgenden lediglich der Ladungstransfer entlang von Metall-Halbleiter-Grenzflächen beschrieben. In der Literatur wird die Ladungsträgerinjektion in diesen Grenzflächensystemen hauptsächlich mit Hilfe der thermischen Emission beziehungsweise des Tunneleffekts erläutert [SN07]. Eine schematische Darstellung der möglichen Injektionsprozesse ist ein Abbildung 3.3 gegeben. In beiden Modellen ist die Stromdichte der entstandenen Metall-Halbleiter-Diode gegeben durch

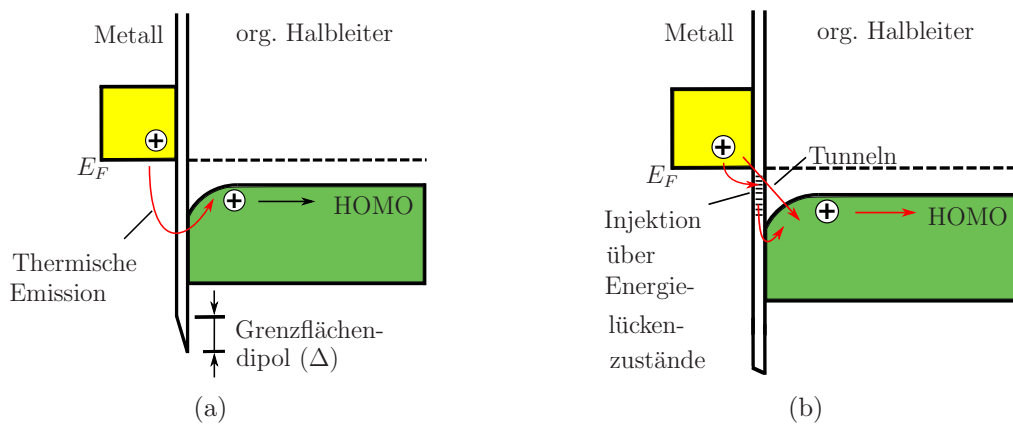


Abbildung 3.3: Schematische Darstellung der möglichen Injektionsprozesse. (a) thermisches Emissionsmodell, (b) Tunnelprozess bzw. Injektion über Energielückenzustände ( $E_F$ : Fermi-Energie, nach [LXN15]).

$$J = J_0 \left[ \exp \left( \frac{qV_a}{k_B T} \right) - 1 \right] \quad (3.9)$$

wobei  $q$  die Elementarladung,  $V_a$  die angelegte Spannung,  $k_B$  die Boltzmann-Konstante und  $T$  die absolute Temperatur ist [LXN15]. Die Sättigungsstromdichte  $J_0$  berücksichtigt die Höhe der Schottky-Barriere  $\varphi_B$  und bildet damit die Eigenschaften des Metall-Halbleiter-Kontakts ab. Besitzen die Ladungsträger ausreichend Energie, um die Schottky-Barriere zu überwinden (thermisches Emissionsmodell, auch bekannt als Richardson-Schottky Modell, Abbildung 3.3 (a)) ergibt sich unter Vernachlässigung von Bildladungseffekten für die Sättigungsstromdichte

$$J_0 = J_{RS} = A^* T^2 \exp \left( -\frac{q\varphi_B}{k_B T} \right) \quad (3.10)$$

wobei  $A^*$  die Richardson-Konstante des Halbleitermaterials ist [LXN15]. Sofern die angelegte Spannung der Metall-Halbleiter-Diode groß ist oder eine hohe Dotierstoffkonzentration  $N_D$  im Halbleitermaterial vorliegt, können Ladungsträger die Energiebarriere mittels Tunnelprozessen überwinden (Abbildung 3.3 (b)) und  $J_0$  ergibt sich zu

$$J_0 = J_t \propto \exp \left( -\frac{2\varphi_b}{\hbar} \sqrt{\frac{\varepsilon\varepsilon_0 m^*}{N_D}} \right) \quad (3.11)$$

wobei  $\hbar$  das Planck'sche Wirkungsquantum,  $\varepsilon$  die relative Permittivität des Halbleiters,  $\varepsilon_0$  die elektrische Feldkonstante und  $m^*$  die effektive Masse der Ladungsträger ist [LXN15]. Alternativ kann die Ladungsträgerinjektion über Zustände innerhalb der Energielücke des Halbleiters, entstanden durch Defektstellen, stattfinden. In diesem Fall können Ladungen vom Metall in diese Energielückenzustände tunneln und schließlich von dort thermisch in die Transportniveaus des Halbleiters angeregt werden (Abbildung 3.3 (b)) [BL07].

Das dieser Arbeit zugrundeliegende Grenzflächensystem besteht vornehmlich aus  $\pi$ -konjugierten Molekülen, die einen Kontakt mit metallischen Oberflächen bilden. Aus der Literatur ist bekannt, dass sich die Grenzflächeneigenschaften trotz identisch gewählter kontaktbildender Materialien abhängig von den Prozessbedingungen (Ultrahochvakuum- oder Hochvakuum- bzw. Atmosphärenbedingungen) [BBJ<sup>+</sup>95], [BBS97] und der Integrationssequenz (Organik-auf-Metall oder Metall-auf-Organik) [MTH<sup>+</sup>01], [WMG<sup>+</sup>06] wesentlich unterscheiden. Die unterschiedlichen Adsorptionsprozesse können eine Vielzahl von Effekten implizieren, wobei gegenwärtig kein ganzheitliches Modellsystem existiert, welches alle Effekte berücksichtigt. Nichtsdestotrotz können die unterschiedlichen Grenzflächentypen



in verschiedenen Modellen beschrieben werden. Für weiterführende Informationen sei der interessierte Leser auf folgende Literaturreferenzen verwiesen [BSF09], [HWK09].

Die in dieser Arbeit verwendete Integrationsroutine sieht vor, dass ausschließlich organische Moleküle auf Metalloberflächen abgeschieden werden, die sowohl Lösungsmitteln als auch Atmosphärenbedingungen ausgesetzt waren. In den letzten Jahrzehnten zeigte sich, dass Grenzflächen, geformt durch Schleuderbeschichtung von polymeren Filmen auf metallischen Elektroden, eine große Übereinstimmung mit dem von anorganischen Halbleitersystemen bekannten Schottky-Mott-Modell zeigen [CFH<sup>+</sup>97]. Gleiches gilt für *small molecules* Schichten auf durch Umgebungsbedingungen bzw. von definierten Atmosphären kontaminierten Metalloberflächen. Eine schematische Darstellung der Energieniveauanpassung im Schottky-Mott-Modell ist in Abbildung 3.4 gegeben. Ausgangspunkt des Schottky-Mott-Modells ist eine ideale Metall-Halbleiter-Grenzfläche, die sich durch eine verschwindend geringe Dichte an Grenzflächenzuständen und durch eine vernachlässigbare chemische Wechselwirkung zwischen dem Metall und dem Halbleiter auszeichnet. Die Höhe der Energiebarriere zwischen dem Metall und dem Halbleiter ist durch die Vakuumniveauanpassung der Energieniveaus der isolierten Einzelsysteme gegeben, und die Elektroneninjektionsbarriere  $\varphi_{Bn}$  bzw. die Lochinjektionsbarriere  $\varphi_{Bp}$  ergibt sich zu

$$\varphi_{Bn} = \varphi_M - EA \quad \text{bzw.} \quad \varphi_{Bp} = IE - \varphi_M \quad (3.12)$$

mit der Austrittsarbeit des Metalls  $\varphi_M$ , der Elektronenaffinität des organischen Halbleiters  $EA$  und der Ionisationsenergie des organischen Halbleiters  $IE$ . Anzumerken bleibt, dass das Schottky-Mott-Modell Gültigkeit für die Energiebedingung  $EA < \varphi_M < IE$  besitzt [HWK09]. Erreicht die Austrittsarbeit der Elektroden die Grenzorbitale des Halbleiters

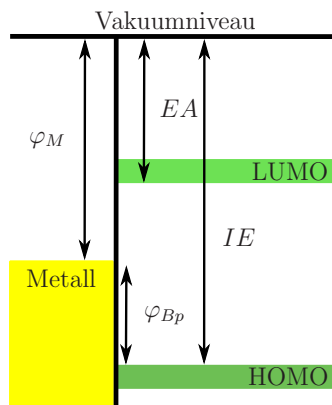


Abbildung 3.4: Energieniveauanpassung im Schottky-Mott Modell ( $EA$ : Elektronenaffinität,  $IE$ : Ionisationsenergie, nach [LXN15]).

(LUMO bzw. HOMO), kann ein Ladungsaustausch an der Metall-Halbleiter-Grenzfläche stattfinden, der zu einem *Pinning* des Fermi-Niveaus  $E_F$  der Metallelektrode an grenzorbitalnahen Zuständen führt. Eine adäquate Beschreibung der Grenzfläche ist im Schottky-Mott-Modell nicht möglich. In der Literatur werden zwei Modelle zur Beschreibung dieses Phänomens kontrovers diskutiert, zum einen das *Integer Charge Transfer*- (ICT) Modell, zum anderen ein Modell, dass das Auftreten der lokalisierten Zustände nahe der Grenzorbitale durch die energetische Unordnung der einzelnen Moleküle (engl.: *tail gap states*) beschreibt [HKL<sup>+</sup>07], [FCC<sup>+</sup>07].

Im Allgemeinen werden im ICT-Modell Grenzflächen beschrieben, in denen die Molekülorbitale des  $\pi$ -Elektronensystems von den Energiebändern des Metallfilms entkoppelt sind, wodurch eine Hybridisierung der Energieniveaus verhindert wird. Solche Grenzflächen treten typischerweise bei passivierten Metallschichten auf, gebildet zum Beispiel durch Oberflächenoxide oder gesättigte Kohlenwasserstoffadsorbate, die sich beispielsweise unter Atmosphärenbedingungen bzw. bei lösungsmittelbasierten Folgeprozessen bilden. Trotz dieser Adsorbate kann bei einer geringen Passivierungsschichtdicke ein Ladungsaustausch über Tunnelprozesse stattfinden. Die Reduktion bzw. Addition von Ladungen zu organischen Halbleitersystemen führt zu einer signifikanten geometrischen und elektronischen Relaxation des Moleküls, wodurch neue lokalisierte Zustände separiert vom HOMO- bzw. LUMO-Niveau erzeugt werden. Diese sogenannten ICT-Zustände stehen als zusätzliche Energieniveaus in der Bandlücke des Halbleiters zur Verfügung [BSF09]. Abbildung 3.5 zeigt die Lage der ICT-Zustände ( $E_{ICT+}$  und  $E_{ICT-}$ ) innerhalb der Bandlücke des Halbleiters sowie die Energieniveauanpassung im ICT-Modell für die Bedingungen  $\varphi_M > E_{ICT+}$  (Abbildung 3.5 (a)) bzw.  $\varphi_M < E_{ICT-}$  (Abbildung 3.5 (b)). Unter der Bedingung  $\varphi_M > E_{ICT+}$  ( $\varphi_M < E_{ICT-}$ ) fließen Elektronen spontan vom organischen Material an der Grenzschicht ins Metall (vom Metall in das organische Material an der Grenzschicht). Das organische Molekül an der Grenzschicht wird positiv (negativ) und das Metall negativ (positiv) geladen. Das resultierende Grenzflächenpotential erhöht (reduziert) schließlich die Energie des Vakuumniveaus, wobei für den entstehenden Dipol  $\Delta$  gilt

$$\Delta = \varphi_M - E_{ICT+} \quad \text{bzw.} \quad \Delta = E_{ICT-} - \varphi_M. \quad (3.13)$$

Die Höhe der Schottky-Barriere ist in diesem Fall unabhängig von der Austrittsarbeit des verwendeten Metalls  $\varphi_M$  und wird von den Energiezuständen  $E_{ICT+}$  bzw.  $E_{ICT-}$  bestimmt [BSF09].

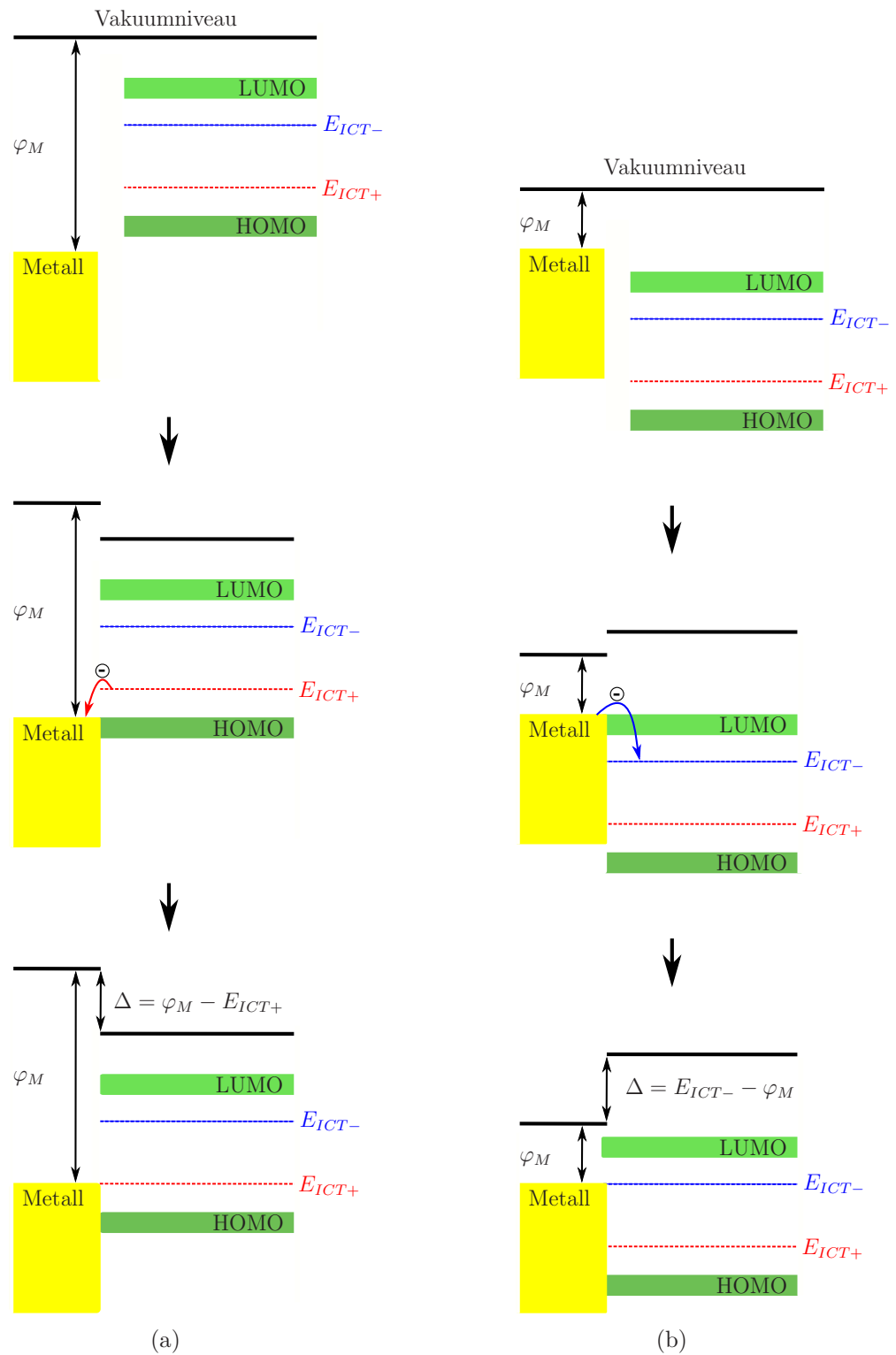


Abbildung 3.5: Energieniveauanpassung der Metall-Halbleiter-Grenzfläche im ICT Modell für (a)  $\varphi_M > E_{ICT+}$  und (b)  $\varphi_M < E_{ICT-}$  ( $\varphi_M$ : Austrittsarbeit des Metalls,  $E_{ICT\pm}$ : ICT Zustände,  $\Delta$ : Dipol, nach [BSF09]).

Ein alternatives Modell beschreibt das *Pinning* der Fermi-Energie durch die lokalisierten Zustände nahe der Grenzorbitale, die durch die energetische Unordnung der einzelnen Moleküle induziert wurden. Dieser Effekt der elektrischen Dotierung wurde im Zusammenhang mit Polymer-Metall-Grenzflächen diskutiert [HKL<sup>+</sup>07] und ist schematisch in Abbildung 3.6 dargestellt. So beeinflusst die statische und dynamische Unordnung sowohl der Position als auch der Orientierung der einzelnen Moleküle die molekularen Energieniveaus durch elektrostatische und sterische Wechselwirkungen. Diese energetische Unordnung führt dazu, dass die Zustandsdichte auch im Bereich der Grenzorbitale als gaußverteilt bzw. exponentialverteilt angenommen werden kann. Ferner haben Dotierstoffe, seien sie gewollt oder ungewollt eingebracht, einen Einfluss auf die Zustandsdichte [TRP<sup>+</sup>05]. Aus diesem Grund befinden sich mit einer gewissen Wahrscheinlichkeit Zustände nahe der Grenzorbitale in der Bandlücke. Erreicht nun das Fermi-Niveau der Metallelektroden die Grenzorbitale des Polymers an der Grenzfläche, beginnen sich diese Zustände mit Ladungsträgern zu füllen und eine Überschussladungsdichte akkumuliert im organischen Material. Das resultierende elektrische Feld verdrängt schließlich die Energieniveaus der Grenzorbitale vom Fermi-Niveau  $E_F$  des Metalls [KKGJ06], wodurch eine weitere Penetration von Ladungen in das Volumen der halbleitenden Schicht verhindert wird [HKL<sup>+</sup>07]. Die Dichte der Überschussgrenzflächenladungen hängt von der Höhe der Energiebarriere ab und kann zu einer Bandverbiegung an der Grenzfläche zwischen Elektroden mit

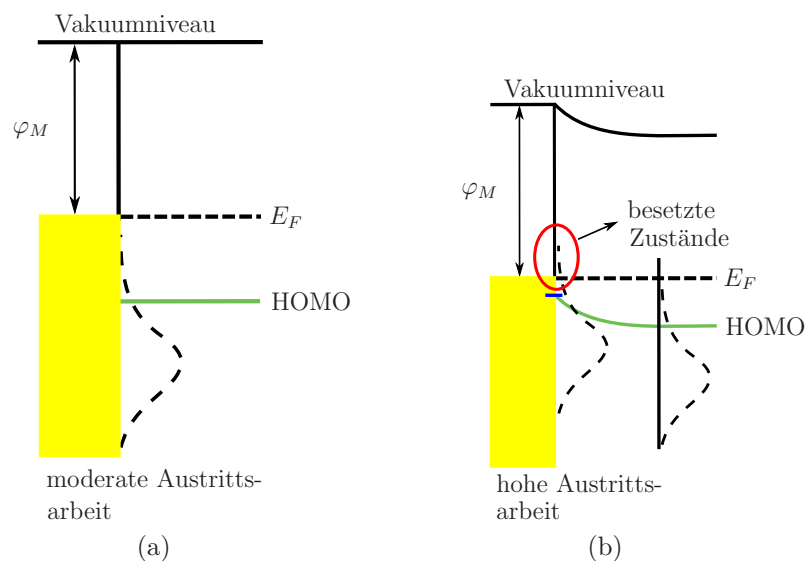


Abbildung 3.6: Energieniveauanpassung der Metall-Halbleiter-Grenzfläche durch lokalisierte Zustände nahe der Grenzorbitale (*tail gap states*,  $\varphi_M$ : Austrittsarbeit des Metalls,  $E_F$ : Fermi-Energie, nach [HWK09]).

hoher Austrittsarbeit und Polymeren mit kleiner (oder mittlerer) Ionisierungsenergie führen (Abbildung 3.6 (b)) [HWK09]. Schließlich wird das Fermi-Niveau der Metallelektrode an die Grenzflächenzustände des Metall-Halbleiter-Kontakts *gepinnt* und die Höhe der Schottky-Barriere ist unabhängig von der Austrittsarbeit des Metalls.

### 3.4 Austrittsarbeit von realen metallischen Elektroden

Die Austrittsarbeit von Metallen wird in der Literatur hauptsächlich mit der direkten oder inversen Photoelektronenspektroskopie bestimmt [Sal91], [ISIS99], [SLF<sup>+</sup>01]. Die Messungen finden im Allgemeinen unter Ultrahochvakuumbedingungen statt, wodurch die metallische Oberfläche atomar rein und frei von Adsorbaten ist. Das Edelmetall Gold weist unter diesen Bedingungen einen Austrittsarbeitwert von  $5,2 \pm 0,1$  eV [OJB<sup>+</sup>06] auf und erscheint daher als vielversprechender Kandidat für Lochinjektionsprozesse in organischen Halbleitersystemen. Die Deposition von Metallen in elektronischen Bauelementen findet allerdings typischerweise unter Hochvakuumbedingungen statt und führt bei verschiedenen Metallen wie zum Beispiel Aluminium oder Silber zu einer leichten Oxidation der Oberfläche. Ebenso können dünne (gesättigte) Kohlenwasserstoffschichten auf der Oberfläche adsorbieren, sofern die aufgebrachtten Metallschichten in Kontakt mit der Umgebungsluft oder lösungsmittelbasierten Folgeprozessen kommen. Obwohl bei kohlenwasserstoffkontaminierten Metalloberflächen nur ein geringer bzw. kein Ladungsaustausch zwischen den physisorbierten Kohlenwasserstoffverbindungen und der Metalloberfläche stattfindet, führt der Adsorptionsprozess zu einer essentiellen Oberflächenmodifikation des Metalls in Folge des *push-back*- bzw. *pillow*-Effekts [HWK09], [BSF09]. Die Austrittsarbeit eines Metalls hängt sowohl vom chemischen Potential des Volumens als auch vom elektrostatischen Potential entlang seiner Oberfläche ab, das durch die Physisorption von Atomen bzw. Molekülen beeinflusst werden kann [BSF09]. Eine theoretische Beschreibung des Einflusses der Adsorbate auf die Austrittsarbeit des Metalls wird meist im Jellium-Modell beschrieben [Bra93]. Im Jellium-Modell sind die positiven Ladungen des Nukleus gleichmäßig als positiver Hintergrund im Metall verteilt, sodass die positive Ladungsdichte an der Metalloberfläche abrupt den Wert Null annimmt. Die Wellenfunktion der delokalisierten Elektronendichte, die sich vor diesem Hintergrund bewegt, ragt allerdings über die Ionenrümpfe hinaus bis ins Vakuum hinein. Wenn nun ein Atom bzw. Molekül auf einer Metalloberfläche adsorbiert, werden im Zuge der Coulomb Abstoßung zwischen

der Elektronendichte des Adsorbaten und der Metalloberfläche lokal die ins Vakuum ragenden Ausläufer der Elektronenwellenfunktionen unterdrückt, wodurch das ursprüngliche Oberflächenpotential verändert wird [HWK09]. Die Auswirkung dieses Phänomens auf die Austrittsarbeit verschiedener Metalle wurde in der Literatur systematisch sowohl theoretisch [Lan81] als auch experimentell unter der Benutzung der Edelgase Xenon, Argon oder Krypton analysiert [CCF84], [WH84]. Ebenso wurde gezeigt, dass typische Reinigungssequenzen in Aceton und Isopropanol, die auch in dieser Arbeit angewendet wurden, die Austrittsarbeit von Gold auf  $4,5 \pm 0,1 \text{ eV}$  [OJB<sup>+</sup>06], [FCC<sup>+</sup>07] senken.

Neben der prozessbedingten Variation der Austrittsarbeit der metallischen Elektroden ist ebenso eine gezielte Anpassung des elektrostatischen Oberflächenpotentials durch das kovalente Binden selbstorganisierender Monoschichten (engl.: *self-assembled monolayers*, SAMs) an den abgeschiedenen Metalloberflächen möglich [Sch00], [LEK<sup>+</sup>05]. Abbildung 3.7 zeigt den allgemeinen Aufbau einer selbstorganisierenden Monoschicht, bestehend aus einer Kopfgruppe (engl.: *headgroup*), eines Rückgrats (engl.: *backbone*, *spacer*) und einer funktionalen terminierenden Endgruppe (engl.: *endgroup*, *functional group*). Während die Kopfgruppe über Chemisorption kovalent an das zugrundeliegende Substrat bindet, ist das Rückgrat jedes einzelnen SAM-Moleküls durch seine intermolekulare van der Waals Wechselwirkung für die Ausbildung einer geordneten Monoschicht verantwortlich. Die Oberflächeneigenschaften, wie Oberflächenenergie und Reaktivität zu anderen Atomen bzw. Molekülen der resultierenden Schicht, werden schließlich durch die Endgruppe bestimmt [Sch00]. In der Literatur ist bekannt, dass Thiolalkohole und perfluorierte Thiolalkohole SAMs auf Gruppe Ib und Gruppe VIII Metallen bilden und die Austrittsarbeit dieser, je nach Orientierung des Dipolmoments der Molekülverbindung, erhöhen oder senken [BHM<sup>+</sup>05]. Hierbei setzt sich das totale Dipolmoment der Monoschicht aus zwei effektiv wirkenden Dipolen zusammen, zum einen gebildet durch den Ladungstransfer der Metall-Schwefel Wechselwirkung, zum anderen durch die molekulare Zusammenset-

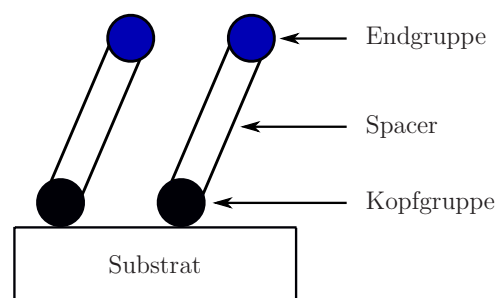


Abbildung 3.7: Schematische Darstellung des Aufbaus einer selbstorganisierenden Monoschicht (nach [LEK<sup>+</sup>05]).

zung der Monoschicht selbst [LEK<sup>+</sup>05]. Selbstorganisierende Monoschichten werden typischerweise mit Hilfe der Gasphasenabscheidung unter Ultrahochvakuum-Bedingungen, der Molekularstrahlepitaxie oder nasschemisch aufgebracht [PPP96], [XCDG<sup>+</sup>98], [Sch00], [Sch01].

### 3.5 Gate-Dielektrikum

Der dielektrischen Schicht wird in Dünnschichttransistoren ein vielfältiges Aufgabenfeld zuteil. Neben der isolierenden Trennung der Gate-Elektrode vom Kanalbereich bzw. den Drain-/ Source-Elektroden moduliert sie die Anzahl der Ladungsträger im aktiven Kanal durch die angelegte Gate-Source-Spannung. Für die Integration von leistungsfähigen Dünnschichttransistoren ist daher neben der Wahl des Halbleitermaterials auch die Wahl des Gate-Dielektrikums maßgebend.

Organische Dünnschichttransistoren werden als Grenzflächenbauelemente typischerweise im Anreicherungsmodus betrieben. Speziell die Grenzfläche zwischen dem organischen Halbleiter und dem Dielektrikum hat einen enormen Einfluss auf den elektrischen Ladungstransport innerhalb des Bauelements. In *Bottom Gate* Bauelementen wirkt das Dielektrikum als Substrat für die abgeschiedenen molekularen Segmente des organischen Halbleiters und kann durch Wechselwirkung deren Morphologie und Orientierung – und damit die Ladungsträgermobilität – beeinflussen. In der Literatur ist bekannt, dass die Polarität der Oberfläche eines Dielektrikums sowohl die lokale Morphologie des organischen Halbleiters, als auch die Verteilung seiner elektronischen Zustände beeinflussen kann [KSVH03], [FKF05], [YSP05], [SYY<sup>+</sup>06], [ZC09]. Markant ist, dass nahezu alle organischen Halbleitermaterialien eine optimierte Leistungsfähigkeit auf hydrophoben Oberflächen aufweisen, wobei der Grund für dieses Phänomen in der Literatur kontrovers diskutiert wird. Neben der Erhöhung der Kristallinität und Domänengröße der halbleitenden Schicht durch eine erhöhte Oberflächenmobilität der abgeschiedenen Moleküle wird die relative Orientierung der molekularen Segmente des Halbleiters zur Oberfläche des Dielektrikums als möglicher Erklärungsansatz herangezogen [VOLL04]. Ebenso führt eine geringere Polarität zu einem geringeren Anteil an Wasserstoffverbindungen an der Grenzfläche, wie unter anderem Hydroxylgruppen (OH-Gruppen), die als Fallenzustände fungieren können [NYSL06], [UGY<sup>+</sup>08], [Sir09]. Anzumerken bleibt, dass eine gezielte Beeinflussung der freien Oberflächenenergie des verwendeten Dielektrikums schließlich, analog zur Optimierung der

Kontaktelektroden (siehe Kapitel 3.4), mit Hilfe von selbstorganisierenden Monoschichten erfolgen kann.

Verschiedene Studien zeigen weiterhin, dass das Wachstum homogener Schichten von der Rauigkeit der Wachstumsoberfläche beeinflusst wird [SVJ<sup>+</sup>04], [FKF05], [SY<sup>+</sup>06]. So unterdrücken raue Oberflächen das Wachstum von gleichmäßigen, großen Kristalldomänen, wodurch die Nukleationsdichte polykristalliner Materialien beeinflusst wird. So können durch eine inhomogene Halbleiterschichtdicke Täler im Kanalbereich entstehen, die als Ladungsträgerfallen wirken und die Schwellenspannung des Bauelements nachhaltig beeinflussen. Weitere Einflüsse auf die Schwellenspannung sind gegeben durch Grenzflächenzustände, zum einen eingebracht durch unerwünschte chemische Gruppen an der Oberfläche des Isolators oder anderen fremden Verunreinigungen, zum anderen durch integrierte Ladungen in der dielektrischen Schicht selbst [VOLL04].

Neben auftretenden Grenzflächeneffekten kann die Leistungsfähigkeit des Bauelements durch die intrinsischen Materialeigenschaften des Isolators selbst maßgeblich beeinflusst werden. So dient die maximale elektrische Flussdichte  $D_{max}$

$$D_{max} = \varepsilon_0 k E_B \quad (3.14)$$

mit der dielektrischen Durchschlagsfeldstärke  $E_B$ , der elektrischen Feldkonstante  $\varepsilon_0$  und der dielektrischen Konstante  $k$  als Maß für die Durchschlagsfestigkeit des Dielektrikums und definiert die maximal zulässige Betriebsspannung [FYM05]. Ferner hat die Kapazität pro Einheitsfläche  $C_i$

$$C_i = \varepsilon_0 (k/d) \quad (3.15)$$

mit der Dicke des Dielektrikums  $d$  einen direkten Einfluss auf die benötigte Betriebsspannung, die angelegt werden muss, um eine ausreichende Ladungsträgerakkumulation im Kanalbereich zu gewährleisten [NYN18]. Hierbei bleibt anzumerken, dass eine lediglich geringe Frequenzabhängigkeit der Kapazität bzw. der dielektrischen Konstante maßgebend für die Anwendung der dielektrischen Schicht in elektronischen Schaltungen ist.

Der Beginn des Forschungsfelds der organischen Elektronik war durch die Verwendung von thermisch gewachsenem Siliziumdioxid ( $\text{SiO}_2$ ) als Gate-Dielektrikum gekennzeichnet [TKA86]. Vor allem die langjährigen Erfahrungen der Wachstumsparameter aus der konventionellen Silizium (Si)-Technologie trugen maßgeblich dazu bei, dass die ersten organischen Dünnschichttransistoren hochdotierte Si-Substrate (Gate-Elektrode) mit qualitativ



hochwertigem, defektfreiem, thermisch gewachsenen SiO<sub>2</sub> (Dielektrikum) beinhalteten. Über Jahrzehnte wurden die Wachstumsparameter für SiO<sub>2</sub>-Schichten optimiert, um eine defektfreie Grenzfläche zum angrenzenden Si zu bilden. Die für die Funktionsweise von Dünnschichttransistoren maßgebende Oberfläche des SiO<sub>2</sub> bleibt allerdings weniger definiert und weist daher eine starke Abhängigkeit von den umgebenden Prozessbedingungen auf. Typischerweise tendieren anorganische Oxide dazu, Oberflächenzustände auszubilden, die zu Ladungsträgerfallen und Hysterese-Effekten führen können [VOLL04]. Nichtsdestotrotz zeigen verschiedene Studien, dass eine definierte, reproduzierbare Oberfläche und eine Minimierung von Grenzflächenzuständen durch die Verwendung von SAMs wie Hexamethyldisilazan, Trichloro(octyl)silan oder anderen Silanen ermöglicht werden kann, die kovalent an oxidbasierenden Dielektrika wie SiO<sub>2</sub> oder Aluminiumoxid (Al<sub>2</sub>O<sub>3</sub>) binden [Ulm96]. Heutzutage werden SiO<sub>2</sub>-basierte Bauelemente hauptsächlich als Benchmark Testbauelemente für die Charakterisierung von organischen Halbleitermaterialien eingesetzt.

Typischerweise betragen die Betriebsspannungen von TFTs mit SiO<sub>2</sub> als Dielektrikum einige 10 V [FYM05], [GXO<sup>+</sup>17]. Um eine signifikante Reduktion der Betriebsspannung zu erreichen, wurde nach alternativen Materialsystemen mit einer höheren dielektrischen Konstante als SiO<sub>2</sub> ( $k > 3,9$ , *high-k*) gesucht. Konventionelle oxidbasierende Materialien wie Al<sub>2</sub>O<sub>3</sub> und Hafniumoxid wurden in weiten Bereichen angewendet und erreichen die gewünschte Funktionalität aufgrund ihrer hohen Schichtdichte, relativ hohen Kapazität und niedrigen Stromdichte [FNS<sup>+</sup>08], [YB10], [FBM12], [NYN18]. Klauk et al. zeigten unter Verwendung eines Dielektrikums bestehend aus einer Kombination von Al<sub>2</sub>O<sub>3</sub> und eines SAMs, dass die Herstellung von OTFTs mit niedrigen Betriebsspannungen sowie einer Transitfrequenz von 21 MHz möglich ist [BZL<sup>+</sup>20]. Nichtsdestotrotz bleibt anzumerken, dass konventionelle Oxide einen spröden Charakter aufweisen und aufgrund ihrer teilweise hohen Prozessierungstemperaturen nur bedingt einsetzbar in der flexiblen Elektronik sind [NYN18]. Um das Ziel einer kostengünstigen, vollständig druckbaren Elektronik erreichen zu können, ist die Entwicklung leistungsfähiger, lösungsmittelbasierter Dielektrika essentiell.

In den letzten Jahrzehnten haben verschiedene Gruppen den Einsatz von lösungsmittelbasierten Dielektrika forciert und ihre Verwendbarkeit in der Schaltungstechnik nachgewiesen. Verschiedene Ansätze für *high-k* Polymerdielektrika wurden schließlich entwickelt und in der Literatur vorgestellt. So wurden erfolgreich OTFTs mit *high-k* Polymeren wie Poly(4-vinylphenol) (PVP,  $k = 5,9 @ 1 \text{ kHz}$ ) [WH11] oder Polyvinylalkohol (PVA,

$k = 6, 9 @ 100 \text{ kHz}$ ) [JYL<sup>+</sup>04] bzw. fluorierten Polymerderivaten basierend auf Polyvinylidenfluorid (PVDF,  $k = 10 - 14 @ 100 \text{ Hz}$ ) [LMLZ11] hergestellt. Ebenso wurden hybride Dielektrika bestehend aus einer polymeren Matrix, deren dielektrische Konstante mit Hilfe von anorganischen Nanopartikeln wie Titandioxid ( $\text{TiO}_2$ ), Zirkoniumdioxid ( $\text{ZrO}_2$ ) oder  $\text{Al}_2\text{O}_3$  erhöht wurde [9], [LPJT14], sowie Ionengele wie 1-ethyl-3-methylimidazolium bis(trifluoromethylsulfonyl)imid ([EMIM][TFSI],  $C_i = 43 \mu\text{F}/\text{cm}^{-2} @ 10 \text{ Hz}$ ) oder 1-butyl-3-methylimidazolium hexafluorophosphat ([BMIM][PF6],  $C_i = 41 \mu\text{F}/\text{cm}^{-2} @ 10 \text{ Hz}$ ) [CLH<sup>+</sup>08] in OTFTs integriert.

In der Literatur wird gezeigt, dass eine hohe Ladungsträgermobilität im Zusammenhang mit einer geringen Polarisierbarkeit der dielektrischen Schicht steht, da eine polare Grenzfläche sowie die dipolare Unordnung im Grenzflächenbereich die Dichte der lokalisierten Zustände im Kanalbereich erhöht [VOL<sup>+</sup>03], [VOLL04]. Ebenso existieren klare Anzeichen dafür, dass in Dünnschichttransistorsystemen mit polaren polymeren Dielektrika Hysterese-Phänomene aufgrund von Feuchtigkeitsabsorption entstehen [Sir09]. Vor allem *high-k* Dielektrika zeigten in diesem Zusammenhang Leistungs Nachteile gegenüber unpolaren *low-k* Dielektrika wie dem fluorierten Polymer Poly(perfluorobutenylvinylether) (kommerziell erhältlich unter dem Markennamen CYTOP, Hersteller: Asahi Glass Co., Ltd.,  $k = 2, 1 @ 1 \text{ MHz}$ ) [WKMB09]. Um allerdings eine vergleichbare kapazitive Kopplung für *low-k* Dielektrika gewährleisten zu können, muss nach Gleichung 3.15 die Dicke der isolierenden Schicht reduziert werden. Aufgrund der geringen Filmdichte verglichen mit konventionellen Oxiden, gestaltet sich die Verringerung aufgrund von erhöhten Leckströmen allerdings als kritisch [NYN18]. Bis zum gegenwärtigen Zeitpunkt wurde von einem Niederspannungsbetrieb mit *low-k* Dielektrika nur selten in der Literatur berichtet. Die in dieser Arbeit verwendeten flexiblen *high-k* und *low-k* Dielektrika werden in Kapitel 5.1 bzw. 6.1 vorgestellt und sowohl physikalisch als auch elektrisch charakterisiert.

### 3.6 Abweichungen vom idealen Transistorverhalten

Betrachtet man die in Kapitel 3.2 beschriebenen Gleichungen 3.7 und 3.8 für den Drain-Source-Strom  $I_{DS}$  im linearen bzw. gesättigten Betriebsbereich, so wird ersichtlich, dass diese ein ideales Transistorverhalten voraussetzen. Bei der Modellierung der Transistorcharakteristiken im idealisierten Modellsystem ist eine Variation des Drain-Source-Stroms  $I_{DS}$  lediglich durch externe elektrische Felder gegeben. Parameter wie die Feldeffekt-Mobilität

$\mu_{in/sat}$ , die Kapazität pro Einheitsfläche  $C_i$ , die Schwellenspannung  $V_{Th}$  und die geometrischen Parameter des Transistors  $W$  und  $L$ , weisen dabei einen konstanten Wert auf. Ebenso wird davon ausgegangen, dass im Kontaktbereich zwischen Metall und Halbleiter an den Source-/ Drain-Elektroden ein idealer Ohm'scher Kontakt vorliegt, sodass der auftretende Drain-Source-Strom lediglich durch den Widerstand entlang des Kanals  $R_{Ch}$  begrenzt wird. Untersuchungen verschiedener Forschungsgruppen zeigten allerdings, dass eine Modellierung der Transistorcharakteristiken mittels der idealisierten Gleichungen nicht ausreicht, um das Verhalten realer Bauelemente adäquat zu beschreiben [NSGJ00], [SS02], [Hor04], [NFS07], [KKN<sup>+</sup>13]. So führt in realen Bauelementen der zusätzlich auftretende Kontaktwiderstand  $R_C$  zu einem Spannungsabfall im Kontaktbereichen zwischen der Source- bzw. Drain-Elektrode und dem halbleitenden Material. Der Gesamtwiderstand des Systems  $R_{Total}$  ist schließlich gegeben durch

$$R_{Total} = R_C + R_{Ch} \tag{3.16}$$

wobei sich  $R_C$  als Summe aus Source- ( $R_S$ ) und Drain-Widerstand ( $R_D$ ) ergibt. Ferner indizieren verschiedene Studien, dass der Spannungsabfall an der Injektionselektrode dominiert [GZN<sup>+</sup>06], [SGM<sup>+</sup>10], [BTS<sup>+</sup>12]. Eine Visualisierung der in diesem Kapitel vorgestellten Modellsysteme zeigt Abbildung 3.8.

Im einfachsten Modellsystem wird der zusätzliche Kontaktwiderstand durch in Reihe geschaltete Ohm'sche Widerstände an den Source- und Drain-Kontakten berücksichtigt,

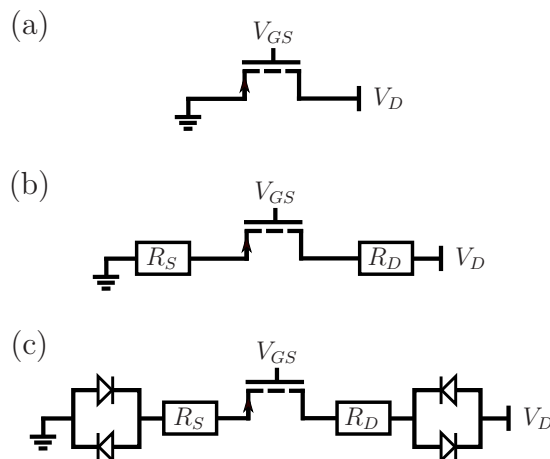


Abbildung 3.8: Ersatzschaltbild eines (a) idealen TFTs, (b) unter Berücksichtigung von Ohm'schen Widerständen an den Source- und Drain-Elektroden und (c) unter Berücksichtigung vom nicht-linearen Widerstandverhalten an den Kontakten ( $V_{GS}$ : Gate-Source-Spannung,  $V_D$ : Drain-Spannung,  $R_S$ : Source-Widerstand,  $R_D$ : Drain-Widerstand, nach [Hor04]).

wobei der zusätzliche Spannungsabfall ein Ersetzen von  $V_{DS}$  durch  $V_{DS} - I_{DS}R_C$  in den idealisierten Transistorgleichungen 3.7 und 3.8 impliziert [BK08]. Für den linearen Bereich ergibt sich somit

$$I_{DS,lin} = \frac{\mu_0 W C_i}{L} \left( V_{GS} - V_{Th} - \frac{V_{DS}}{2} + \frac{I_{DS,lin} R_C}{2} \right) \cdot (V_{DS} - I_{DS,lin} R_C) \quad (3.17)$$

wobei  $\mu_0$  die intrinsische Ladungsträgermobilität des Halbleitermaterials (in Abwesenheit von jeglichem Kontaktwiderstand) ist. Analog kann der Drain-Source-Strom im Sättigungsbereich beschrieben werden als

$$I_{DS,sat} = \frac{\mu_0 W C_i}{2L} [(V_{GS} - V_{Th})^2 - (I_{DS,sat} R_C)^2]. \quad (3.18)$$

Schon anhand dieses simplen Modellsystems wird ersichtlich, dass ein hoher Kontaktwiderstand einen signifikanten Einfluss auf die Leistungsfähigkeit der Bauelemente hat und Parameter wie den Drain-Source-Strom  $I_{DS}$ , die Schaltfrequenz, die Strommodulation  $I_{on}/I_{off}$  und die Schwellenspannung  $V_{Th}$  (siehe Kapitel 3.7) negativ beeinflusst. Zwar werden in der Literatur Möglichkeiten beschrieben den Kontaktwiderstand durch Dotierung [LKK<sup>+</sup>16] beziehungsweise Austrittsarbeitsmodifikation der Source-/ Drain-Elektroden [CCPL<sup>+</sup>08] zu reduzieren, allerdings zeigen nur eine sehr geringe Anzahl von Literaturreferenzen Kontaktwiderstandswerte von unter 100 k $\Omega$  [Kla18].

Speziell in der *Bottom Gate Bottom Contact* Konfiguration wird die Leistungsfähigkeit maßgeblich von auftretenden Kontaktwiderständen limitiert. Verantwortlich hierfür sind vor allem der Qualitätsunterschied des Halbleiters im Grenzflächenbereich sowie die energetische Differenz in der Austrittsarbeit der metallischen Elektroden und des zugehörigen Grenzorbitals des Halbleiters. Zur essentiellen Charakteristik eines Transistors gehört dessen Ausgangskennlinienfeld ( $I_D - V_{DS}$  Diagramm), bei dem für verschiedene feste Gate-Source-Spannungen  $V_{GS}$  der Drain-Strom  $I_D$  unter Variation der Drain-Source-Spannung  $V_{DS}$  gemessen wird. Hierbei entspricht der Drain-Strom  $I_D$  der Summe aus dem Drain-Source-Strom  $I_{DS}$  sowie dem Gate-Source-Strom (Leckstrom)  $I_{GS}$ . Typischerweise dominiert  $I_{GS}$  die elektrische Charakteristik des Transistors im ausgeschalteten Zustand, während  $I_{DS}$  im eingeschalteten Zustand den dominierenden Faktor darstellt und der  $I_{GS}$ -Anteil vernachlässigt werden kann. Ein typisches Ausgangskennlinienfeld der in dieser Arbeit integrierten, Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNTT)-basierten TFTs ist in Abbildung 3.9 gegeben. Vor allem für niedrige Drain-Source-Spannungen  $V_{DS}$  ist ein S-förmiger Kennlinienverlauf ersichtlich, der auf ein nicht-lineares Widerstands-

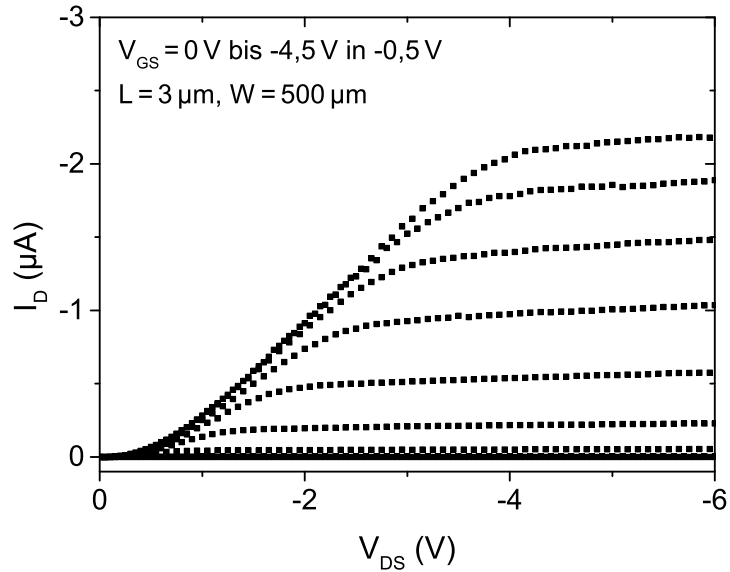


Abbildung 3.9: Ausgangskennlinienfeld eines DNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur.

verhalten im Kontaktbereich des Dünnschichttransistors schließen lässt. Slater et al. beobachteten eine vergleichbare Transistorcharakteristik bei p-Kanal Siliziumkarbid (SiC) MOSFETs und erklärten diese durch das Auftreten von parasitären, mit den Source- und Drain-Kontakten in Reihe geschalteten Schottky-Dioden [SLJ<sup>+</sup>95]. Auf Grundlage dieser Ergebnisse verfeinerten Necliudov et al. das bestehende Modellsystem und erweiterten die Reihenschaltung der Ohm'schen Widerstände am Source- und Drain-Kontakt zum Einen um ein Paar antiparalleler Schottky-Dioden. Zum Anderen erfolgte die Einführung einer empirischen Gate-spannungsabhängigen Feldeffekt-Mobilität

$$\mu_{FET} = \mu_0 \left( \frac{V_{GS} - V_{Th}}{V_{AA}} \right)^\gamma \quad (3.19)$$

mit den empirischen Parametern  $\gamma$  und  $V_{AA}$  [NSGJ00]. Hierdurch wurde berücksichtigt, dass lokalisierte Fallenzustände in der verbotenen Energielücke nahe des für den Ladungstransport verantwortlichen Grenzorbitals auftreten. Bei geringen Gate-Spannungswerten werden die in den Halbleiter injizierten Ladungsträger in diesen lokalisierten Zuständen gefangen, wobei die am tiefsten in der Energielücke liegenden Niveaus bevorzugt besetzt werden. Die gefangenen Ladungsträger können lediglich durch thermische Energiezufuhr freigegeben werden. Ab einem gewissen Spannungswert sind alle Fallenzustände gefüllt und weitere injizierte Ladungsträger können sich schließlich mit der Ladungsträgermobilität bewegen, die mit dem zugehörigen Grenzorbital assoziiert wird [DPK<sup>+</sup>99]. Eine

Visualisierung der Gate-Spannungsabhängigkeit der Feldeffekt-Mobilität im Sättigungsbereich  $\mu_{sat}$  zeigt Abbildung 3.10 am Beispiel eines während dieser Arbeit integrierten, DNNTT-basierten TFTs.

Eine weiterführende experimentelle Analyse des Kanal- und Kontaktbereichs wurde von verschiedenen Forschungsgruppen mittels Rasterkraftmikroskopie (engl.: *atomic force microscopy*, AFM) durchgeführt [SF01], [BSF02]. Hierbei wurde mit Hilfe einer AFM-Nadel das Potential entlang des Transistorkanals abgetastet, wodurch ein unabhängiger Zugriff auf den Kanal- und Kontaktwiderstand ermöglicht wurde. Bürgi et al. [BRFS03] analysierten die Ergebnisse detailliert, wobei sich ihre Hauptergebnisse wie folgt zusammenfassen lassen:

- a) der Kontaktwiderstand hängt stark von der Beschaffenheit der Elektrode ab (wie z.B. deren Austrittsarbeit),
- b) der Kontaktwiderstand hängt stark von der angelegten Gate-Source-Spannung ab,
- c) die Ladungsträgermobilität hängt von der angelegten Gate-Source-Spannung ab.

Neben dem auftretenden Kontaktwiderstand sowie der Gate-spannungsabhängigen Mobilität können weitere Faktoren zu Abweichungen vom idealen Transistorverhalten führen. Eine weitere fundamentale Transistorcharakteristik ist durch die Bestimmung der Eingangskennlinie ( $I_D - V_{GS}$  Diagramm) gegeben. Hierbei wird der Drain-Strom  $I_D$  bei

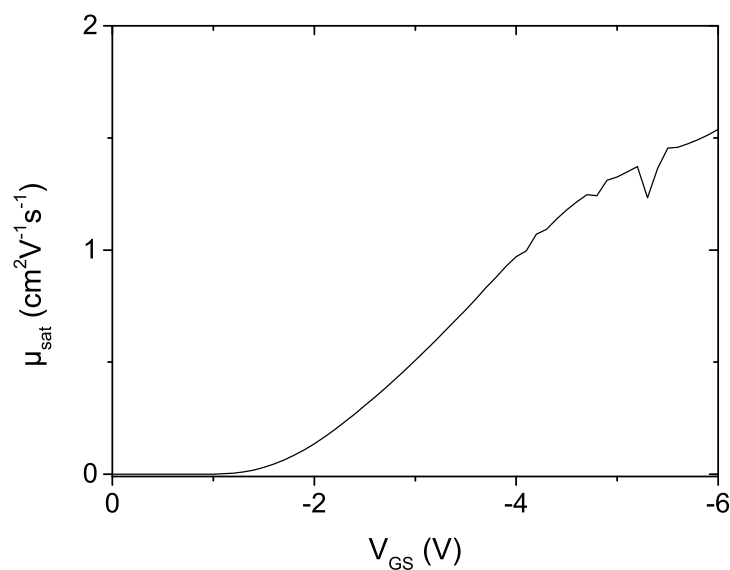


Abbildung 3.10: Gate-Spannungsabhängigkeit der Feldeffekt-Mobilität  $\mu_{sat}$  im Sättigungsbereich eines DNNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur.

einer konstante Drain-Source-Spannung  $V_{DS}$  unter Variation der Gate-Source-Spannung  $V_{GS}$  gemessen. Zyklisch gemessene Eingangskennlinien organischer Dünnschichttransistoren weisen für gewöhnlich ein Hysterese-Verhalten auf, wodurch eine Variation der Schwellenspannung  $\Delta V_{Th}$  sowie der Einschaltspannung  $\Delta V_{on}$  (siehe Kapitel 3.7) bezüglich dem Messdurchlauf in Vorwärtsrichtung (vom ausgeschalteten zum eingeschalteten Zustand des TFTs) zum Messdurchgang in Rückwärtsrichtung (vom eingeschalteten zum ausgeschalteten Zustand des TFTs) auftritt. Als Ursache für eine Hysterese können Veränderungen der Ladungsträgerdichte  $n_0$  im Kanalbereich durch Einfangen von Ladungen in Fallenzuständen, durch eine Ladungsträgerinjektion in die dielektrische Schicht, Abweichungen in der Kapazität pro Einheitsfläche  $C_i$ , Polarisierungseffekte im Dielektrikum oder eine inkonstante Flachbandspannung  $V_{FB}$  (siehe Kapitel 3.7) durch strukturelle Änderung des Halbleiters genannt werden. In der Literatur ist bekannt, dass vor allem die Wechselwirkung des aktiven Halbleitermaterials sowie des Dielektrikums mit der Umgebungsatmosphäre als Ursache für Hysterese-Erscheinungen anzusehen ist. Wie bereits erwähnt, zeigen verschiedene Untersuchungen beispielsweise, dass der in der Atmosphäre enthaltene Sauerstoffanteil die Morphologie des Pentacen-Moleküls nachhaltig beeinflusst [PDH04], [VWR<sup>+</sup>06]. Ebenso wurde gezeigt, dass speziell polare polymere Dielektrika zur Absorption von Luftfeuchtigkeit neigen [Sir09]. Obwohl Hysterese-Erscheinungen in integrierten Schaltungen unerwünscht sind, finden große stabile Schwellenspannungsverschiebungen technische Anwendung in Speichermedien.

Einen weiteren Schlüsselparameter in der Modellierung von Transistoren stellt deren geometrische Eigenschaften, gegeben durch das Weite-zu-Länge Verhältnis, dar. Im Falle eines Dünnschichttransistors mit strukturiertem Halbleiter ist, wie Abbildung 3.11 (a) visualisiert, das geometrische Verhältnis durch die Breite der Kontaktelektroden (Weite  $W$  des Transistors) sowie deren Abstand voneinander (Länge  $L$  des Transistors) gegeben. Der Stromfluss in dieser TFT-Konfiguration findet direkt zwischen den beiden Elektroden statt. Abbildung 3.11 (b) zeigt hingegen einen Dünnschichttransistor, dessen Halbleitermaterial nicht auf den aktiven Transistorbereich beschränkt ist. Neben dem Stromfluss zwischen der Source- und Drain-Elektrode findet ebenso ein Stromfluss im Außenbereich des TFTs statt, der zum Gesamtstrom im System beiträgt [HYC<sup>+</sup>08]. Speziell im Falle einer unstrukturierten Gate-Elektrode erfolgt die Variation des Widerstands im Außenbereich im gleichen Maße wie im aktiven Bereich des TFTs und beeinflusst somit Transistorparameter wie die Ladungsträgermobilität und die Strommodulation  $I_{on}/I_{off}$  (siehe Kapitel 5.5) nachhaltig.

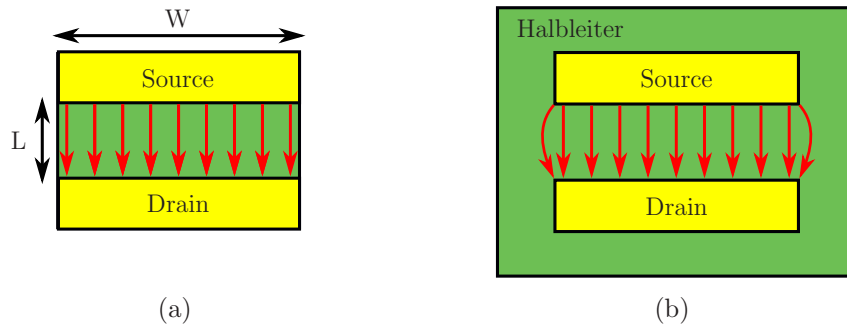


Abbildung 3.11: Schematische Darstellung einer TFT-Struktur mit zugehörigen Randströmen ( $L$ : Kanallänge,  $W$ : Kanalweite). (a) Strukturierter Halbleiter, (b) unstrukturierter Halbleiter.

### 3.7 Parameterextraktion

Im folgenden Abschnitt werden die Methoden zur Charakterisierung der in dieser Arbeit integrierten TFTs diskutiert. Die vorgestellten Charakterisierungsmethoden basieren auf dem 1620-2008 IEEE-Standard für Testmethoden zur Charakterisierung von organischen Transistoren und Materialien [IEE].

Die essentiellen Charakteristika von Transistoren sind, wie bereits erwähnt, zum einen durch ihre Transfer- oder Eingangskennlinie und zum anderen durch ihr Ausgangskennlinienfeld gegeben. Während die Eingangskennlinie die Bestimmung der Parameter wie Schwellenspannung  $V_{Th}$ , Einschaltspannung  $V_{on}$ , Subschwelligenspannungsstromanstieg  $S$ , Strommodulation  $I_{on}/I_{off}$  und Ladungsträgermobilität  $\mu_{lin/sat}$  ermöglicht, wird das Ausgangskennlinienfeld vornehmlich genutzt, um FET-ähnliches Verhalten des TFTs nachzuweisen und eine erste Bewertung bezüglich der Kontaktqualität zwischen Source-/ Drain-Elektroden und Halbleiterschicht vorzunehmen. Ferner ist die Analyse des Leckstromverhaltens ( $I_{GS} - V_{GS}$  Diagramm) während der Extraktion der oben genannten Charakteristika bedeutsam, da diese eine Bewertung der Qualität des Gate-Dielektrikums ermöglicht. Ebenso können hierdurch der quantitative Beitrag des Leckstroms zum Drain-Strom  $I_D$  sowie der Einfluss des Leckstromanteils auf die Bauteilparameter bestimmt werden.

Die elektrische Charakterisierung der in dieser Arbeit integrierten TFTs wird mit Hilfe eines HP-4156A-Precision Semiconductor Parameter Analyzer und einer Karl Süss Microprobe Station durchgeführt. Die Karl Süss Microprobe Station beinhaltet Süss MircoTec PH100 Mikromanipulatoren, die mit Wolfram-Nadeln (Model: 72T-J3/70x1.2", bezogen von American Probe & Technologies, Inc.) ausgestattet sind und die die Kontaktierung zwischen den TFT Kontaktflächen und den Messgeräten gewährleisten. Alle Messungen



werden unter Umgebungsluft in einer dunklen Umgebung mit einer relativen Luftfeuchtigkeit von 25 – 60 % durchgeführt.

Abbildung 3.12 zeigt beispielhaft die Eingangskennlinie eines in dieser Arbeit integrierten DNTT-basierten Dünnschichttransistor und visualisiert die graphischen Bestimmungsmethoden für die oben genannten und im Folgenden näher diskutierten Parameter.

### Schwellesspannung und Einschaltspannung

In der Si-MOS-Technologie bezeichnet die Schwellenspannung  $V_{Th}$  (engl.: *threshold voltage*) den minimalen Gate-Source-Spannungswert, der aufgebracht werden muss, um eine starke, oberflächennahe Inversion zu bewirken, sodass sich ein leitfähiger Kanal zwischen dem Source- und dem Drain-Kontakt ausbildet [SN07]. Wie in Kapitel 3.2 beschrieben, arbeiten organische TFTs im Akkumulationsbetrieb, wodurch eine einfache Übertragung der obigen Definition in die Dünnschichttransistor-Technologie nicht möglich ist, sondern eine den Betriebsbedingungen angepasste Formulierung benötigt wird.

In realen Dünnschichttransistoren kann die Kanalbildung durch zusätzlich auftretende Potentiale und Fallenzustände gestört werden, sodass nicht alle Gate-induzierten Ladungen frei beweglich sind und zum Stromfluss zwischen der Source- und Drain-Elektrode beitragen können. Zum einen kann eine Differenz in der Austrittsarbeit zwischen dem Gate-Elektrodenmaterial und dem Halbleiter zu einer Verbiegung der Energieniveaus des Halbleiters führen, resultierend in einem zusätzlichen Oberflächenpotential an der Halbleiter-

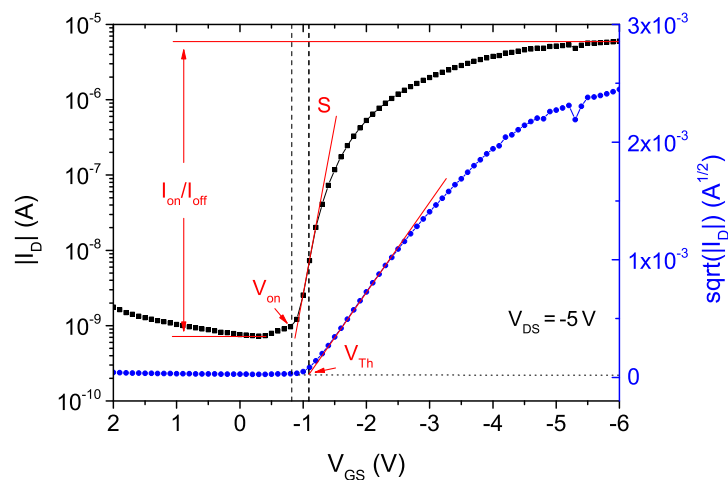


Abbildung 3.12: Eingangskennlinie eine DNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur. Die graphischen Bestimmungsmethoden der Parameter  $I_{on}/I_{off}$ ,  $V_{Th}$ ,  $V_{on}$  und  $S$  sind dargestellt.

Isolator-Grenzfläche. Zum anderen können permanente Ladungen an der Halbleiter-Isolator-Grenzfläche und im Isolator selbst einen zusätzlichen Beitrag zu diesem Oberflächenpotential leisten. Ein Teil der angelegten Gate-Source-Spannung muss schließlich aufgewendet werden, um dieses eingebaute Potential auszugleichen und den Halbleiter wieder in seine Flachbandbedingungen zu überführen. Die hierfür aufgebrachte Spannung wird als Flachbandspannung  $V_{FB}$  bezeichnet [SN07]. Ebenso müssen zunächst tiefe, lokalisierte Störstellen in der Energielücke des Halbleiters, die im Zuge der Transistorintegration entstanden sein können, gefüllt werden, bevor die induzierten Ladungen einen signifikanten Beitrag zum Stromfluss leisten. Der Spannungswert, ab dem alle zusätzlichen Gate-induzierten Ladungen frei beweglich sind, wird in der TFT-Technologie unter dem Begriff der Schwellenspannung  $V_{Th}$  zusammengefasst und es gilt

$$V_{Th} = \pm \frac{qn_0d_S}{C_i} + V_{FB}. \quad (3.20)$$

Hierbei entspricht  $d_S$  der Dicke des Halbleiters,  $q$  der Elementarladung,  $n_0$  der Ladungsträgerdichte und  $C_i$  der Kapazität pro Einheitsfläche, wobei das Vorzeichen mit dem Vorzeichen der Majoritätsladungsträger korrespondiert [KB10].

Typischerweise kann die Schwellenspannung  $V_{Th}$  aus der Eingangscharakteristik der integrierten TFTs bestimmt werden. So weist der Drain-Strom  $I_D$  im linearen Bereich nach Gleichung 3.7 eine lineare Abhängigkeit von  $(V_{GS} - V_{Th})$  auf, während  $I_D$  im Sättigungsbereich nach Gleichung 3.8 den quadratischen Zusammenhang  $(V_{GS} - V_{Th})^2$  aufzeigt. Mittels linearer Regression lässt sich nun die Schwellenspannung im linearen Bereich aus dem  $I_D - V_{GS}$  Diagramm bzw. im Sättigungsbereich aus dem  $I_D^{1/2} - V_{GS}$  Diagramm bestimmen. Neben der oben beschriebenen Schwellenspannung, stellt die Einschaltspannung  $V_{on}$  (engl.: *switch-on* bzw. *turn-on voltage*) einen weiteren wichtigen Parameter dar. Die Einschaltspannung ist definiert als Gate-Source-Spannungswert, an dem der Drain-Strom  $I_D$  seinen minimalen Wert erreicht [MTB<sup>+</sup>02], [KHZ<sup>+</sup>03] bzw.  $I_D$  beginnt, das Rauschniveau zu überschreiten [KB10]; dieser Wert kann aus dem  $\log(I_D) - V_{GS}$  Diagramm bestimmt werden.

## Subschwelligenspannungsstromanstieg

Das Spannungsintervall zwischen der Einschaltspannung  $V_{on}$  und der Schwellenspannung  $V_{Th}$  wird als Subschwelligenspannungsbereich bezeichnet. Die Ladungsträgerdichte hängt in

diesem Bereich exponentiell von der Gate-Source-Spannung  $V_{GS}$  ab, wobei Ladungsträger, die eine ausreichend große thermische Energie haben, um die Gate-spannungskontrollierte Energiebarriere nahe des Source-Kontakts zu überwinden, durch den Halbleiter zum Drain-Kontakt diffundieren können. Der Subschwelligensspannungsstromanstieg  $S$  gibt schließlich an, welche Änderung der Gate-Source-Spannung  $V_{GS}$  benötigt wird, um den Drain-Strom  $I_D$  um ein Dekade zu erhöhen. Aus der Steigung des  $\log(I_D) - V_{GS}$  Diagramms ergibt sich für den Subschwelligensspannungsstromanstieg

$$S = \frac{\partial V_{GS}}{\partial (\log_{10} I_D)} = \frac{nk_B T}{q} \ln(10) \quad (3.21)$$

mit dem Emissionskoeffizienten  $n$ . Der Emissionskoeffizient  $n$  wird schließlich durch die Dichte an Fallenzuständen an der Halbleiter-Dielektrikum-Grenzfläche  $N_{it}$  und der Kapazität des Gate-Dielektrikums  $C_{diel}$  bestimmt und es gilt [Kla10]

$$n = 1 + \frac{qN_{it}}{C_{diel}}. \quad (3.22)$$

Es bleibt anzumerken, dass ein geringer Subschwelligensspannungsstromanstieg  $S$  für den Niederspannungsbetrieb von Bauelementen maßgebend ist, da schon eine geringe Änderung der Gate-Source-Spannung ausreicht, um das Bauelement vollständig aus- bzw. einzuschalten. Nichtsdestotrotz beträgt das theoretische Minimum für  $S$  bei Raumtemperatur 60 mV/dec (thermionische Grenze) [SN07].

## Strommodulation

Die Strommodulation gibt im Allgemeinen das Verhältnis von maximalem ( $I_{on}$ , niedriger Kanalwiderstand) zu minimalem ( $I_{off}$ , hoher Kanalwiderstand) Drain-Strom  $I_D$  einer gemessenen TFT-Eingangscharakteristik an und charakterisiert die Fähigkeit des betreffenden Bauelements, ein Signal ein- bzw. auszuschalten [IEE]. Im Allgemeinen ist  $I_{on}$  durch die Kontaktqualität zwischen Halbleiter und Source-/ Drain-Elektroden, der Ladungsträgermobilität des Halbleitermaterials sowie der Kapazität des verwendeten Gate-Dielektrikums bestimmt. Der minimale Drain-Strom  $I_{off}$  hingegen wird vor allem durch auftretende Leckströme durch die Halbleiterschicht, durch das Gate-Dielektrikum und entlang der Substratoberfläche limitiert. Es bleibt anzumerken, dass  $I_{off}$  einen möglichst geringen Wert aufweisen sollte, da der Strom im ausgeschalteten Zustand des Transistors zum statischen Leistungsverbrauch beiträgt. Sowohl der Maximal- als auch der Minimal-

strom wird durch die TFT Dimensionierung und Architektur beeinflusst. Typischerweise sollte die Strommodulation möglichst groß sein, um ein sauberes Schaltverhalten gewährleisten zu können. Für Anwendungen als elektronischer Schalter werden typischerweise Werte im Bereich von  $10^4 - 10^6$  benötigt [WS09]. Die Strommodulation kann schließlich aus dem  $\log(I_D) - V_{GS}$  Diagramm bestimmt werden.

## Ladungsträgermobilität

Die Ladungsträgermobilität  $\mu$  stellt eine der wichtigsten Transistorparameter dar, da diese maßgeblich die maximale Betriebsfrequenz und damit den Anwendungsbereich der integrierten Transistoren festlegt. Vor allem in der Display-Technologie ist je nach Schaltungsaufbau eine bestimmte minimale Ladungsträgermobilität notwendig, um ein ausreichend schnelles Schaltverhalten der einzelnen OLEDs zu gewährleisten [Sir14]. Wie in Kapitel 3.2 bereits gezeigt, kann der Stromfluss durch die halbleitende Schicht zwischen Source- und Drain-Elektrode durch den Gate-Source-Spannungswert an der Gate-Elektrode moduliert werden. Im Allgemeinen wird dies quantitativ mit dem Begriff der Transkonduktanz

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}=\text{const.}} \quad (3.23)$$

beschrieben, wobei diese nach Gleichung 3.7 für den linearen Bereich durch

$$g_{m,\text{lin}} = \frac{\mu C_{\text{diel}} W}{L} \cdot V_{DS} \quad (3.24)$$

beziehungsweise nach Gleichung 3.8 für den Sättigungsbereich durch

$$g_{m,\text{sat}} = \frac{\mu C_{\text{diel}} W}{L} \cdot (V_{GS} - V_{Th}) \quad (3.25)$$

gegeben ist [ZS07], [Kla10].

Im linearen Bereich lässt sich schließlich die Ladungsträgermobilität aus der Steigung des  $I_D - V_{GS}$  Diagramms zu

$$\mu_{\text{lin}} = \frac{L g_{m,\text{lin}}}{C_{\text{diel}} W} \cdot V_{DS} \quad (3.26)$$

bestimmen. Im Sättigungsbereich hingegen lässt sich die Ladungsträgermobilität über die Steigung des  $I_D^{1/2} - V_{GS}$  Diagramms bestimmen, wobei nach partieller Ableitung von Gleichung 3.8 gilt

$$\mu_{sat} = \frac{2L}{C_{diel}W} \cdot \left( \frac{\partial \sqrt{I_D}}{\partial V_{GS}} \right)^2. \quad (3.27)$$

Wie bereits erwähnt, haben eine Vielzahl von Faktoren, unter anderem die Depositionsbedingungen des Halbleitermaterials sowie die Wechselwirkung zwischen Halbleiter und Dielektrikum, einen maßgebenden Einfluss auf die Ladungsträgermobilität. Für detailliertere Informationen sei der Leser auf Kapitel 2.2 und 3.5 verwiesen.



## KAPITEL 4

# GRUNDLEGENDE METHODIKEN

In diesem Kapitel werden zum einen die wesentlichen Methodiken zur Analyse der Schichteigenschaften der verschiedenen Transistorkomponenten beschrieben. Zum anderen werden die grundlegenden Integrationsroutinen für die Herstellung von organischen Dünnschichttransistoren vorgestellt. Abschnitt 4.1 beschreibt die Analysemethoden zur Charakterisierung der Eigenschaften der hergestellten dünnen Schichten. Ferner werden in Kapitel 4.2 die Depositions- und Strukturierungsmöglichkeiten von metallischen Elektroden diskutiert und bezüglich ihres Applikationspotential in der Prozessführung bewertet. Abschließend beschreibt Abschnitt 4.3 die verschiedenen Depositionsmethoden sowie Prozessparameter für die verwendeten Halbleitermaterialien.

### 4.1 Dünnschichtparameter

In diesem Abschnitt werden verschiedene analytische Methoden vorgestellt, um den Einfluss der variierenden Integrationsabläufe auf die Oberflächeneigenschaften wie den Kontaktwinkel bzw. die freie Oberflächenenergie und die Rauheitswerte der verwendeten Dielektrika zu bestimmen. Ebenso wird die Methodik zur Bestimmung der Kristallinität der thermisch aufgedampften Halbleitersysteme sowie der Schichtdicke der verwendeten Isolationsschichten erläutert.

## Statische Kontaktwinkelmessungen

Die Bestimmung der freien Oberflächenenergie  $\gamma_{sl}$  (bzw. Festkörperoberflächenspannung) ist eine grundlegende Möglichkeit, um die Benetzungseigenschaften von Oberflächen sowie die Auswirkung von chemischen bzw. physikalischen Modifikationen von Oberflächen zu analysieren. Ihre Bestimmung aus Kontaktwinkelmessungen geht auf einen von Young im Jahre 1805 formulierten Zusammenhang zurück [You05], der den Kontaktwinkel eines Flüssigkeitstropfens auf einer Festkörperoberfläche als Gleichgewichtszustand des Tropfens unter drei Grenzflächenspannungen – fest/ gasförmig, fest/ flüssig, flüssig/ gasförmig – auffasst. Dieser Gleichgewichtszustand ist bekannt als Young'sche Gleichung

$$\sigma_s = \gamma_{sl} + \sigma_l \cdot \cos(\theta) \quad (4.1)$$

wobei  $\sigma_s$  und  $\sigma_l$  die Oberflächenspannungskomponenten der festen bzw. flüssigen Phase,  $\gamma_{sl}$  die Grenzflächenenergie zwischen beiden Phasen und  $\Theta$  den Kontaktwinkel darstellen [KN99].

Zur Bestimmung des Kontaktwinkels kann schließlich die *Sessile Drop* Methode verwendet werden. Hierbei wird ein dosierter Tropfen einer definierten Flüssigkeit mit bekannter Oberflächenspannung auf die zu analysierende Festkörperoberfläche gebracht. Mittels optischer Messung kann, wie in Abbildung 4.1 dargestellt, aus der Tropfenkontur der Winkel zwischen der Tangente entlang der fest/ flüssig und der flüssig/ gasförmig Grenzfläche bestimmt werden. Das auftretende Kontaktwinkelintervall umfasst Winkel zwischen  $0^\circ$  (vollständige Benetzung der Festkörperoberfläche) und  $180^\circ$  (keine Benetzung der Festkörperoberfläche). Der Winkel von  $90^\circ$  unterteilt das Intervall in einen hydrophilen ( $\Theta < 90^\circ$ ) bzw. hydrophoben ( $\Theta > 90^\circ$ ) Bereich. In der Literatur sind verschiedene

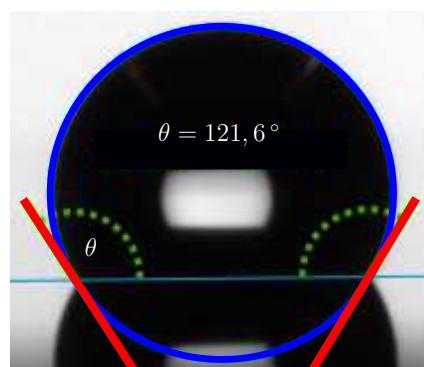


Abbildung 4.1: Optische Aufnahme zur Bestimmung der Kontaktwinkels zwischen einer Referenzflüssigkeit und der zur analysierenden Oberfläche.



analytische Modelle zur Bestimmung der freien Oberflächenenergie aus Kontaktwinkelmessungen bekannt [Fow64], [Wu71], [ZIS75], wobei in dieser Arbeit das Modell entwickelt von Owens, Wendt, Rabel und Kaelble (OWRK-Methode) verwendet wurde. Die OWRK-Methode geht davon aus, dass sich die Oberflächenspannung jeder Phase gemäß der zugrundeliegenden Wechselwirkungen zwischen den Molekülen in zwei Anteile aufspalten lässt. So erfolgt eine Unterteilung in den polaren Anteil (P) aufgrund der Keesom-Wechselwirkung zwischen zwei permanenten Dipolen [Kee15] sowie der Debye-Wechselwirkung zwischen einem permanenten Dipol und einem polarisierbaren Molekül [Deb29]. Den zweiten Beitrag bildet der disperse Anteil (D) aufgrund der London'schen Wechselwirkungen zwischen zwei polarisierbaren Molekülen [Lon37]. Die Summe beider Anteile bildet schließlich die totale Oberflächenenergie des Mediums. Die freie Oberflächenenergie  $\gamma_{sl}$  lässt sich schließlich nach Owens und Wendt durch Kombination ihrer grundlegenden Gleichung [OW69]

$$\gamma_{sl} = \sigma_s + \sigma_l - 2 \left( \sqrt{\sigma_s^D \cdot \sigma_l^D} + \sqrt{\sigma_s^P \cdot \sigma_l^P} \right) \quad (4.2)$$

und der Young'schen Gleichung 4.1 bestimmen. Rabel führte schließlich den sich ergebenden Ausdruck auf den mathematischen Zusammenhang der allgemeinen Geradengleichung zurück [Rab71]. Über die lineare Regression wird hierdurch eine einfache graphische Bestimmung von  $\sigma_s^P$  aus dem Quadrat der Geradensteigung und von  $\sigma_s^D$  aus dem Quadrat des Ordinatenabschnitts ermöglicht.

Es bleibt anzumerken, dass bei der OWRK-Methode mindestens zwei Flüssigkeiten mit bekannten dispersen und polaren Anteilen der Oberflächenspannung verwendet werden müssen, um die freie Oberflächenenergie des Festkörpers zu bestimmen. In dieser Arbeit werden als Referenzflüssigkeiten demineralisiertes Wasser (VE-Wasser), Diiodomethan sowie Ethylenglykol verwendet. Mittels eines Krüss Drop Shape Analyzer DSA25E werden die Tropfenkontur der verschiedenen  $5 \mu\text{l}$  umfassenden Referenztropfen auf der zu analysierenden Festkörperoberfläche ausgewertet.

## Rasterkraftmikroskopie

Wie in Kapitel 3.5 bereits erwähnt, hat die Rauigkeit der Oberfläche speziell in *Bottom Gate Bottom Contact* Architekturen einen essentiellen Einfluss auf die Wachstumseigenschaften des organischen Halbleiters sowie auf die elektrische Leistungsfähigkeit des inte-

grierten Bauelements. Mit Hilfe der Rasterkraftmikroskopie (engl.: *atomic force microscopy*, AFM) werden die Oberflächenrauigkeit der dielektrischen Schichten im Anschluss an die unterschiedlichen Integrationsprozesse analysiert. Hierfür wird die AFM-Spitze im *phase contrast* Modus über eine Fläche von  $5\ \mu\text{m} \times 5\ \mu\text{m}$  geführt und der quadratische Mittenrauwert (engl.: *root-mean-square roughness*, RMS) aus dem sich ergebenden Bild berechnet. Die RMS-Werte der dielektrischen Schichten werden sowohl mit einem Dimension 3100 series Scanning Probe Microscope der Firma Digital Instruments Srl als auch mit einem Mobile S der Nanosurf AG bestimmt.

Die Bestimmung der Kristallinität der thermisch aufgedampften halbleitenden Schicht erfolgt durch die Bestimmung der Abmessungen der auf der dielektrischen Schicht gewachsen Halbleiterkristallite mit Hilfe eines Dimension 3100 series Scanning Probe Microscopes.

## Profilometrie

Die Bestimmung der Schichtdicke der verschieden Dielektrika ist fundamental für die Berechnung ihrer dielektrischen Konstante nach Gleichung 3.15 bzw. der Ladungsträgermobilität des Halbleitermaterials nach Gleichung 3.27. Für das Materialsystem inoflex T3 sowie inoflex Z3 erfolgt eine Strukturierung der Schicht mittels optischer Lithografie und einer wässrigen NaOH-Lösung als Ätzmedium. Nach dem Entfernen des verbliebenen Fotolacks wird die Schichtdicke der beiden Nanokomposite an verschiedenen Stellen auf der Substratoberfläche bestimmt. Im Falle des Materialsystems SX AR-PC-5060 erfolgt eine Bestimmung der Schichtdicke in den teilweise unbedeckten Randbereichen des Substrats. Als Messsystem dient ein Dektak XT Stylus Profiler der Bruker Corporation.

## 4.2 Deposition und Strukturierung metallischer Elektroden

Metallische Elektroden sind ein wesentlicher Bestandteil der in dieser Arbeit integrierten Bauelemente wie Kondensatoren in Parallelplattenarchitektur oder Dünnschichttransistoren. Grundsätzlich stehen verschiedene Strukturierungs- und Depositionsmöglichkeiten für diese dünnen Metallschichten zur Verfügung, die einen essentiellen Einfluss auf deren physikalische Oberflächeneigenschaften haben.

Typischerweise kann die Strukturierung von dünnen metallischen Schichten durch nas-

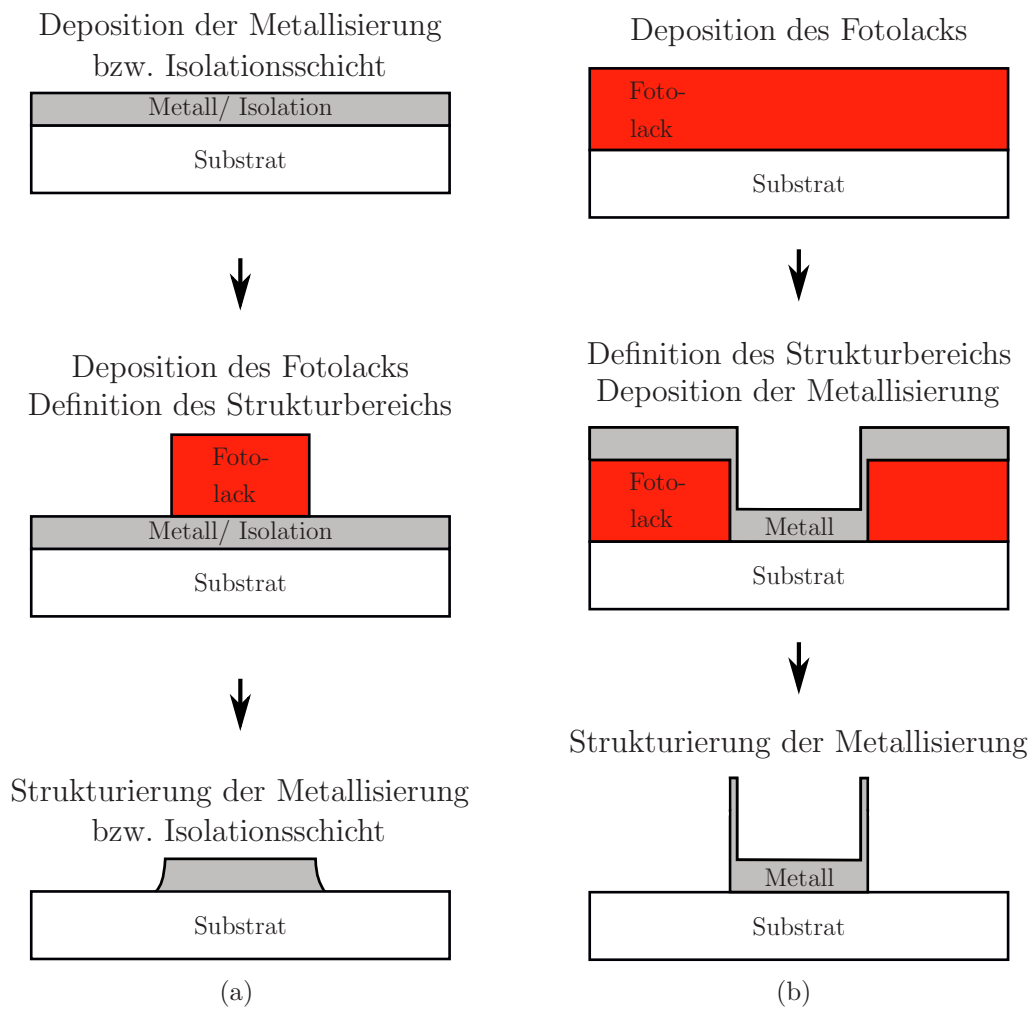


Abbildung 4.2: Schematische Darstellung der Strukturierungsmöglichkeit im (a) nasschemischen Ätzverfahren und (b) *Lift Off* Verfahren.

schemische Ätz- sowie *Lift Off* Prozesse durchgeführt werden. Eine schematische Darstellung der beschriebenen Strukturierungsprozesse zeigt Abbildung 4.2. Bei nasschemischen Ätzprozessen wird im Anschluss an die ganzflächige Deposition der Metallschicht ein aufgeschleuderter Fotolack mittels fotolithographischer Prozesse strukturiert. Die Strukturübertragung der produzierten Fotolackmaske erfolgt schließlich in einem Tauchbad einer materialspezifischen Ätzlösung. Bei *Lift Off* Prozessen hingegen erfolgt die Strukturierung der Fotolackmaske vor der ganzflächigen Deposition des Metalls. Die aufgebracht Metallatome lagern sich schließlich, abhängig von der Konformität des Depositionsprozesses, sowohl planar auf dem maskierenden Fotolack bzw. dem freigelegten Substratbereich als auch an den Strukturkanten der Lackmaske an. Die Strukturübertragung erfolgt durch ultraschallunterstütztes Entfernen der Fotolackmaske, wodurch lediglich Metallstrukturen zurückbleiben, die im direkten Kontakt mit dem Substrat stehen. In vorangegangenen Arbeiten zeigte Pannemann [Pan06], dass die durch die unterschiedlichen Übertragungstechniken realisierten Strukturen einen signifikanten Unterschied zueinander aufweisen. Nasschemische Ätzprozesse zeichnen sich vor allem durch ihren isotropen Ätzcharakter aus. Folglich können selbst bei kurzen Ätzzeiten Unterätzungen unterhalb der Lackmaske auftreten, resultierend in einem graduellen Flankenverlauf (Abbildung 4.2 (a)). Bei *Lift Off* Prozessen hingegen können zwar Strukturen mit vertikalen Flanken beobachtet werden, nichtsdestotrotz zeigen sich Materialerhöhungen im Kantenbereich der Strukturen aufgrund der partiellen Konformität des Depositionsprozesses (Abbildung 4.2 (b)). Diese auftretenden Spitzen stellen sich in Einsatzgebieten, in denen eine sichere Trennung verschiedener Metallisierungsebenen durch eine Isolationsschicht gewährleistet sein muss, als kritisch heraus, da ein Durchdringen der Isolation Kurzschlüsse verursachen kann. Daher wurde in dieser Arbeit bei allen substratnahen Elektroden (*Bottom* Elektrode im Parallelplattenkondensator, Gate Elektrode von TFTs in *Bottom Gate Bottom Contact* Architektur) eine Strukturierung mittels nasschemischer Ätzprozesse durchgeführt. Die Auswirkungen der verschiedenen Strukturierungsmöglichkeiten der Source-/ Drain-Elektroden auf die Leistungsfähigkeit der in dieser Arbeit integrierten TFTs werden in Kapitel 5.2 diskutiert.

Typischerweise kann die Deposition von dünnen Metallschichten durch Sputter-Prozesse im Argon-Plasma, sowie durch elektronenstrahlunterstützte bzw. thermische Verdampfungsprozesse durchgeführt werden. Abbildung 4.3 zeigt repräsentative AFM-Aufnahmen einer 30 nm dicken Au Schicht, die mit Hilfe eines Sputter-Prozesses (a) bzw. eines elektronenstrahlunterstützten Aufdampfprozesses (b) aufgebracht wurde. Es wird ersichtlich,

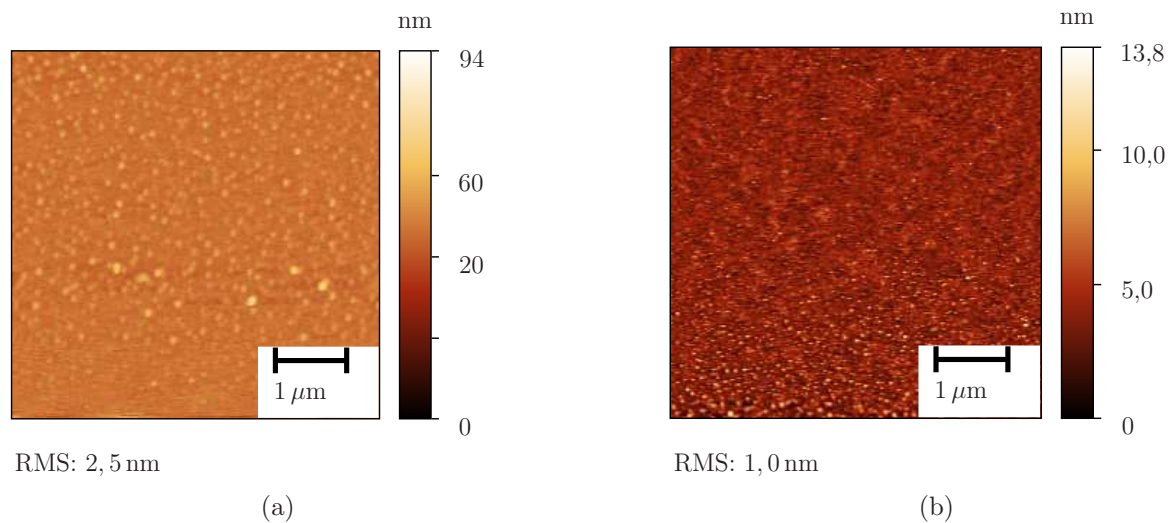


Abbildung 4.3: AFM-Messung einer 30 nm dicken Au Schicht, die mit Hilfe eines (a) Sputter- bzw. (b) elektronenstrahlunterstützten Aufdampfprozesses aufgebracht wurde.

dass aufgedampfte Schichten aufgrund ihres geringeren quadratischen Mittenrauwerths RMS eine glattere Oberfläche für potentielle Folgeprozesse bereitstellen.

Wie bereits zuvor erwähnt, werden metallische Elektroden in dieser Arbeit zum einen als *Bottom* Elektroden in Kondensatoren oder *Bottom Gate* Elektroden in Dünnschichttransistoren verwendet, wobei die Deposition einer dielektrischen Schicht einen typischen Folgeprozess darstellt. Speziell bei geringen Schichtdicken hat die Oberflächenrauigkeit der unterliegenden Struktur einen maßgebenden Einfluss auf die Homogenität der aufgetragenen Isolationsschicht. Höhere Rauigkeiten begünstigen die Ausbildung von Defektstellen im Dielektrikum, resultierend in einer geringeren elektrischen Durchbruchfestigkeit sowie höheren Leckströmen der integrierten elektronischen Bauelemente [Wol11]. Ebenso zeigten Steudel et al. [SVJ<sup>+</sup>04], dass sich in *Bottom Gate* Strukturen die Oberflächenrauigkeit der Gate-Elektroden bis an die Dielektrikumsoberfläche fortsetzen kann. Majoritätsladungsträger können sich schließlich in den Rauigkeitsminima des Dielektrikums lokalisieren und diese lediglich durch Diffusionsprozesse oder Driftbewegungen entlang eines horizontalen Potentialgradienten, hervorgerufen durch Rauigkeitsschwankungen, verlassen. Somit haben diese grenzflächennahen Streuprozesse der Ladungsträger einen nachhaltigen Einfluss auf die Leistungsfähigkeit des Dünnschichttransistors.

Ferner dienen dünne metallische Schichten auch als Source-/ Drain-Elektroden in den integrierten organischen Dünnschichttransistoren. Wie bereits in Kapitel 3.5 diskutiert, hat die Oberflächenrauigkeit der unterliegenden Schicht einen wesentlichen Einfluss auf die Morphologie des aufzuwachsenden Halbleitermaterials. Morphologieunterschiede im

Kontakt- bzw. im Übergangsbereich vom Kontakt zum Kanal können die Ausbildung von Grenzflächenzuständen in den kontaktnahen Bereichen begünstigen [VMBS10]. Ebenso zeigte Diekmann [Die07], dass speziell in *Bottom Gate Bottom Contact* Architektur eine Strukturierung der Source-/ Drain-Elektroden über eine Kombination aus Sputter- und *Lift Off* Prozessen zu überhängenden Materialerhöhungen im Strukturkantenbereich führen kann. Eine Abschattung der thermisch abgeschiedenen organischen Halbleitermoleküle führt schließlich zur erschwerten Anlagerung dieser an den Metallelektroden. Beide beschriebenen Effekte beeinflussen die Injektionseigenschaften der Elektroden maßgebend und limitieren hierdurch die Leistungsfähigkeit des Dünnschichttransistors.

Um den Einfluss auf die Transistorparameter möglichst gering zu halten, werden in dieser Arbeit ausschließlich elektronenstrahlunterstützte Aufdampfprozesse für die Deposition jeglicher Metallschichten verwendet.

## 4.3 Deposition von organischen Halbleitern

Organische Halbleiter können abhängig von ihren chemischen Eigenschaften durch eine Vielzahl verschiedener Depositionsmethoden abgeschieden werden. Neben Abscheidungsprozessen unter Vakuumbedingungen stehen lösungsmittelbasierte Methoden für lösliche Materialkomplexe zur Verfügung. In den folgenden Abschnitten werden Techniken zur Deposition verschiedener Halbleitermaterialien kurz vorgestellt, sowie die Depositionsmethoden und Prozessparameter für die in dieser Arbeit verwendeten Materialkomplexe näher erläutert.

### 4.3.1 Deposition unter Vakuumbedingungen

Organische Halbleiter können sowohl unter Grobvakuum- als auch Hochvakuumbedingungen abgeschieden werden. Bei der organischen Gasphasenabscheidung wird das Halbleitermaterial unter Hochvakuumbedingungen thermisch verdampft und in einem Grobvakuum mit Hilfe eines heißen, inerten Trägergasstroms in die Reaktionskammer zu einem gekühlten Substrat geführt. Aufgrund der Temperaturdifferenz kondensiert der organische Halbleiter ganzflächig an der Substratoberfläche, wobei die Kristallinität der abgeschiedenen Schicht eine Abhängigkeit von der Substrattemperatur aufweist [SPBF03]. Als alternative Methode steht das thermische Aufdampfen zur Verfügung, welches für die in

dieser Arbeit verwendeten Materialsysteme Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNNT) und 2,6-bis(4-(alkyloxy)phenyl)dithieno[3,2-b:2',2'-d]thiophen (DTT) verwendet wurde. Hierbei befindet sich das zu beschichtende Substrat unter Hochvakuumbedingungen direkt über der Verdampfungsquelle. Ebenso wie bei der organischen Gasphasenabscheidung kondensiert der organische Halbleiter ganzflächig auf der Substratoberfläche. Verschiedene Faktoren haben einen Einfluss auf die Qualität der abgeschiedenen Schicht. So neigen organische Halbleiter speziell bei zusätzlicher Energiezufuhr zu einer Reaktion mit Sauerstoff und Wasser, so dass während des Aufdampfprozesses ein Mindestdruck von  $< 5 \cdot 10^{-6}$  mbar gewährleistet sein muss [Dre07]. Ebenso muss der Abstand zwischen Substrat und Verdampfungsquelle so gewählt werden, dass die mittlere freie Weglänge der auftreffenden Moleküle nicht überschritten wird, um molekulare Stöße sowie potentielle Gasphasenreaktionen zu vermeiden. Ferner wird der Wachstumsprozess der halbleitenden Schicht an der Substratoberfläche von der Aufdampftrate, der Reinheit des Halbleitermaterials und der Substrattemperatur beeinflusst [LKI04], [CTMB13].

Die thermische Sublimation des in dieser Arbeit verwendeten Halbleiters DNNT fand in einem eigens konzipierten Aufdampfsystem statt, das in Abbildung 4.4 schematisch dargestellt ist. Das Aufdampfsystem besteht aus einem zylindrischen Rezipienten, des-

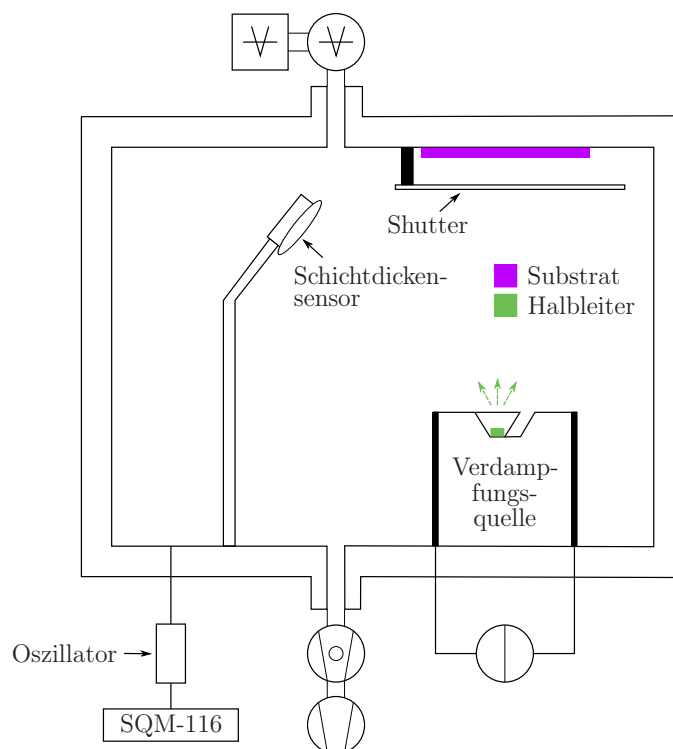


Abbildung 4.4: Schematische Darstellung des konzipierten Aufdampfsystems.

sen Boden- und Deckelbereich sowohl mit einem Pumpensystem, bestehend aus einer Drehschieber- und einer Turbomolekularpumpe, als auch mit einer Hochvakuummesszelle mit zugehörigem Messgerät für die Drucküberwachung verbunden ist. Die Schichtdickenüberwachung erfolgt mit Hilfe eines wassergekühlten Schwingquarz-basierten Sensorsystems mit zugehörigem Messgerät (SQM-160) der INFICON GmbH. Als Verdampfungsquelle wurde ein mit  $\text{Al}_2\text{O}_3$  beschichteter Korbheizkörper der Kurt J. Lesker Company gewählt. Ferner wurde ein Shutter-System entwickelt, um ein reproduzierbares Schichtwachstum anhand definierter Parametern zu ermöglichen. Abbildung 4.5 zeigt ein Bild der Deckelplatte der Aufdampfkammer mit integriertem Shutter-System. Das Shutter-System besteht im Wesentlichen aus zwei metallischen, rotierbar gelagerten Halbellipsen, verschiedenen magnetischen Komponenten sowie einer mechanischen Feder. Im geschlossenen Zustand wird die mechanische Federkraft durch die Wechselwirkung eines Permanentmagneten mit dem Eisenkern eines Elektromagneten ausgeglichen. Wird nun eine Spannung an den Elektromagneten angelegt, führt die Interaktion der beiden Magnetfelder zur Abstoßung der beiden Magnete. Die zusätzlich wirkende rückstellende Federkraft führt zur Öffnung des Shutters.

Die Deposition des kommerziell erhältlichen Halbleitermaterials DNTT (Reinheit: 99 %, bezogen von der Firma Sigma-Aldrich [SAb]) fand bei Raumtemperatur unter einem Druck von  $1 \cdot 10^{-6}$  mbar mit einer Aufdampftrate von 0,1 nm/s unter Verwendung der oben beschriebenen Anlage statt. Der synthetisierte Halbleiter DTT wurde bei gleichen Depositionsparametern in der physikalischen Chemie (AK Kitzerow) der Universität Paderborn unter Verwendung der Anlage des Typs Classic 500 der Pfeiffer Vacuum Technology AG abgeschieden.

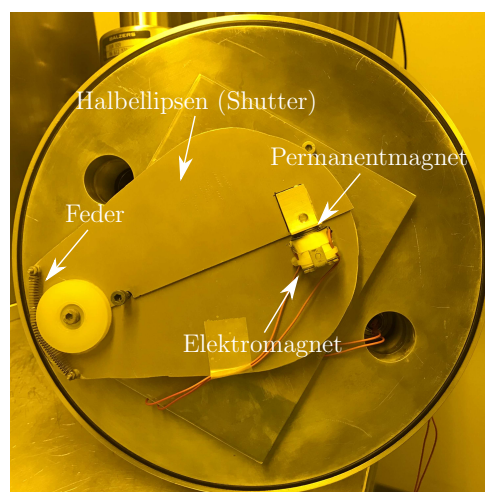


Abbildung 4.5: Deckelplatte des konzipierten Aufdampfsystems mit integriertem Shutter.



### 4.3.2 Lösungsmittelbasierte Depositionsmethoden

Speziell durch den wachsenden Markt an preiswerten RF-Identifikationsetiketten sowie Einweg-Sensoren steigt das Forschungsinteresse an kosteneffizienten Depositionstechniken von organischen Halbleitermaterialien. Gegenwärtig umfasst dieser Forschungsbereich eine Vielzahl von Abscheidungstechniken sowohl für die Herstellung von Bauelementen im Labormaßstab als auch für das industrielle Anwendungsfeld.

Zu den simpelsten Methoden gehört der *Drop Casting* Prozess, bei dem ein Tropfen einer Halbleiterlösung auf ein statisches Substrat aufgebracht wird. Im Anschluss erfolgt das Verdampfen des Lösungsmittels, resultierend in der Deposition von individuellen Halbleiterkristalliten oder dünnen Schichten. Erfolgt eine zusätzliche Rotation des Substrates während oder nach der Deposition des Lösungstropfens, spricht man von einem *Spin Coating* Prozess. Hierbei findet eine simultanes Verteilen der Flüssigkeit und Verdampfen des Lösungsmittels statt [DSBM14]. Yuan et al. zeigten, dass eine Modifikation der konventionellen *Spin Coating* Methode durch Platzierung des Substrates entfernt von der zentralen Rotationsachse die unidirektionale Anordnung des resultierenden halbleitenden Films beeinflusst [YGA<sup>+</sup>14]. Hierdurch konnte zum ersten Mal die Ladungsträgermobilität eines lösungsmittelbasierte organischen Halbleitmaterials, in diesem Fall 2,7-Dialkyl[1]benzothieno[3,2-b][1]-benzothiophen (C<sub>8</sub>-BTBT), auf einen Wert von  $43 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bestimmt werden. Nichtsdestotrotz beschränken sich die beschriebenen Depositionsmethoden auf Bauelemente, deren Herstellung im Labormaßstab stattfindet. Eine Erhöhung des Herstellungsdurchsatzes kann durch die Verwendung von Rolle-zu-Rolle kompatiblen Abscheidetechniken erreicht werden. So nutzen verschiedene *Meniscus Guide Coating* Prozesse, wie *Doctor Blading* oder auch *Solution Shearing*, die lineare Translation des Substrates oder des Beschichtungsgeräts aus, um eine Anordnung von in dünnen Schichten wachsenden Kristallen zu induzieren. Im Zuge dessen bildet sich zwischen Substrat und Beschichtungsgerät ein Lösungsmeniskus aus, der als Luft-Flüssigkeit-Grenzfläche für den Lösungsmittelverdampfungsprozess agiert. So konzentriert sich die Lösung mit zunehmender Verdampfung des Lösungsmittels, so dass am Punkt der Übersättigung das gelöste Material als Film abgeschieden wird. Hierbei wird die Wachstumsrichtung des Films speziell durch die inhärente Richtungsabhängigkeit der linearen Bewegung gesteuert und die Nutzung von großflächigen Substraten ermöglicht. Neben den beschriebenen *Meniscus Guide Coating* Prozessen zeichnet sich ebenso die *Spray Coating* Methode durch das Beschichtungspotential von großflächigen Substraten aus. Bei dieser Technik werden kleine, durch Aerosolisierung geformte Lösungströpfchen mit Hilfe eines

Inertgasstroms auf das Substrat gebracht. Die Lösungströpfchen, die auf das Substrat treffen, können typischerweise schnell trocknen oder dünne, kontinuierliche, nasse Filme bilden. Weiterhin stellen *Inkjet Printing* Prozesse ein ausgereiftes Forschungsfeld mit einer Vielzahl von kommerziellen und wissenschaftlichen Anwendungen dar. Bei dieser Technik wird die verwendete Lösung durch einen piezoelektrischen oder thermischen Prozess aus einer Kammer ausgestoßen und als Tröpfchen auf das gewünschte Substrat abgeschieden. Im Anschluss erfolgt die Trocknung des Tröpfchens analog zur normalen *Drop Casting* Technik [DSBM14]. Vor allem die hohen Freiheitsgrade im Schaltungsdesign, gegeben durch den maskenlosen Integrationsprozess, führen zu einem kosteneffizienten Herstellungsprozess.

Um einen kosteneffizienten, directionalen Depositionsprozess für das in dieser Arbeit verwendete, kommerziell erhältliche Halbleitermaterial C<sub>8</sub>-BTBT (Reinheit: 99 %, bezogen von der Firma Sigma-Aldrich [SAa]) auf Substraten im Labormaßstab zu ermöglichen, wurde eine modifizierte *Drop Casting* Methode (Abbildung 4.6) verwendet. Hierfür wurde das integrierte Templat in der *Bottom Gate Bottom Contact* Architektur unter einem Winkel von 10° positioniert und auf eine Temperatur von  $T = 45\text{ °C}$  erhitzt. Ein wenige  $\mu\text{l}$  umfassender Tropfen einer Lösung bestehend aus 5 mg C<sub>8</sub>-BTBT in 1 ml 1, 2-Dichlorbenzol wurde schließlich auf das Templat deponiert. Abschließend wurde das Lösungsmittel unter Atmosphärenbedingungen für eine Zeitspanne von  $t = 30\text{ min}$  verdampft.

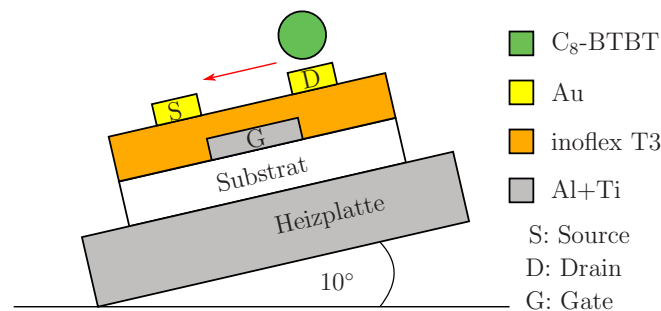


Abbildung 4.6: Schematische Darstellung der modifizierten *Drop Casting* Methode zur Deposition von C<sub>8</sub>-BTBT.

## KAPITEL 5

# DÜNNSCHICHTTRANSISTOREN UND SCHALTUNGEN MIT INOFLEX T3

Im folgenden Kapitel werden sowohl die Materialsysteme inoflex T3 und Z3 vorgestellt und charakterisiert als auch verschiedene Routinen für die Integration von organischen Dünnschichttransistoren (engl: *Thin-Film Transistor*, TFT) unter der Verwendung des Dielektrikums inoflex T3 analysiert. Ebenso werden die elektrischen Eigenschaften der integrierten Dünnschichttransistoren diskutiert.

In Abschnitt 5.1 wird das Materialsystem inoflex sowie die Depositionsroutine zur Herstellung von dünnen Nanokompositschichten vorgestellt. Ferner erfolgt eine Analyse bezüglich des frequenzabhängigen Verhaltens der dielektrischen Konstante der verschiedenen Nanokomposite. In Kapitel 5.2 wird auf der Basis des thermisch aufdampfbaren Halbleitermaterials Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNTT) eine grundsätzliche Integrationsroutine für organische TFTs mit reproduzierbarer Leistungsfähigkeit entwickelt. Im Anschluss dient diese als Grundlage für weiterführende Optimierungsprozesse. So werden die erlangten Erkenntnisse in Abschnitt 5.3 verwendet, um TFTs auf Basis des lösungsmittelbasierten Halbleiters 2,7-Dialkyl[1]benzothieno[3,2-b][1]-benzothiophen (C<sub>8</sub>-BTBT) zu integrieren und elektrisch zu charakterisieren. In Kapitel 5.4 wird der Transfer des entwickelten Integrationsablaufs auf transparente Substrate sowie eine Erweiterung der Routine auf einen Selbstjustierungsprozess der Source- und Drain-Elektroden vorgestellt. Ferner wird die Auswirkung dieses Prozesses auf die elektrischen Parameter der integrierten Dünnschichttransistoren diskutiert. In Abschnitt 5.5 wird eine Möglichkeit zur Struk-

turierung des aktiven TFT-Bereichs beschrieben und die Auswirkung auf die verschiedenen Transistorparameter analysiert. Kapitel 5.6 hingegen diskutiert eine Möglichkeit, um den Kontaktwiderstand in Dünnschichttransistoren durch eine Elektrodenmodifikation zu reduzieren. Weiterhin widmet sich Abschnitt 5.7 dem Transfer der grundlegenden Integrationsroutine auf Foliensubstrate. Ebenso beinhaltet dieses Kapitel eine Analyse bezüglich des Einflusses der Oberflächenbeschaffenheit der verwendeten Folien auf die elektrischen Charakteristika und die Ausbeute der integrierten Dünnschichttransistoren. Ferner erfolgt in Abschnitt 5.8 eine Analyse bezüglich des Einflusses der Strukturgröße der Gate-Elektroden auf die elektrischen Parameter der TFTs. Abschließend werden in Kapitel 5.9 die elektrischen Charakteristika und mögliche Applikationen verschiedener Inverter-Strukturen diskutiert.

## 5.1 Deposition und Charakterisierung von inoflex T3

Basierend auf einer vorangegangenen Studie von Diekmann [Die07] wurden in dieser Arbeit hauptsächlich ein organisch-anorganisches Nanokompositmaterial des Unternehmens inomat GmbH (Sitz: Neunkirchen, Deutschland) als Gate-Dielektrikum verwendet. Die unter dem Handelsnamen inoflex erhältlichen Produkte basieren auf hydrolysierten und kondensierten acrylatfunktionalisierten Silanen. Abhängig vom Anforderungsprofil lassen sich über Kokondensation lösliche, anorganische Titan- oder Zirkonat-Komponenten homogen über die Silankomponente in die Matrix einbringen und in  $\text{TiO}_2$  (inoflex T) oder  $\text{ZrO}_2$  (inoflex Z) überführen. Der jeweilige anorganische Masseanteil kann dabei abhängig vom Anwendungsfeld variieren. Bei den in dieser Arbeit verwendeten Produkten wurden 9,6 Gew.-%  $\text{TiO}_2$  (inoflex T3) bzw.  $\text{ZrO}_2$  (inoflex Z3) in die Polymermatrix eingebracht. Das zusätzliche Einbringen eines Fotoinitiators ermöglicht die Polymerisation der aufgetragenen Schichten mittels UV-Bestrahlung [Die07] und dadurch eine Anwendung auf temperatursensitiven Materialien. Ferner verbindet dieses Materialsystem die Vorteile polymerer Filme wie Flexibilität sowie die hohen dielektrischen Konstanten von anorganischen Materialien.

## Integration

Homogene Filme basierend auf inoflex können mittels Schleuderbeschichtung hergestellt werden. Hierzu wird die Stammlösung im Verhältnis 1:7 mit dem Lösungsmittel 1-Butanol verdünnt und über einen Polytetrafluorethylen (PTFE) Spritzenfilter mit einem Porendurchmesser von  $0,45\ \mu\text{m}$  auf das Substrat gebracht. Der Schleuderbeschichtungsprozess umfasst eine Phase mit niedriger Rotationsgeschwindigkeit (4 s bei 800 rpm) gefolgt von einer Phase mit hoher Rotationsgeschwindigkeit (20 s bei 2000 rpm). Der entstehende nasse Film wird durch eine thermische Behandlung ( $T = 115\ ^\circ\text{C}$ ,  $t = 30\ \text{min}$ ) in einem Konvektionsofen unter Umgebungsluft gehärtet. Der Quervernetzungsprozess erfolgt mittels UV-Bestrahlung (Leistungsdichte:  $200\ \text{W}/\text{cm}^2$  [Die07], Bestrahlungsdauer:  $6 \times 40\ \text{s}$  mit jeweils 60 s Pause, um ein exzessives Aufheizen des Substrats zu vermeiden). Im Anschluss weist die aufgebrauchte Schicht eine Dicke von  $150 - 180\ \text{nm}$  auf. Es bleibt anzumerken, dass vor allem Oxidationsmittel und alkalische Lösungen die quervernetzte Schicht beschädigen können.

Für die Bestimmung des dielektrischen Verhaltens der organischen-anorganischen Nanokomposite werden diese in Kondensatoren in Parallelplattenarchitektur mit einer aktiven Fläche von  $6,25\ \text{mm}^2$  integriert. Eine Visualisierung des schematischen Prozessablaufs zeigt Abbildung 5.1. Als isolierendes Trägersubstrat dienen thermisch oxidierte Silizium (Si) Wafer mit einer Oxiddicke von  $700\ \text{nm}$ . Um den Einfluss der während des TFT Integrationsprozesses eingeführten dünnen Titan (Ti)-Ätzstoppschicht (siehe Kapitel 5.2) auf die dielektrische Eigenschaften der Kondensatoren zu beurteilen, werden sowohl  $50\ \text{nm}$  Aluminium (Al) als auch eine Kombination aus  $50\ \text{nm}$  Al und  $7\ \text{nm}$  Ti als *Bottom* Elektrode verwendet. Sowohl Al (Aufdampfrate:  $0,4\ \text{nm}/\text{s}$ ) als auch Ti (Aufdampfrate:  $0,1\ \text{nm}/\text{s}$ ) werden mit Hilfe des Elektronenstrahlverdampfens ganzflächig aufgedampft. Die Strukturierung der Elektroden erfolgt mittels optischer Lithografie und nasschemischen Ätzprozessen bestehend aus einer wässrigen Lösung von Phosphorsäure ( $\text{H}_3\text{PO}_4$ ), Salpetersäure ( $\text{HNO}_3$ ) und Essigsäure ( $\text{CH}_3\text{COOH}$ ) für die Al-Schicht beziehungsweise Ammoniakwasser ( $\text{NH}_4\text{OH}$ ) und Wasserstoffperoxid ( $\text{H}_2\text{O}_2$ ) für die Ti-Schicht. Für die exakte Zusammensetzung der Ätzmedien sei auf den Anhang verwiesen. Im Anschluss wird das organische-anorganische Nanokomposit inoflex T3 bzw. inoflex Z3, wie anfänglich beschrieben, via Schleuderbeschichtung aufgebracht, quervernetzt und gehärtet.

Die Strukturierung der *Top* Elektrode folgt zwei unterschiedlichen Integrationsroutinen. Zum einen wird für die *Top* Elektrode eine  $50\ \text{nm}$  dicke Al-Schicht mittels Elektronenstrahlverdampfens aufgebracht und mit Hilfe der optischen Lithografie und via *Lift Off*

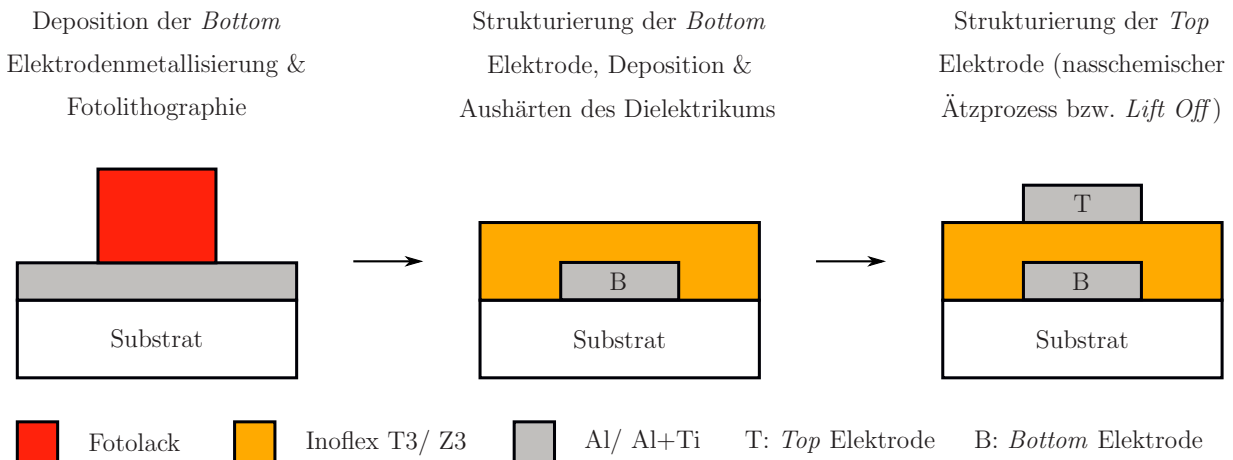


Abbildung 5.1: Prozessführung für die Integration von Kondensatoren in Parallelplattenarchitektur.

Prozess strukturiert. Zum anderen erfolgt das ganzflächige Aufdampfen einer Al-Schicht mit einer Dicke von 50 nm sowie einer Strukturierung mittels optischer Lithografie und einem nasschemisch Ätzprozess.

## Elektrische Charakterisierung

Im Allgemeinen wird die dielektrische Konstante eines Materials durch Polarisations- und Relaxationsmechanismen im Materialkomplex bestimmt. Inoflex als Nanokomposit besteht aus einer polymeren Matrix, in die  $\text{TiO}_2$ - bzw.  $\text{ZrO}_2$ -Nanopartikel homogen eingebettet sind. Die somit entstehenden Polarisationsmechanismen sind assoziiert mit dem polymeren System, den eingebrachten Nanopartikeln sowie den entstehenden Grenzflächen zwischen den Nanopartikeln und dem Polymer. In dem hier betrachteten Frequenzintervall wird die dielektrische Konstante aus verschiedenen Polarisationsmechanismen und Relaxationsmechanismen gebildet. So trägt die Elektronenpolarisation einen Beitrag zum Gesamtwert der dielektrischen Konstante bei. Der Ursprung der Elektronenpolarisation ist in der Verschiebung des Ladungsschwerpunktes eines Moleküls unter der Einwirkung eines externen elektrischen Feldes zu finden. Neben der Elektronenpolarisation trägt ebenso die Ionenpolarisation durch potentiell in der Schicht enthaltene Ionen, die sich entlang der Feldlinien des externen elektrischen Feldes orientieren, zur dielektrischen Konstante bei. Da Ionen bzw. Elektronen weit über dem betrachteten Frequenzintervall dem angelegten Wechselfeld folgen können, sind Relaxationsprozesse durch diese Polarisationsmechanismen zu vernachlässigen [ITM07].

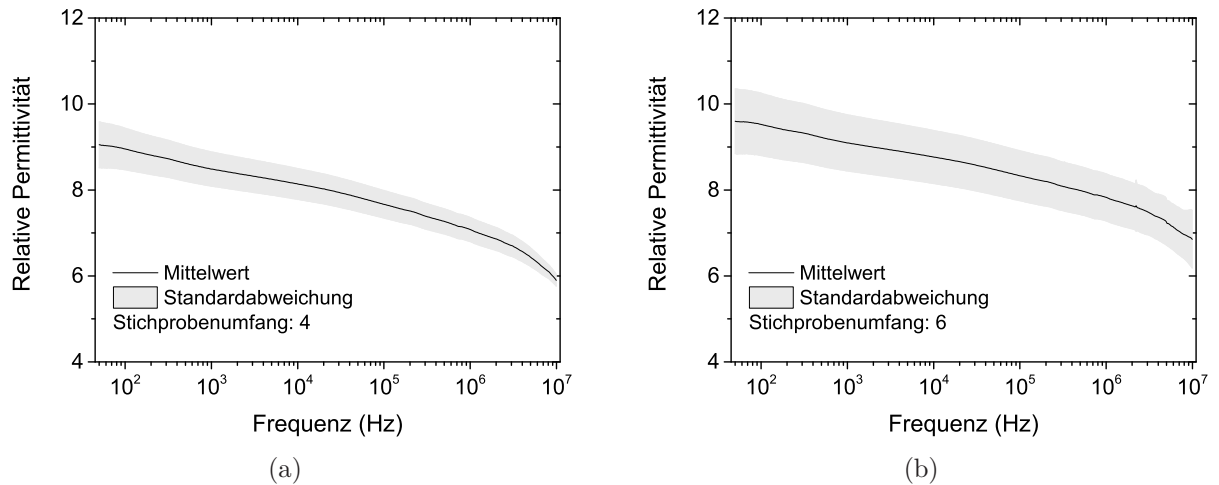


Abbildung 5.2: Frequenzabhängiges Verhalten der relativen Permittivität des Dielektrikums inoflex T3. *Bottom* Elektrode des Kondensators in Parallelplattenarchitektur: (a) Al+Ti, (b) Al.

Die Frequenzabhängigkeit der Kapazität der integrierten Kondensatoren wurde mit Hilfe eines Agilent 4294A Precision Impedance Analyzer gemessen. Die Berechnung der dielektrischen Konstante der isolierenden Schicht erfolgt nach Gleichung 3.15. Im Folgenden werden lediglich die Ergebnisse der Kondensatoren mit *Lift Off* strukturierter *Top* Elektrode vorgestellt. Es konnte erwartungsgemäß kein signifikanter Unterschied im frequenzabhängigen Verhalten der Kondensatorkapazität zwischen *Lift Off* strukturierter und nasschemisch strukturierter *Top* Elektrode in dem betrachteten Messintervall festgestellt werden. Abbildung 5.2 und Abbildung 5.3 zeigen die berechneten Mittelwerte der dielektrischen Konstante mit der zugehörigen Standardabweichung für inoflex T3 bzw. inoflex Z3 unter Verwendung einer *Bottom* Elektrode <sup>1</sup> bestehend aus einer Schichtfolge Al und Ti (a) sowie Al (b). Zunächst wird ersichtlich, dass die zusätzlich eingebrachte Ti-Schicht sowohl für inoflex T3 als auch inoflex Z3 keinen Einfluss auf den qualitativen Verlauf der dielektrischen Funktion im Messintervall von 50 Hz - 10 MHz hat. Weiterhin lässt sich der Frequenzverlauf der dielektrischen Konstante in die beiden markanten Bereiche 50 Hz - 1 kHz und 1 kHz - 10 MHz unterteilen. Singha et al. veröffentlichten 2008 das dielektrische Verhalten unterschiedlicher Nanokomposite bestehend aus Epoxiden gefüllt mit TiO<sub>2</sub>- bzw. Zinkoxid (ZnO)-Partikeln verschiedener Größen [ST08]. Diese Nanokomposite weisen ein vergleichbares kapazitives Frequenzverhalten wie das in dieser Arbeit betrachtete Materialsystem inoflex auf. Typischerweise wird in Epoxiden die dielektrische

<sup>1</sup>Die Ergebnisse bezüglich der Frequenzabhängigkeit der dielektrischen Konstante von inoflex wurden teilweise in [3] und [9] veröffentlicht.

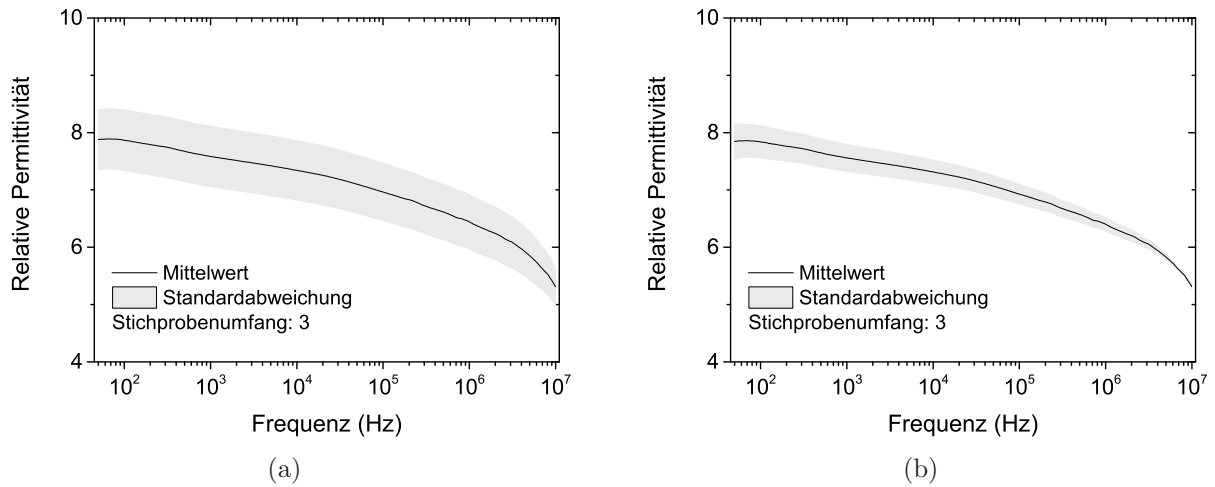


Abbildung 5.3: Frequenzabhängiges Verhalten der relativen Permittivität des Dielektrikums inoflex Z3. *Bottom* Elektrode des Kondensators in Parallelplattenarchitektur: (a) Al+Ti, (b) Al.

Konstante vor allem durch im System vorliegende, orientierbare Dipole bestimmt, die sich entlang der Feldlinien ausrichten können (Orientierungspolarisation) [LLR93], [Elo02]. Mit steigender Frequenz des Wechselfelds wird es insbesondere für größere molekulare Dipol-Gruppen immer schwieriger, sich entlang des stetig wechselnden Feldlinienverlaufs auszurichten. Sofern diese Dipol-Gruppen dem Wechselfeld aufgrund ihrer Trägheit nicht mehr folgen können, verringert sich der Beitrag der Orientierungspolarisation zur dielektrischen Konstante. Ferner zeigten Zhang et al. [ZZW<sup>+</sup>96] und Sidhu et al. [SK17] für nanopartikuläre TiO<sub>2</sub>- bzw. ZrO<sub>2</sub>-Proben eine vernachlässigbare kapazitive Frequenzabhängigkeit im Frequenzbereich von 1 kHz - 0,1 MHz bzw. 1 MHz. Dies indiziert, dass für das Materialsystem inoflex die Verringerung der Orientierungspolarisation vor allem im Bereich von 1 kHz - 10 MHz der dominierende Faktor ist. Insbesondere ab 3 MHz nimmt dieser Effekt zu, und immer weniger Dipole können sich entlang des elektrischen Feldes orientieren, resultierend in einer signifikanten Relaxation der Dipol-Gruppen. Verglichen mit dem Frequenzbereich von 1 kHz - 3 MHz zeigt das Intervall von 50 Hz - 1 kHz hingegen einen deutlicheren Werteabfall der dielektrischen Konstante. Dieses charakteristische Verhalten ist als Maxwell-Wagner-Sillars Effekt bekannt und tritt in Konfigurationen auf, in denen Bereiche unterschiedlicher Leitfähigkeit auftreten. Vor allem in organischen-anorganischen Nanokompositen weist der Polymerbereich eine zu den Nanopartikeln verschiedene Leitfähigkeit auf. Liegt nun eine gewisse Anzahl an homogen verteilten, leitfähigen Domänen vor, die durch isolierende Bereiche separiert sind, können bei niedrigen Frequenzen Ladungen entlang des Feldlinienverlaufs getrennt werden. Hierdurch entstehen innerhalb der



Schicht Parallelplattenkondensatoren mit sehr geringem Plattenabstand und hoher Kapazität, die die dielektrische Konstante der gesamten Schicht erhöhen. Bei ansteigender Frequenz erfolgt der Wechsel des elektrischen Feldes so schnell, dass die Elektronen nicht mehr in Phase mit dem Wechselfeld bleiben können, wodurch die dielektrische Konstante sinkt [SK17]. Dieses Frequenzverhalten wurde im Materialsystem inoflex ebenso wie bei anderen Nanokompositmaterialien [ST08], [STM09], [RRVR15], [MCM16] sowie nanopartikulären Proben [ZZW<sup>+</sup>96], [SK17] beobachtet.

An dieser Stelle sei angemerkt, dass ebenso Kondensatoren mit einer Aushärtetemperatur von 80 °C für inoflex untersucht wurden, um potentielle temperaturunterstützte Agglomerationen der Nanopartikel während des Aushärtprozesses auszuschließen. Bezüglich des kapazitiven Frequenzverlaufs in dem betrachteten Messintervall konnte kein wesentlicher Unterschied zu den bei einer Temperatur von 115 °C ausgehärteten Kondensatoren festgestellt werden. Ferner zeigen die homogenen Filme bestehend aus inoflex T3 bzw. inoflex Z3 aufgrund derselben zugrundeliegenden Polymermatrix keinen signifikanten Unterschied bezüglich der physikalischen Parameter wie der Oberflächenrauigkeit und der Oberflächenenergie, sowie der Resistenz gegenüber verwendeter Chemikalien. Die Oberflächeneigenschaften von inoflex T3 werden in Kapitel 5.2 genauer analysiert.

Abschließend kann kein qualitativer Unterschied im dielektrischen Verhalten der Filme inoflex T3 und inoflex Z3 im betrachteten Frequenzintervall nachgewiesen werden. Während Vidor in einer vorangegangenen Arbeit die Integration von ZnO-basierten n-Kanal-TFTs unter der Verwendung des Gate-Dielektrikums inoflex T3 optimiert hatte [Vid17], widmet sich diese Arbeit der Prozessoptimierung von p-Kanal-TFTs auf Basis organischer Halbleitersysteme. Um zukünftige Integrationsroutinen verschiedener Logikschaltungen basierend auf einer komplementären Transistortechnologie möglichst effizient zu gestalten, steht hierfür die Verwendung eines gemeinsamen Dielektrikums im Vordergrund. Daher wird für die nachfolgende Prozessoptimierung lediglich das Nanokomposit inoflex T3 verwendet. Ferner sei an dieser Stelle anzumerken, dass die in dieser Arbeit integrierten TFTs mit inoflex T3 als Dielektrikum ausschließlich in der *Bottom Gate Bottom Contact* Architektur integriert werden, um eine Schädigung des aktiven Halbleitermaterials durch die Stabilisierungsprozesse der Isolationsschicht auszuschließen.

## 5.2 Integrationsroutine für organische Dünnschichttransistoren

Im folgenden Kapitel wird der Einfluss verschiedener Strukturierungstechniken auf die Leistungsfähigkeit der integrierten TFTs analysiert und eine grundlegende Integrationsroutine für weiterführende Optimierungsmethoden festgelegt. Als aktiver Halbleiter wird hierfür ein thermisch aufdampfbares Materialsystem gewählt. Thermisch aufgedampfte Halbleitermaterialien stellen eine wichtige Materialklasse dar, um die Auswirkung einzelner fotolithographischer Prozessschritte auf die Leistungsfähigkeit integrierter TFTs mit polymeren Dielektrika zu analysieren. Da auf lösungsmittelbasierende Prozesse bei der Deposition des Halbleiters verzichtet wird, wirken keine zusätzlichen chemischen und mechanischen Belastungen auf die dielektrische Schicht. Jegliche Variationen in der elektrischen Leistungsfähigkeit der integrierten TFTs kann daher auf die jeweilige zugrundeliegende Prozessmodifikation zurückgeführt werden.

### Integration

Aufgrund von vorangegangenen Arbeiten von Diekmann [Die07] und Vidor [Vid17] werden als isolierendes Trägersubstrat thermisch oxidierte 4" Si-Wafer verwendet. Einen Überblick über die im folgenden beschriebenen Prozessabläufe zeigt Abbildung 5.4. Die Strukturierung der Gate-Elektrode, bestehend aus einer Kombination aus 50 nm Al und 7 nm Ti, erfolgt mittels optischer Fotolithographie und nasschemischen Ätzprozessen analog zu der in Kapitel 5.1 beschriebenen Integration der *Bottom* Elektrode der Kondensatoren. Als Dielektrikum dient eine 150–180 nm dicke Schicht inoflex T3. Die Deposition und Stabilisierung der Schicht erfolgt analog zu der ebenso in Kapitel 5.1 geschilderten Methode. Kontaktöffnungen (engl.: *vertical interconnect access*, Vias) durch die dielektrische Schicht werden mittels fotolithographischer und nasschemischer Ätzprozesse realisiert. Als Ätzmedium wird eine wässrige NaOH-Lösung verwendet; der Ti-Film von 7 nm Dicke dient hierbei als Ätzstoppschicht.

Um den Einfluss der unterschiedlichen Strukturierungsprozesse der Source- und Drain-Elektroden auf die elektrische Leistungsfähigkeit der Dünnschichttransistoren zu analysieren, werden verschiedene Integrationsroutinen realisiert. Für die Strukturierung der Source- und Drain-Kontakte durch einen nasschemischen Ätzprozess wird eine 30 nm dicke

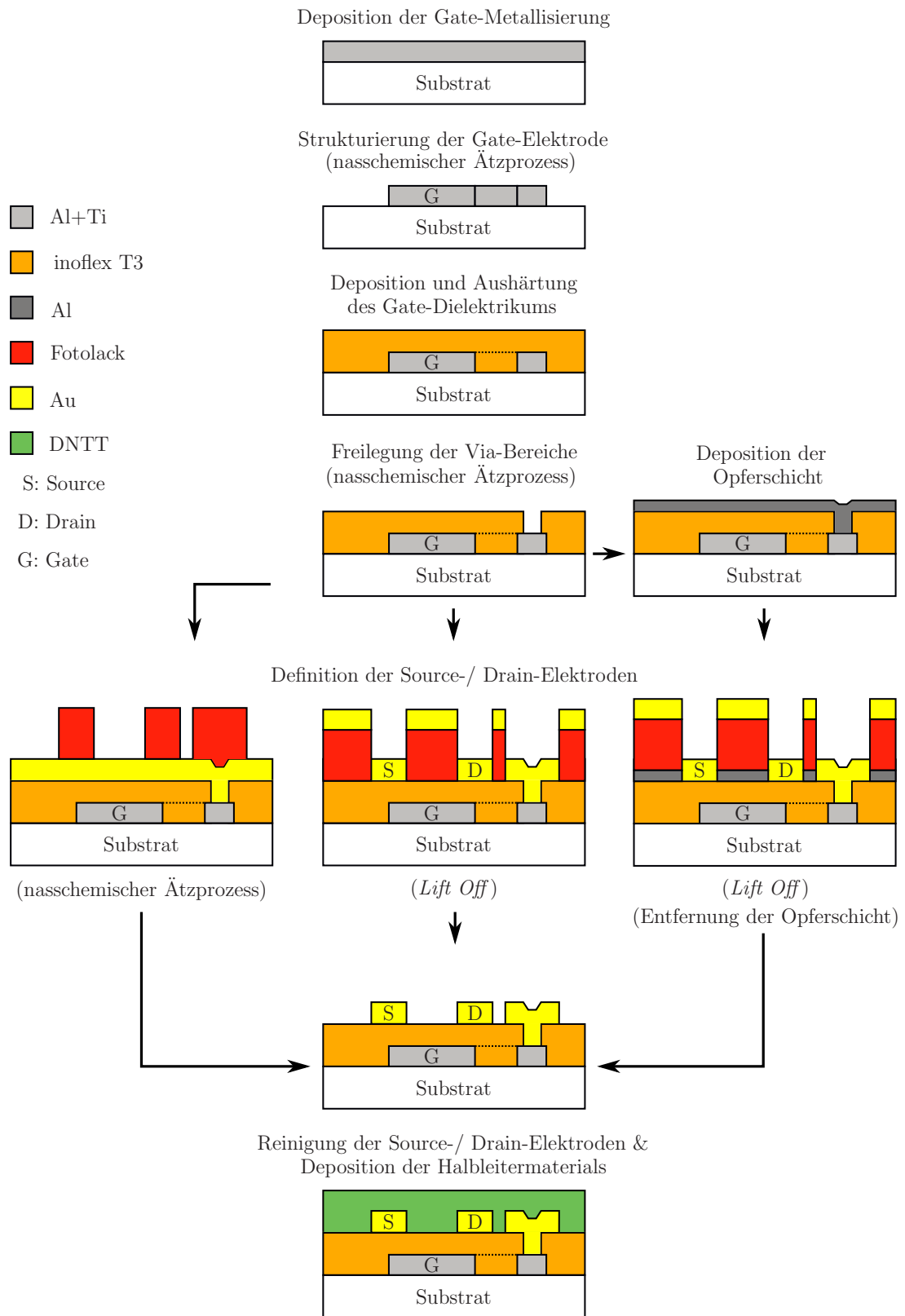


Abbildung 5.4: Übersicht über die analysierten Integrationsprozesse für *Bottom Gate Bottom Contact* TFTs unter der Verwendung von DNTT als aktives Halbleitermaterial.

Gold (Au) Schicht mithilfe des Elektronenstrahlverdampfens ganzflächig aufgebracht. Die Depositionsrates betragen, wie auch bei allen im Folgenden beschriebenen Au-basierten Depositionsprozessen, 0,1 nm/s. Im Anschluss werden die Source- und Drain-Gebiete durch fotolithographische Prozesse und einem Ätzmedium, bestehend aus einer wässrigen Lösung aus Kaliumiodid (KI) und Iod (I) strukturiert.

Für die *Lift Off* Strukturierung werden die fotolithographischen Prozesse zum einen direkt auf dem Dielektrikum (ungeschützt), zum anderen auf einer Opferschicht oberhalb des Dielektrikums (geschützt) durchgeführt. Im Fall der ungeschützten Probe, wird eine Fotolackschicht direkt auf dem Gate-Dielektrikum aufgebracht. Im Anschluss an den Entwicklungsschritt in einer wässrigen NaOH-Lösung wird eine 30 nm dicke Au-Schicht mithilfe des Elektronenstrahlverdampfens ganzflächig aufgebracht. Die Strukturierung der Source- und Drain-Elektroden erfolgt durch einen *Lift Off* Prozess. Im Falle der geschützten Probe wurde eine 20 nm dicke Al-Opferschicht unter Hochvakuumbedingungen mit einer Aufdampfrate von 0,1 nm/s ganzflächig auf das Dielektrikum aufgebracht. Der im Anschluss aufgebrachte Fotolack wird mittels fotolithographischer Prozesse strukturiert und das dadurch freigelegte Aluminium in den Source- und Drain-Kontaktbereichen durch einen nasschemischen Ätzprozess entfernt. Schließlich erfolgt die ganzflächige Deposition einer 30 nm dicken Au-Schicht unter Verwendung des Elektronenstrahlverdampfens, gefolgt von einer Strukturierung mithilfe eines *Lift Off* Prozesses. Die verbliebene Al-Schicht wird durch einen nasschemischen Ätzprozess entfernt. Alle Proben werden mit Hilfe einer Reinigungssequenz aus Aceton, Isopropanol und VE-Wasser gereinigt und unter Stickstofffluss getrocknet. Abschließend erfolgt die Deposition einer 30 nm dicken DNTT-Schicht durch thermisches Aufdampfen (siehe Kapitel 4.3.1). Details bezüglich der Zusammensetzung der während dieser Integrationsroutinen verwendeten Ätzlösungen sind im Anhang aufgeführt.

## Diskussion

Wie in Kapitel 4.2 bereits beschrieben, führt die Strukturierung der Elektroden durch nasschemische Ätzprozesse aufgrund der isotropen Ätzcharakteristik zu einem graduellen Flankenanstieg im Elektrodenkantenbereich. Ferner indizieren AFM-Messungen einen Anstieg der RMS-Werte der Au-Elektrodenoberfläche von 1 nm auf 9,7 nm infolge der chemischen Belastung des Materialsystems mit dem Ätzmedium (Abbildung 5.5 (a)). Beide Faktoren unterbinden eine homogene Oberfläche für den Wachstumsprozess des Halblei-

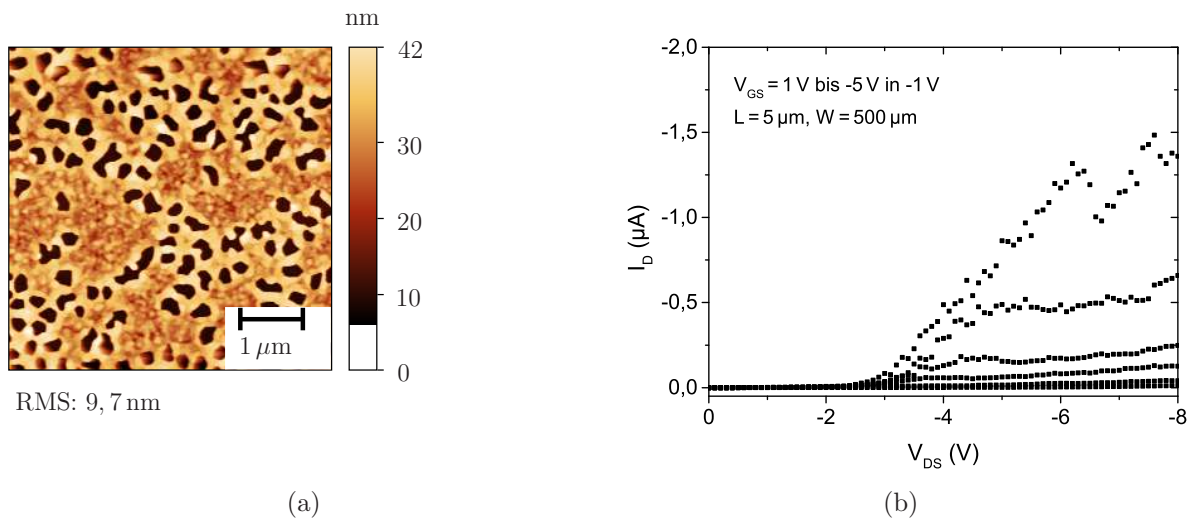


Abbildung 5.5: (a) AFM-Messung einer angeätzten Au-Oberfläche. (b) Ausgangskennlinienfeld eines DNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur, dessen Source und Drain-Elektroden durch einen nasschemischen Ätzprozess strukturiert wurden.

termaterials und bilden den Ursprung für potentielle Grenzflächenzustände. Den Einfluss der Strukturierung der Source- und Drain-Elektroden mit einem nasschemischen Ätzprozess (Abbildung 5.4 *Links*) auf das Ausgangskennlinienfeld eines DNTT-basierten TFTs zeigt Abbildung 5.5 (b). Neben den Instabilitäten im elektrischen Betrieb durch Fallenzustände an der Elektroden-Halbleiter-Grenzfläche weist der TFT reduzierte Eigenschaften bezüglich der Ladungsträgerinjektion auf. Wie in Kapitel 3.6 bereits erwähnt, stellen Kontakteffekte einen wesentlichen Faktor für die Limitierung der Leistungsfähigkeit von Dünnschichttransistoren dar. Es wird ersichtlich, dass eine effiziente Ladungsträgerinjektion, erst ab einem  $V_{DS}$ -Spannungswert  $< -2 \text{ V}$  stattfinden kann. Ebenso wird im Anschluss ein superlinearer Anstieg des Drain-Stroms  $I_D$  ersichtlich, welcher typischerweise in Systemen mit hohen Kontaktwiderständen auftritt. So kann durch die hohe Diskrepanz zwischen der Austrittsarbeit der chemisch belasteten Au-Elektroden und des HOMO-Niveaus des Halbleiters DNTT im Grenzbereich eine Schottky-Barriere gebildet werden, welche die Ladungsträgerinjektion in die halbleitende Schicht limitiert. Dieser Effekt wird durch die ausgeprägte Anzahl an Grenzflächenzuständen verstärkt, wodurch die Leistungsfähigkeit des Bauelements maßgeblich beeinflusst wird.

Um eine homogene Wachstumsoberfläche für das Halbleitersystem zu gewährleisten und eine damit verbundene Reduzierung der Grenzflächenzustände im Kontaktbereich von Metall und Halbleiter sicher zu stellen, werden im Folgenden die Source- und Drain-

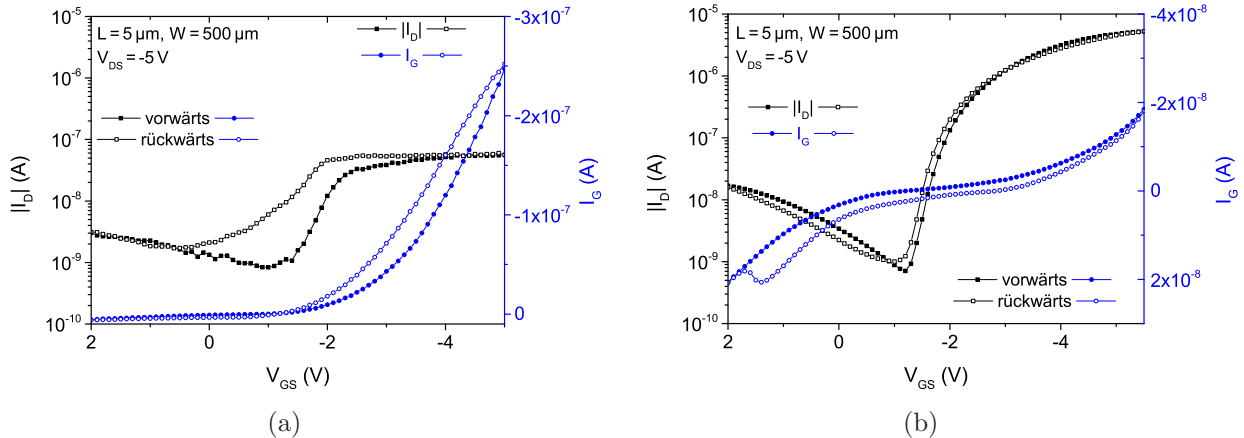


Abbildung 5.6: Eingangskennlinie und Leckstromverhalten eines *Lift Off* strukturierten DNNT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur. Die NaOH-basierende Entwicklerlösung war während des Strukturierungsprozesses für eine Zeitdauer von  $\sim 10 \text{ s}$  (a) bzw.  $\sim 2 \text{ s}$  (b) in Wechselwirkung mit den Source- und Drain-Gebieten.

Elektroden durch einen *Lift Off* Prozess strukturiert<sup>2</sup> (Abbildung 5.4 *Mitte*). Abbildung 5.6 (a) zeigt die Eingangskennlinie eines *Lift Off* strukturierten, DNNT-basierten TFTs, dessen Dielektrikumsoberfläche im Anschluss an das Entfernen des Fotolacks aus den Source- und Drain-Gebieten für eine Zeitdauer von ca. 10 s direkt durch die Entwicklerlösung belastet wurde. Neben einer Schwellenspannung  $V_{Th}$  von  $-1,5 \text{ V}$  und einer Einschaltspannung  $V_{on}$  von  $-1 \text{ V}$  zeigt der TFT eine ausgeprägte Hysterese  $\Delta V_{Th}$  und  $\Delta V_{on}$  von  $500 \text{ mV}$  bzw.  $1,6 \text{ V}$ . Der Subschwelligenspannungsstromanstieg  $S$  kann auf einen Wert von  $600 \text{ mV/dec}$  bestimmt werden. Die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  beträgt lediglich  $0,01 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ .

Kontaktwinkelmessungen an inoflex T3 Schichten, zum einen durchgeführt direkt nach dem Quervernetzungsprozess, zum anderen realisiert im Anschluss an die direkte Interaktion (Dauer  $t = 10 \text{ s}$ ) mit der verwendeten NaOH-basierten Entwicklerlösung, zeigen einen Einfluss der alkalischen Lösung auf die Oberfläche des Dielektrikums. Die berechneten freien Oberflächenenergiewerte mit zugehörigen polaren bzw. dispersen Anteilen sind in Tabelle 5.1 aufgeführt. Eine Änderung des polaren Anteils der freien Oberflächenenergie des Dielektrikums vor und nach der direkten Interaktion mit der NaOH-Lösung von  $27,2 \%$  auf  $36,3 \%$  wird ersichtlich. Dieses Ergebnis indiziert einen Einfluss auf die Bindungsverhältnisse an der Oberfläche des Dielektrikums resultierend in einer erhöhten

<sup>2</sup>Die Ergebnisse bezüglich des Einflusses des *Lift Off* Prozesses auf die Leistungsfähigkeit der DNNT-basierten TFTs wurden teilweise in [2] veröffentlicht.

Tabelle 5.1: Oberflächeneigenschaften von inoflex T3 unter verschiedenen chemischen Belastungen

inoflex T3	$\gamma_{sl}$ [mN/m]	$\gamma^D$ [mN/m]	$\gamma^P$ [mN/m]	polarer Anteil [%]
quervernetzt	36,4	26,5	9,9	27,2
NaOH-Umgebung	41,9	26,7	15,2	36,3
Al-Ätzmedium	44,1	31,5	12,6	28,5

Dichte an ungesättigten Bindungen und OH-Gruppen. Der isotrope Charakter des Entwicklungsprozesses sowie der Dunkelabtrag des Fotolacks führen dazu, dass neben den Source-/ Drain-Gebieten auch der angrenzende Kanalbereich des Transistors beeinflusst wird. In der Literatur ist bekannt, dass speziell OH-Gruppen an der Oberfläche des Dielektrikums bzw. im Dielektrikum selbst zu ausgeprägten Hysterese-Erscheinungen führen und als Ladungsträgerfallen fungieren können [LKS<sup>+</sup>06], [LKK<sup>+</sup>07]. Ein weiterer Indikator für die Schädigung des Dielektrikums ist durch den erhöhten Leckstrom  $I_{GS}$  gegeben. Für das gesamte Messintervall weist  $I_{GS}$  zum Drain-Strom  $I_D$  vergleichbare Werte auf, so dass der integrierte TFT lediglich eine Strommodulation  $I_{on}/I_{off}$  von 40 zeigt.

Abbildung 5.6 (b) zeigt hingegen die Eingangskennlinie eines DNTT-basierten TFTs, dessen Source- und Drain-Gebiete lediglich eine geringe Wechselwirkung mit der Entwicklerlösung aufweisen (Zeitdauer  $\propto 2$  s). Der integrierte TFT weist eine Schwellenspannung  $V_{Th}$  von  $-0,7$  V bei einer Hysterese  $\Delta V_{Th}$  von lediglich 150 mV auf. Die Einschaltspannung  $V_{on}$  kann auf  $-1,2$  V für die Vorwärtsmessrichtung bzw.  $-1,1$  V für die Rückwärtsmessrichtung bestimmt werden. Neben dem optimierten Subschwelligensspannungsstromanstieg  $S$  von 250 mV/dec weist der TFT aufgrund deutlich geringerer Instabilitäten während des elektrischen Betriebs eine Ladungsträgerbeweglichkeit im Sättigungsbereich  $\mu_{sat}$  von  $0,14 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  auf. Der reduzierte Leckstrom führt zu einer Strommodulation im Bereich von  $10^3 - 10^4$ . Hierdurch wird ersichtlich, dass eine präzise Prozesskontrolle essentiell ist, um einen stabilen elektrischen Betrieb der integrierten TFTs zu gewährleisten. Schon geringfügige Prozessvariationen wie Schwankungen in der Fotolackdicke können schließlich zu einer ungewollten chemischen Belastung der dielektrischen Oberfläche führen und die Ausbeute an leistungsfähigen TFTs maßgebend reduzieren. Aus diesem Grund ist ein Schutz der Isolationsschicht vor den fotolithographischen Prozessen unabdingbar.

Kontaktwinkelmessungen an inoflex T3 zeigen, dass eine Interaktion (Dauer  $t = 150$  s) mit dem für die Aluminiumstrukturierung verwendeten Ätzmedium keinen signifikanten Unterschied bezüglich des polaren Anteils an der freien Oberflächenenergie des Dielektrikums

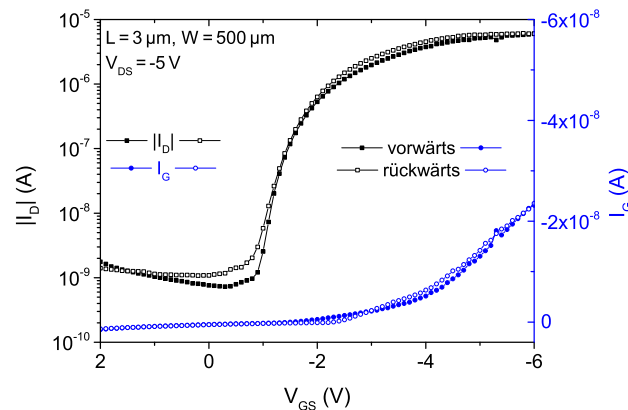


Abbildung 5.7: Eingangskennlinie und Leckstromverhalten eines durch eine Al-Opferschicht geschützten DNNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur.

bewirkt (siehe Tabelle 5.1). Dies indiziert die chemische Resistenz der isolierenden Schicht gegenüber der Ätzlösung. Ebenso weist das Ätzmedium eine hohe Selektivität zwischen den Materialien Al und Au auf, wodurch eine sichere Strukturierung der Au-Elektroden gewährleistet ist.

Abbildung 5.7 zeigt die Eingangskennlinie eines DNNTT-basierten TFTs, der während der Integration durch eine Al-Opferschicht geschützt war (Abbildung 5.4 *Rechts*). Der so integrierte TFT weist eine Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  von  $-0,7\text{ V}$  bei vernachlässigbarer Hysterese auf. Der Subschwelligensspannungsstromanstieg  $S$  beträgt  $200\text{ mV/dec}$  bei einer Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  von

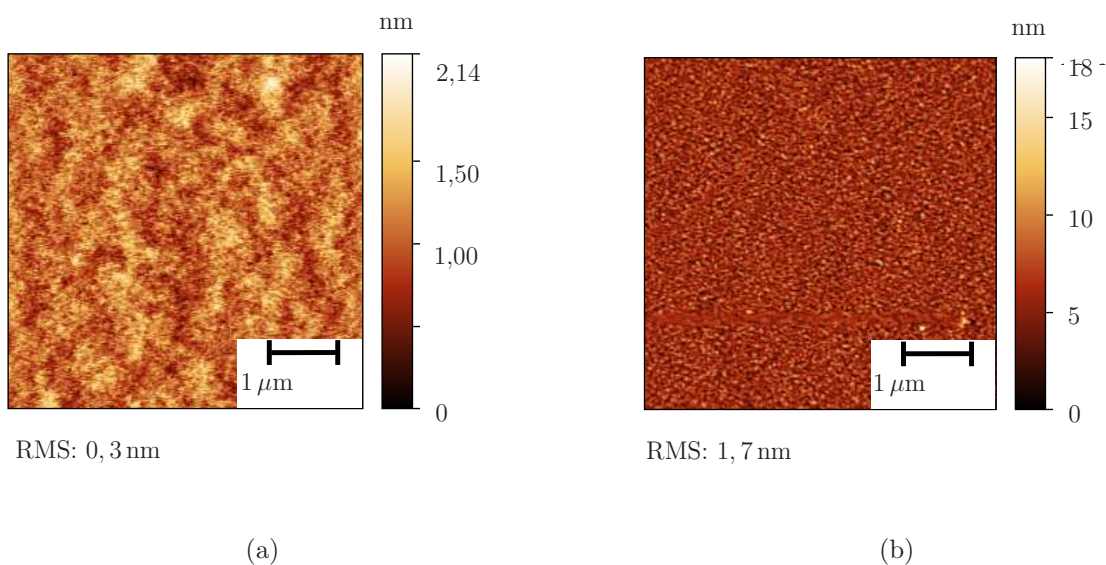


Abbildung 5.8: AFM-Messungen des Dielektrikums inoflex T3 (a) nach dem Quervernetzungsprozess und (b) nach dem Bedampfen und Entfernen einer Al-Schicht.



$0,14 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}$  und einer Strommodulation  $I_{on}/I_{off}$  von  $10^3 - 10^4$ .

Abbildung 5.8 zeigt repräsentative AFM-Messungen des quervernetzten Dielektrikums bzw. des Dielektrikums nach dem Bedampfen und Entfernen einer Al-Schicht. Es wird ersichtlich, dass der zusätzlich eingeführte Prozessschritt den RMS-Wert des Dielektrikums von  $0,3 - 1,1 \text{ nm}$  auf  $1,7 - 2,1 \text{ nm}$  erhöht. Verschiedene Gründe können zur Änderung der Oberflächenrauigkeit führen. Zum einen können verbliebene oxidierte Al-Rückstände auf der Dielektrikumsoberfläche für diese Variation verantwortlich sein. Zum anderen kann eine hohe Temperaturbelastung durch den Al-Aufdampfprozess lokale Verspannungen der dielektrischen Schicht bedingen. Obwohl die auf die Schicht auftreffenden Atome lediglich eine kinetische Energie  $E_{kin}$  von ungefähr  $0,1 \text{ eV}$  [Hil14] besitzen, ergibt sich nach  $E_{kin} \propto k_B T$  eine lokale Temperatur von  $887^\circ \text{C}$ , die auf die polymere Matrix des Dielektrikums wirkt. Ferner kann eine geringe Wechselwirkung zwischen dem Ätzmedium und der dielektrischen Schicht nicht ausgeschlossen werden. Nichtsdestotrotz kann trotz der erhöhten Oberflächenrauigkeit kein signifikanter Einfluss auf das Kristallwachstum des Halbleiters DNTT festgestellt werden. Abbildung 5.9 (a) zeigt repräsentativ eine AFM-Messung einer  $30 \text{ nm}$  dicken DNTT Schicht auf inoflex T3, wobei Kristallite mit einem durchschnittlichen Durchmesser von  $150 \text{ nm}$  ersichtlich werden. Die resultierende große Anzahl an Korngrenzen trägt maßgeblich zur limitierten Ladungsträgerbeweglichkeit der integrierten TFTs bei. Es bleibt anzumerken, dass die Einführung der zusätzlichen Opferschicht während der Integration zwar keinen nachhaltigen Einfluss auf die elektrischen

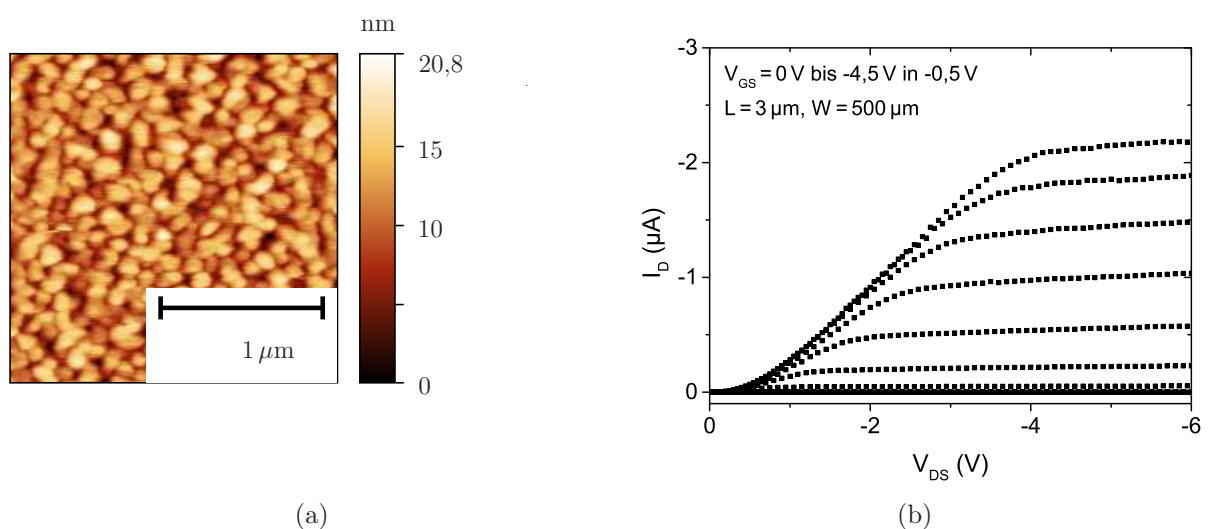


Abbildung 5.9: (a) AFM-Messung einer  $30 \text{ nm}$  dicken DNTT Schicht auf inoflex T3. (b) Ausgangskennlinienfeld eines geschützten DNTT-basierten TFTs in Bottom Gate Bottom Contact Architektur.

Parameter der integrierten TFTs hat, die Ausbeute an leistungsfähigen TFTs allerdings signifikant erhöht. Neben der großen Anzahl an Korngrenzen in der aktiven Halbleiterschicht limitieren vor allem Kontakteffekte die Leistungsfähigkeit von Dünnschichttransistoren. Abbildung 5.9 (b) zeigt das Ausgangskennlinienfeld eines geschützten DNNTT-basierten TFTs. Im Anlaufbereich (geringe Drain-Source Spannung  $V_{DS}$ ) wird ein superlinearer Anstieg des Drain-Stroms ersichtlich, hervorgerufen durch die gebildete Schottky-Barriere im Metall-Halbleiter-Kontaktbereich. Trotz der hierdurch begrenzten Leistungsfähigkeit weist der TFT einen Sättigungsstrom  $I_{D,sat}$  von  $-2,2 \mu\text{A}$  bei einer Gate-Spannung  $V_{GS}$  von  $-4,5 \text{ V}$  auf und zeigt zusammen mit der Eingangscharakteristik vielversprechende Parameter für verschiedene Anwendungsfelder im Niederspannungsbereich. Abbildung 5.10 (a) zeigt die Eingangskennlinien von geschützten DNNTT-basierten TFTs unterschiedlicher Kanallängen. Signifikante Unterschiede bezüglich der wesentlichen Transistorparameter wie  $V_{on}$ ,  $V_{Th}$ ,  $S$  sowie  $I_{on}/I_{off}$  werden neben den unvermeidbaren prozessbedingten Variationen nicht ersichtlich. Beispielsweise kann eine inhomogene Verteilung der Nanopartikelkomponenten im Dielektrikum dessen Quervernetzungsprozess und damit die Bindungsverhältnisse beeinflussen. Ebenso hat die Dimensionierung der Gate-Elektrode einen nachhaltigen Einfluss auf die Depositionsqualität der Isolation (siehe Kapitel 5.8). Nichtsdestotrotz zeigt Abbildung 5.10 (b) die typische, aus der MOSFET-Technologie bekannte, lineare Abhängigkeit des Drain-Stroms  $I_D$  von der reziproken Kanallänge  $L$ . All dies zeigt die Stabilität der entwickelten Integrationsroutine, welche die Basis für die weiterführenden Optimierungsprozesse bildet.

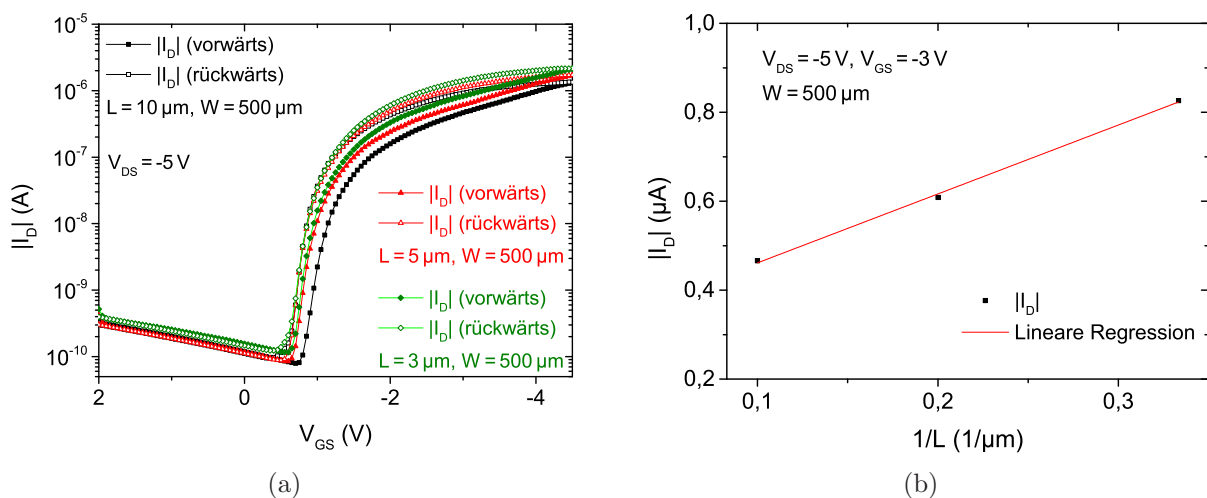


Abbildung 5.10: (a) Eingangskennlinien von geschützten DNNTT-basierten *Bottom Gate Bottom Contact* TFTs unterschiedlicher Kanallängen, sowie (b) Skalierungsverhalten des Drain-Stroms von geschützten TFTs als Funktion der reziproken Kanallänge.

### 5.3 Dünnschichttransistoren mit C<sub>8</sub>-BTBT

In diesem Abschnitt wird auf Grundlage der im vorangegangenen Kapitel entwickelten Integrationsroutine ein Prozessverlauf für die Herstellung von TFTs unter Verwendung eines lösungsmittelbasierten organischen Halbleitermaterials vorgestellt. Die so integrierten TFTs wurden bezüglich ihrer elektrischen Eigenschaften charakterisiert und hinsichtlich der Auswirkung des verwendeten Lösungsmittels auf die TFT-Charakteristika analysiert. Als aktiver Halbleiter wurde das Materialsystem C<sub>8</sub>-BTBT verwendet, das eine hohe Löslichkeit in organischen Lösungsmitteln aufweist.

#### Integration

Die Transistor-template werden analog zu der in Kapitel 5.2 beschriebenen Routine unter der Verwendung einer Al-Opferschicht hergestellt. Schließlich erfolgt die Integration von zwei unterschiedlichen Probenotypen. Den schematischen Aufbau beider Probenotypen zeigt Abbildung 5.11. Zum einen wird die Deposition der Halbleiterlösung im Anschluss an die Herstellung des Transistor-templats durchgeführt. Zum anderen erfolgt vor der Halbleiterdeposition eine Sequenz aus nasschemischen Behandlungen zur Optimierung der Benetzungseigenschaften der Halbleiterlösung auf dem Gate-Dielektrikum inoflex T3 durch selbstorganisierte Monoschichten. Die Strukturformeln der verwendeten selbstorganisierten Monoschichten zeigt Abbildung 5.12. Das Transistor-templatt wird für eine Zeitdauer von  $t = 15$  min mit einer Lösung, bestehend aus  $160 \mu\text{l}$  3-Aminopropyltriethoxysilan (APTES) in 80 ml Chloroform, bedeckt. Zur Vermeidung einer Kreuzreaktion zwischen APTES und den Au-Kontaktelektroden wird zuvor eine zusätzliche nasschemische Behandlung des Transistor-templats in einer Lösung, bestehend aus  $160 \mu\text{l}$  1-Octanthiol in 80 ml Ethanol, für eine Zeitdauer von  $t = 90$  min durchgeführt. Für beide Probenotypen

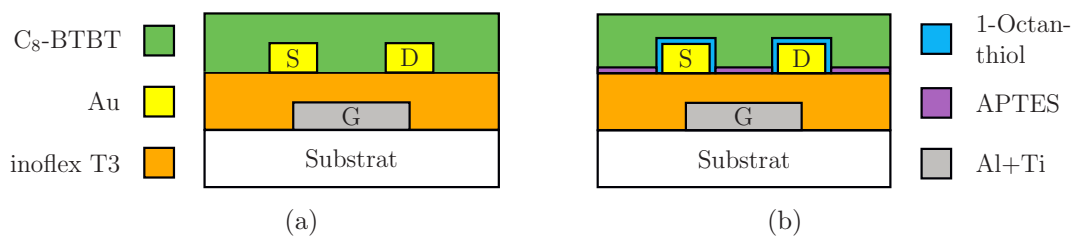


Abbildung 5.11: Schematischer Aufbau eines C<sub>8</sub>-BTBT-basierten TFTs (a) ohne und (b) mit Oberflächenmodifikation (S: Source, D: Drain, G: Gate).

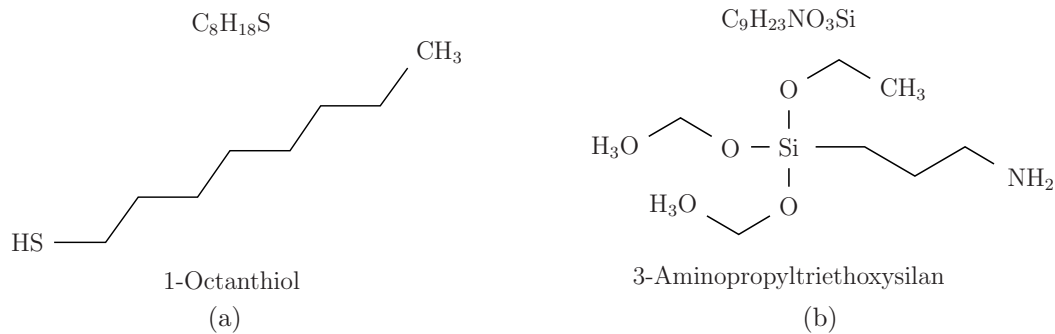


Abbildung 5.12: Strukturformeln der verwendeten selbstorganisierten Monoschichten  
 (a) 1-Octanthiol und (b) APTES.

erfolgt die Deposition des Halbleitermaterials mittels eines *Drop Casting* Prozesses auf einem angewinkelten Substrat (siehe Kapitel 4.3.2).

## Diskussion

Die Bestimmung des Einflusses der verwendeten molekularen Monolagen (1-Octanthiol und APTES) auf die Oberflächeneigenschaften von inoflex T3 und Au wurde anhand von Kontaktwinkelmessungen durchgeführt. Eine Beurteilung des Einflusses erfolgt bezüglich der Differenz der freien Oberflächenenergie  $\gamma_{sl}$  von Referenz- und modifizierter Oberfläche. So indiziert die Änderung von  $\gamma_{sl}$  eine Wechselwirkung zwischen 1-Octanthiol und der Au-Oberfläche, während kein Einfluss auf die Oberfläche des Dielektrikums inoflex T3 beobachtet wird. Ebenso kann ein Einfluss der Flüssigkeit APTES auf die Oberfläche von inoflex T3 nachgewiesen werden. Eine Zusammenfassung der Ergebnisse der freien Oberflächenenergie ist in Tabelle 5.2 gegeben.

Eine Analyse bezüglich des Grades der Kristallinität des aufgetragenen Halbleitermaterials erfolgte mit Hilfe der Polarisationsmikroskopie in der physikalischen Chemie (AK Kitzerow) der Universität Paderborn. Hierzu werden die integrierten  $C_8$ -BTBT-basierten TFTs in den Strahlengang eines Leica-Mikroskops zwischen zwei gekreuzten Polarisatoren gebracht und die Halbleiterschicht bezüglich ihrer doppelbrechenden Eigenschaften und auftretenden Interferenzeffekten analysiert. Abbildung 5.13 zeigt Kreuzpolarisationsbilder eines integrierten TFTs unter verschiedenen Rotationswinkeln des Substrates. Der Halbleiter  $C_8$ -BTBT wird als streifenförmige Struktur mit starken doppelbrechenden Eigenschaften ersichtlich. Ebenso weisen die Streifen eine gleiche Farbgebung sowie Helligkeit auf, wodurch eine monokristalline Struktur indiziert wird [FZJ<sup>+</sup>13]. Ferner bewirkt eine

Tabelle 5.2: Oberflächeneigenschaften von inoflex T3 und Au nach unterschiedlichen chemischen Behandlungen

inoflex T3	$\gamma_{sl}$ [mN/m]	$\gamma^D$ [mN/m]	$\gamma^P$ [mN/m]	polarer Anteil [%]
quervernetzt	41,5	30,0	11,5	27,8
1-Octanthiol	43,3	31,1	12,2	28,1
APTES	40,1	33,4	6,7	16,7
Au	$\gamma_{sl}$ [mN/m]	$\gamma^D$ [mN/m]	$\gamma^P$ [mN/m]	polarer Anteil [%]
unbehandelt	47,5	42,5	5,1	11,0
1-Octanthiol	22,9	22,5	0,4	2,0

Rotation des Substrats um 45° eine simultane Änderung der Helligkeit der Halbleiterstreifen, welches auf die gleiche Orientierung dieser hindeutet [LLX<sup>+</sup>12], [LLK<sup>+</sup>12]. Es zeigt sich, dass auf homogenen Oberflächen die Deposition von einkristallinen streifenförmigen Strukturen über den vollständigen Transistorbereich möglich ist.

Schließlich werden die so integrierten TFTs bezüglich ihrer elektrischen Eigenschaften analysiert. Abbildung 5.14 zeigt die Eingangskennlinien eines C<sub>8</sub>-BTBT-basierten TFTs ohne Oberflächenmodifikation unter dem Einfluss von elektrischen Belastungen unterschiedlicher Zeitauern. Verschiedene vorangegangene Untersuchungen zeigten, dass eine wiederholende Durchführung von Eingangskennlinien-Messungen zu einer stetigen Optimierung der TFT-Charakteristika führten <sup>3</sup>. Daraufhin werden systematische

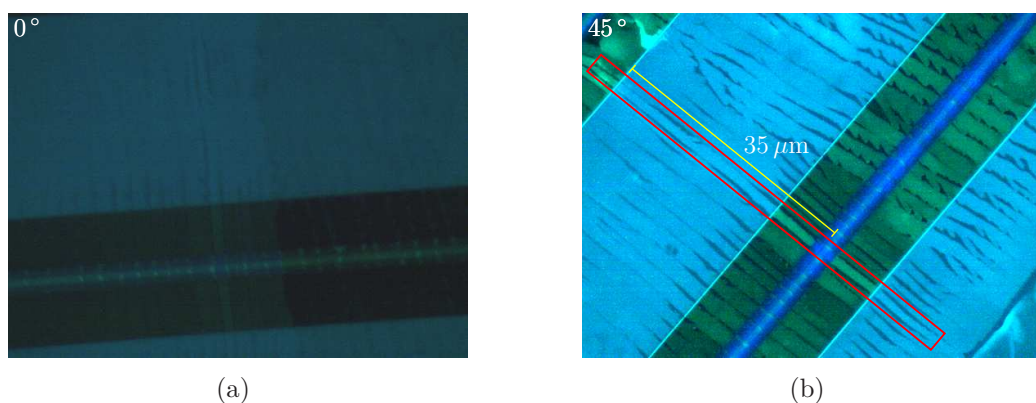


Abbildung 5.13: Kreuzpolarisationsbilder eines integrierten TFTs unter einem Rotationswinkel des Substrates von (a) 0° und (b) 45°. Rotes Rechteck: Das Halbleitermaterial C<sub>8</sub>-BTBT wird als streifenförmiger Kristall ersichtlich.

<sup>3</sup>Die Ergebnisse bezüglich der Oberflächeneigenschaften von inoflex T3 und der elektrischen Eigenschaften von C<sub>8</sub>-basierten TFTs wurden teilweise in [19] veröffentlicht.

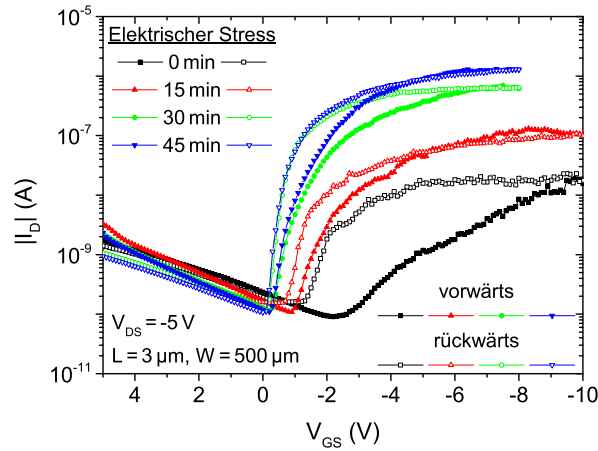


Abbildung 5.14: Eingangskennlinien eines  $C_8$ -BTBT-basierten *Bottom Gate Bottom Contact* TFTs ohne Oberflächenmodifikation unter dem Einfluss einer elektrischen Belastung ( $V_{DS} = -5\text{ V}$ ,  $V_{GS} = -8\text{ V}$ ) unterschiedlicher Zeitdauern.

Analysen bezüglich dieses Effekts durchgeführt. So wird der TFT im Folgenden einer konstanten elektrischen Belastung mit einer Drain-Source-Spannung  $V_{DS} = -5\text{ V}$  und einer Gate-Source-Spannung von  $V_{GS} = -8\text{ V}$  für eine Zeitdauer von  $t = 45\text{ min}$  ausgesetzt, wobei eine erneute Charakterisierung nach jeweils 15 min stattfindet. So weist der integrierte TFT im Anschluss an die Deposition des Halbleitermaterials lediglich limitierte elektrische Charakteristika auf. Die Strommodulation  $I_{on}/I_{off}$  kann auf  $2 \cdot 10^2$  bestimmt werden, während die Einschaltspannung  $V_{on}$  einen Wert von  $-2,2\text{ V}$  bei einer Hysterese  $\Delta V_{on}$  von  $1,2\text{ V}$  aufzeigt. Ebenso weist der TFT in Vorwärtsmessrichtung einen Schwellenspannungswert  $V_{Th}$  von  $-3,4\text{ V}$ , einen Subschwelligenspannungsstromanstiegswert  $S$  von  $-2,7\text{ V/dec}$  sowie eine niedrige Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  von  $9 \cdot 10^{-5}\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  auf. An dieser Stelle sei anzumerken, dass schon während der Messung in Rückwärtsrichtung  $V_{Th}$  und  $S$  auf einen Wert von  $-1,4\text{ V}$  bzw.  $-0,7\text{ V/dec}$  verändert werden und  $\mu_{sat}$  um fast eine Dekade auf einen Wert von  $6 \cdot 10^{-4}\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  ansteigt. Ferner wird mit zunehmender elektrischer Belastungsdauer eine stetige Verbesserung der Leistungsfähigkeit des TFTs ersichtlich, so dass nach einer Zeitdauer von  $t = 45\text{ min}$  eine Optimierung von  $\mu_{sat}$  und  $I_{on}/I_{off}$  um nahezu zwei Dekaden auf einen Wert von  $0,02\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bzw.  $2 \cdot 10^4$  ersichtlich wird. Ebenso verschiebt sich sowohl die Schwellenspannung  $V_{Th}$  auf einen Wert von  $-0,9\text{ V}$  in Vorwärts- bzw.  $-0,2\text{ V}$  in Rückwärtsmessrichtung als auch die Einschaltspannung  $V_{on}$  auf einen Wert von  $-0,2\text{ V}$  mit einer deutlich reduzierten Hysterese  $\Delta V_{on}$  von  $0,2\text{ V}$ . Ferner kann der Subschwelligenspannungsstromanstieg  $S$  auf einen Wert von  $-0,3\text{ V/dec}$  bestimmt werden. Der Grund für dieses Verhalten wird zu einem späteren Zeitpunkt in diesem Kapitel diskutiert.

Es zeigt sich, dass die Ausbeute an funktionsfähigen TFTs mit unter 20% gering ist. Als Grund sind die Benetzungseigenschaften der Halbleiterlösung auf dem TFT-Templat zu nennen. Mittels Oberflächenmodifikationen durch selbstorganisierende Monolagen können die Benetzungseigenschaften von Flüssigkeiten auf Substratoberflächen maßgebend beeinflusst werden. So kann der Kontaktwinkel des verwendeten Lösungsmittels 1, 2-Dichlorbenzol auf einer nativen inoflex T3 Oberfläche auf  $34,2^\circ$  bestimmt werden. Durch eine Oberflächenmodifikation mit APTES kann der Kontaktwinkel der Dielektrikumsoberfläche schließlich auf  $6^\circ$  reduziert werden, resultierend in einer maßgeblichen Verbesserung der Depositionsqualität der Halbleiterschicht. Neben der hierdurch signifikanten Erhöhung der Ausbeute an leistungsfähigen Dünnschichttransistoren (über 70%), zeigt sich ebenso eine deutliche Reduzierung der benötigten Dauer der elektrischen Belastung zur Realisierung von leistungsfähigen TFTs. Abbildung 5.15 (a) zeigt repräsentativ die zeitliche Änderung des Drain-Stroms  $I_D$  bei einer elektrischen Belastung von  $V_{DS} = -5\text{ V}$  und  $V_{GS} = -8\text{ V}$ . So ist  $I_D$  durch einen anfänglichen superlinearen Anstieg gekennzeichnet, um schließlich in einen linearen Anstiegsbereich überzugehen. Ab einem Zeitpunkt  $t_s \approx 12\text{ min}$  zeigen sich lediglich marginale Variationen, sodass von einem konstanten Stromverhalten des TFTs ausgegangen werden kann. Abbildung 5.15 (b) zeigt die Eingangskennlinien des betrachteten TFTs vor und im Anschluss an die elektrische Belastung. Wiederum wird eine Optimierung der elektrischen Parameter des Dünnschichttransistors ersichtlich. So reduziert sich der Betrag der Schwellenspannung, da sich  $V_{Th}$  von  $-2,2\text{ V}$

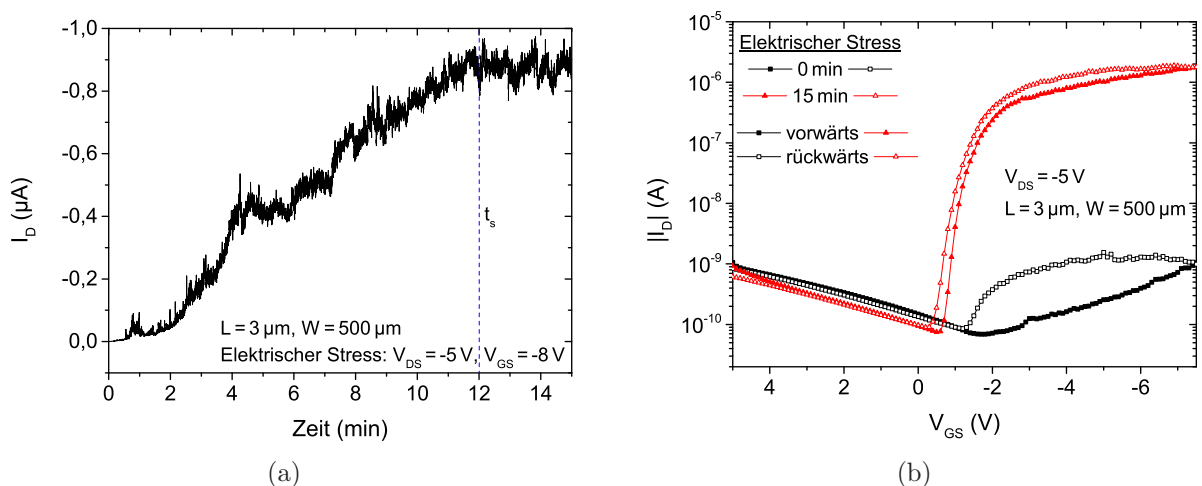


Abbildung 5.15: (a) Zeitliche Änderung des Drain-Stroms eines  $C_8$ -BTBT-basierten *Bottom Gate Bottom Contact* TFTs mit Oberflächenmodifikation unter dem Einfluss einer elektrischen Belastung ( $V_{DS} = -5\text{ V}$ ,  $V_{GS} = -8\text{ V}$ ). (b) Eingangskennlinien des zugehörigen TFTs vor und im Anschluss an die elektrische Belastung.

in Vorwärtsmessrichtung auf einen Wert von  $-0,9\text{ V}$  erhöht. Ebenso wird eine deutliche Optimierung der Hysterese  $\Delta V_{Th}$  von  $-0,9\text{ V}$  auf  $-0,3\text{ V}$  erreicht. Ferner verschiebt sich  $V_{on}$  von  $-1,7\text{ V}$  mit einer Hysterese  $\Delta V_{on}$  von  $0,5\text{ V}$  auf einen Wert von  $0,5\text{ V}$  und einem  $\Delta V_{on}$ -Wert von  $0,3\text{ V}$ . Die Strommodulation  $I_{on}/I_{off}$  sowie  $\mu_{sat}$  steigt um nahezu vier Dekaden von  $10$  auf  $2 \cdot 10^4$  bzw. von  $2 \cdot 10^{-6}\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  auf  $0,05\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ . Der Subschwelligenspannungsstromanstieg  $S$  kann schließlich auf  $-0,2\text{ V/dec}$  bestimmt werden. Abbildung 5.16 (a) zeigt das zugehörige Ausgangskennlinienfeld des  $\text{C}_8$ -BTBT-basierten TFTs, wobei im Zuge des superlinearen Anstiegs im niedrigen  $V_{DS}$ -Bereich ein ausgeprägter Kontaktwiderstand ersichtlich wird.

Der TFT wurde nach einer Zeit von  $17\text{ h}$  erneut vermessen (siehe Abbildung 5.16 (b)). Es wird eine geringe Verschiebung von  $V_{Th}$  und  $V_{on}$  sowie eine Reduzierung von  $\mu_{sat}$  auf  $0,01\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  ersichtlich, wobei dies auf potentielle Fallenzustände im Dielektrikum bzw. an der Halbleiter-Dielektrikum-Grenzfläche, die während des elektrischen Betriebs gesättigt werden, zurückgeführt werden kann. Ebenso kann eine Absorption von Luftfeuchtigkeit durch die einzelnen TFT-Komponenten nicht ausgeschlossen werden. Nichtsdestotrotz zeigt sich, dass die elektrische Charakteristik des TFTs nicht auf die Parameter vor der elektrischen Behandlung zurückfällt. Einen möglichen Erklärungsansatz bietet die potentielle Wechselwirkung zwischen der Halbleiterlösung und dem Dielektrikum inoflex T3, die zu einem Elektret-ähnlichen Verhalten führt. So kann die Wechselwirkung während des Depositionsprozesses zur Ausbildung einer willkürlichen Anordnung von Dipolen an

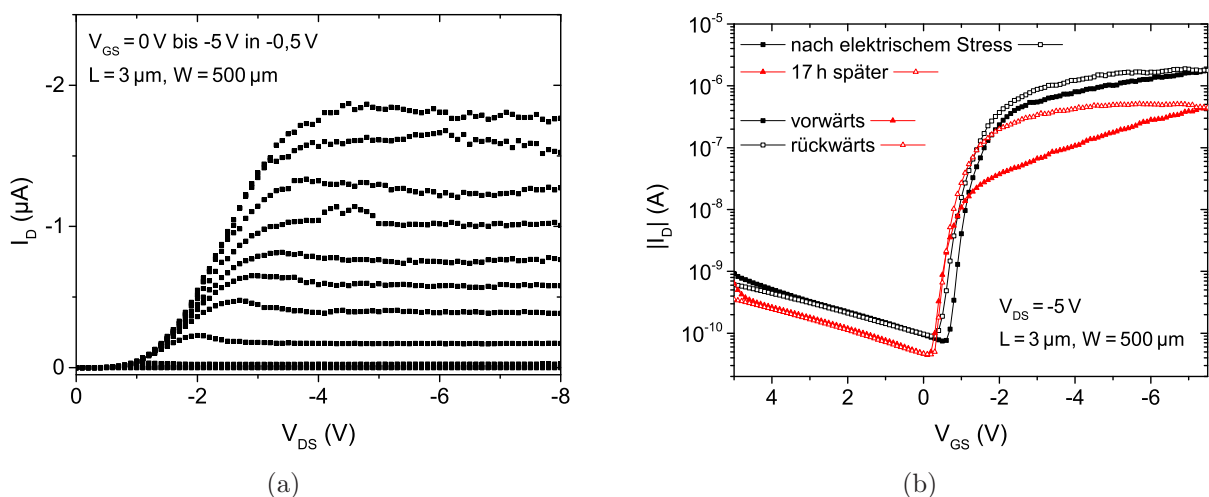


Abbildung 5.16: (a) Ausgangskennlinienfeld des betrachteten  $\text{C}_8$ -BTBT-basierten TFTs mit Oberflächenmodifikation. (b) Vergleich der Eingangskennlinien des betrachteten TFTs im Anschluss an die elektrische Belastung sowie einer erneuten Messung nach  $17\text{ h}$ .



der Halbleiter-Dielektrikums-Grenzfläche führen. Diese werden während der elektrischen Belastung unter dem Einfluss der resultierenden elektrischen Feldstärke  $E$  stetig entlang des Feldlinienverlaufs ausgerichtet, sodass sich ab dem Zeitpunkt  $t_s$  eine Anordnung von quasi-permanent ausgerichteten Dipolen bildet. Hierdurch wird die kapazitive Kopplung des Gates optimiert. Hierbei sei anzumerken, dass diese Ausrichtung der Dipole durch den elektrischen Stromfluss im Halbleiter unterstützt wird, da die Ladungen im Kanalbereich als positiv geladene Elektrode des Metall-Isolator-Halbleiter-Kondensators fungieren. Ferner ist die finale Orientierung der Dipole abhängig von den angelegten Spannungspotentialen an den Source- und Drain-Elektroden, da diese einen maßgebenden Einfluss auf den resultierenden elektrischen Feldlinienverlauf besitzen. Abbildung 5.17 zeigt die Eingangskennlinien eines  $C_8$ -BTBT-basierten TFTs, vermessen mit unterschiedlichen Beschaltungskonfigurationen (siehe Abbildung 5.18). So wurde der TFT in der ersten Messkonfiguration direkt im Anschluss an eine elektrische Belastung ( $t = 15$  min,  $V_{DS} = -5$  V,  $V_{GS} = -8$  V) vermessen. Im Anschluss an den ersten Messdurchlauf (Konfiguration 1) erfolgte das Tauschen der Source- und Drain-Potentiale für den zweiten Messdurchlauf (Konfiguration 2). Schließlich wurde der TFT direkt im Anschluss an das Tauschen der Spannungspotentiale sowie nach einer erneuten elektrischen Belastung vermessen. Es wird ersichtlich, dass der Wechsel der Elektrodenpotentiale zu einer elektrischen Charakteristik ähnlich der eines TFTs vor einer elektrischen Belastung führt. Im Anschluss an eine erneute elektrische Belastung kann eine Regeneration des elektrischen Verhaltens festgestellt werden. Daher kann zum vorher beschriebenen Einfluss der Dipolorientierung auf die ka-

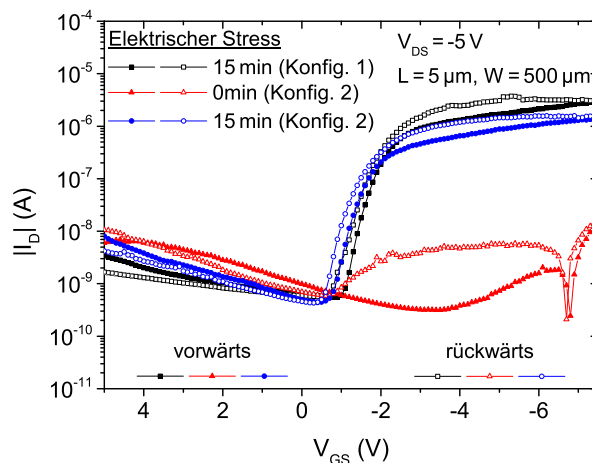


Abbildung 5.17: Eingangskennlinien eines  $C_8$ -BTBT-basierten *Bottom Gate Bottom Contact* TFTs mit Oberflächenmodifikation unter verschiedenen Beschaltungskonfigurationen und unterschiedlichen Zeitdauern einer elektrischen Belastung ( $V_{DS} = -5$  V,  $V_{GS} = -8$  V).

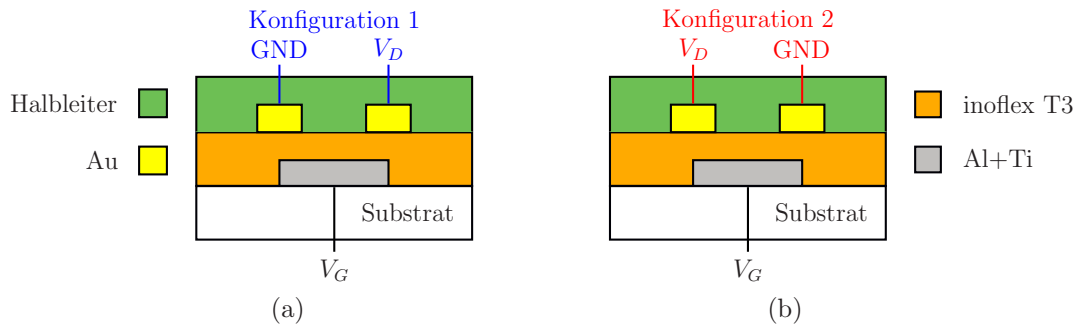


Abbildung 5.18: Unterschiedliche Beschaltungskonfigurationen des TFTs. (a) Erste Messkonfiguration und (b) zweite Messkonfiguration.

pazitiven Kopplungseigenschaften, ein zusätzlicher Effekt dieser auf die Eigenschaften des Metall-Halbleiter-Übergangs nicht ausgeschlossen werden. So ist in der Literatur bekannt, dass Polarisierungseffekte die Höhe der Schottky-Barriere beeinflussen können [KAS00], resultierend in der maßgebenden Beeinflussung der Injektionseigenschaften elektrischer Bauelemente.

An dieser Stelle sei anzumerken, dass sich im Zuge dieser Arbeit dieses elektrische Verhalten lediglich auf lösungsmittelbasierte TFTs mit C<sub>8</sub>-BTBT beschränkt und bei der Nutzung von thermisch aufgedampften Halbleitermaterialien nicht nachgewiesen werden konnte. Um eine sichere Zuordnung der Variationen in der elektrischen Leistungsfähigkeit der integrierten TFTs zu der jeweiligen zugrundeliegenden Prozessmodifikation gewährleisten zu können, findet die in den folgenden Kapiteln beschriebenen Prozessoptimierungen daher unter der Verwendung von thermisch aufgedampften Halbleitermaterialien statt.

## 5.4 Selbstjustierte Dünnschichttransistoren

Wie in Kapitel 1 erwähnt, finden Dünnschichttransistoren unter anderem bereits Anwendung als Schaltungselemente im Marktsegment der Bildschirm-Technologie. Ein wichtiger Leistungsparameter von TFTs als Schaltungselement ist durch die Transitfrequenz  $f_T$  gegeben, welche die Frequenz angibt, bei der der Verstärkungsfaktor für elektrische Signale den Wert 1 annimmt. Im Allgemeinen gilt für die Transitfrequenz

$$f_T = f \left( \frac{|i_D|}{|i_G|} = 1 \right) = \frac{g_m}{2\pi C_G} \quad (5.1)$$

wobei  $i_D$  bzw.  $i_G$  den Klein-Signal Drain- und Klein-Signal Gate-Strom,  $g_m$  die Klein-Signal Transkonduktanz und  $C_G$  die Gate-Kapazität, zusammengesetzt aus der Überlappung zwischen Kanalbereich und Gate-Elektrode sowie den Source- und Drain-Kontakten und der Gate-Elektrode, beschreiben [Kla10]. Hierbei stellt die Überlappung zwischen den Kontaktelektroden einen parasitären, kapazitiven Anteil dar, der die Transitfrequenz limitiert. Durch Approximation der Gate-Kapazität  $C_G$  als Summe der geometrischen Gate-zu-Kanal und Gate-zu-Kontakt Kapazitäten sowie unter Verwendung des mathematischen Zusammenhangs von  $g_m$ , gegeben durch Gleichung 3.27, ergibt sich für Gleichung 5.1

$$f_T = \frac{\mu_{eff} V_{DS}}{2\pi L(L + L_{ov,GS} + L_{ov,GD})}. \quad (5.2)$$

Hierbei entspricht  $\mu_{eff}$  der effektiven Ladungsträgermobilität,  $L$  der Kanallänge und  $L_{ov,GS}$  und  $L_{ov,GD}$  den parasitären Gate-zu-Source bzw. Gate-zu-Drain Überlappungen [Kla18]. Es wird ersichtlich, dass die Schaltungseigenschaften der TFTs nachhaltig durch die Größe der Überlappungen beeinflusst werden und eine Reduktion dieser für die Leistungsoptimierung unabdingbar ist. Für weiterführende theoretische Abschätzungen der Transitfrequenz in Abhängigkeit von den Überlappungsbereichen sei auf Publikationen von Klauk [Kla18] und Kim [Kim19] verwiesen.

Die in den vorangegangenen Kapiteln vorgestellte Integrationsroutine führt aufgrund der Prozessführung zwangsläufig zu ausgeprägten Überlappungsbereichen. Im Jahr 1964 stellten Klasens und Koelmans ein alternatives Integrationskonzept vor [KK64], um den Überlappungsbereich zwischen den Kontaktelektroden durch einen Selbstjustierungsprozess zu reduzieren. In den nachfolgenden Jahrzehnten wurde das auf dem Halbleiter Zinndioxid ( $\text{SnO}_2$ ) basierende Prinzip von verschiedenen Forschungsgruppen adaptiert und auch auf andere Halbleitersysteme wie a-Si:H [KTK<sup>+</sup>82], [BPSM89], [CKL<sup>+</sup>06], Indium-Gallium-Zink-Oxid (a-IGZO) [KKRJ11] oder Pentacen [HMN<sup>+</sup>04] übertragen. Alle genannten Adaptionen vereinen allerdings die Verwendung eines anorganischen Materialsystems als Dielektrikum. In diesem Kapitel wird zum einen eine Integrationsroutine vorgestellt, die die Idee der Selbstjustierung auf das dielektrische Nanokomposit inoflex T3 überträgt. Zum anderen wird der Einfluss der Reduzierung des Überlappungsbereichs auf die elektrischen Eigenschaften der integrierten TFTs diskutiert. Für diesen Prozessablauf wurde ein Maskenlayout, bestehend aus vier Integrationsebenen, konzipiert, um die gemeinsame Integration von konventionellen (nicht selbstjustiert) sowie selbstjustierten Einzeltransis-

toren, Inverter-Strukturen und Ringoszillatoren sowohl in *Bottom Gate*- als auch *Top Gate*-Architektur zu ermöglichen <sup>4</sup>.

## Integration

Um eine fotolithographische Integration von TFTs mit selbstjustierten Kontakten zu ermöglichen, werden als Substrate 4" Borosilikatglas-Wafer (BOROFLOAT33, bezogen von SIEGERT WAFER GmbH) gewählt. Durch ihre hohe Transmission im UV-A und sichtbaren Wellenlängenbereich von ca. 90 % [SCH] gewährleisten sie eine ausreichende Transparenz im Wellenlängenspektrum der verwendeten Belichtungsanlage sowie im sensitiven Bereich des verwendeten Fotolacks. Um die Auswirkung der Größe der Überlappungsbereiche auf die elektrischen Eigenschaften der TFTs zu analysieren, werden sowohl konventionelle (nicht selbstjustiert) als auch selbstjustierte TFTs integriert. Für den konventionellen TFT-Aufbau erfolgt die Integration analog zur der in Kapitel 5.2 vorgestellten Routine mit einer Al-Opferschicht. Aufgrund des Unterschieds zwischen den thermischen Leitfähigkeiten des hier verwendeten Borosilikatglas-Substrats und des vorangegangenen Si-Substrats erfolgt eine Anpassung von fotolithographischen Prozesszeiten (siehe Anhang).

Eine Übersicht über den angepassten Prozessablauf für die selbstjustierenden TFTs zeigt Abbildung 5.19. Die Integration inklusive der Deposition der Opferschicht erfolgt analog zur konventionellen Routine. Im Anschluss an das Aufbringen des Fotolacks mittels Schleuderbeschichtung erfolgt allerdings dessen Belichtung von der Rückseite des Substrats. Hierbei werden sowohl die integrierten Gate-Elektroden als Maskenebene als auch einer Quarzglasmaske zur Definition der aktiven Transistorfläche verwendet. Das Kanalgebiet wird durch die Dimensionierung der Gate-Elektrode definiert. Die verwendete, dünne Al-Opferschicht weist eine ausreichende Transparenz im Wellenlängenbereich der verwendeten Belichtungsanlage auf, allerdings können Dichteveränderungen in der Opferschicht sowie Inhomogenitäten in der Fotolackdicke zu Abschattungseffekten führen. Daher erfolgt im Anschluss an den Belichtungsprozess durch das Substrat eine kurze ganzflächige Belichtung von der Frontseite des Substrats. Hierdurch kann die Ausbeute an leistungsfähigen TFTs von einem Anteil von ca. 30 % je Substrat auf ca. 70 % erhöht werden. Schließlich erfolgt der Prozessablauf im Weiteren analog zur Integration der konventionellen TFTs.

---

<sup>4</sup>Die Entwicklung des Maskenlayouts sowie des Integrationsprozesses der Selbstjustierung fand in Kooperation mit Fábio F. Vidor (Universität Paderborn / UFRGS) statt.

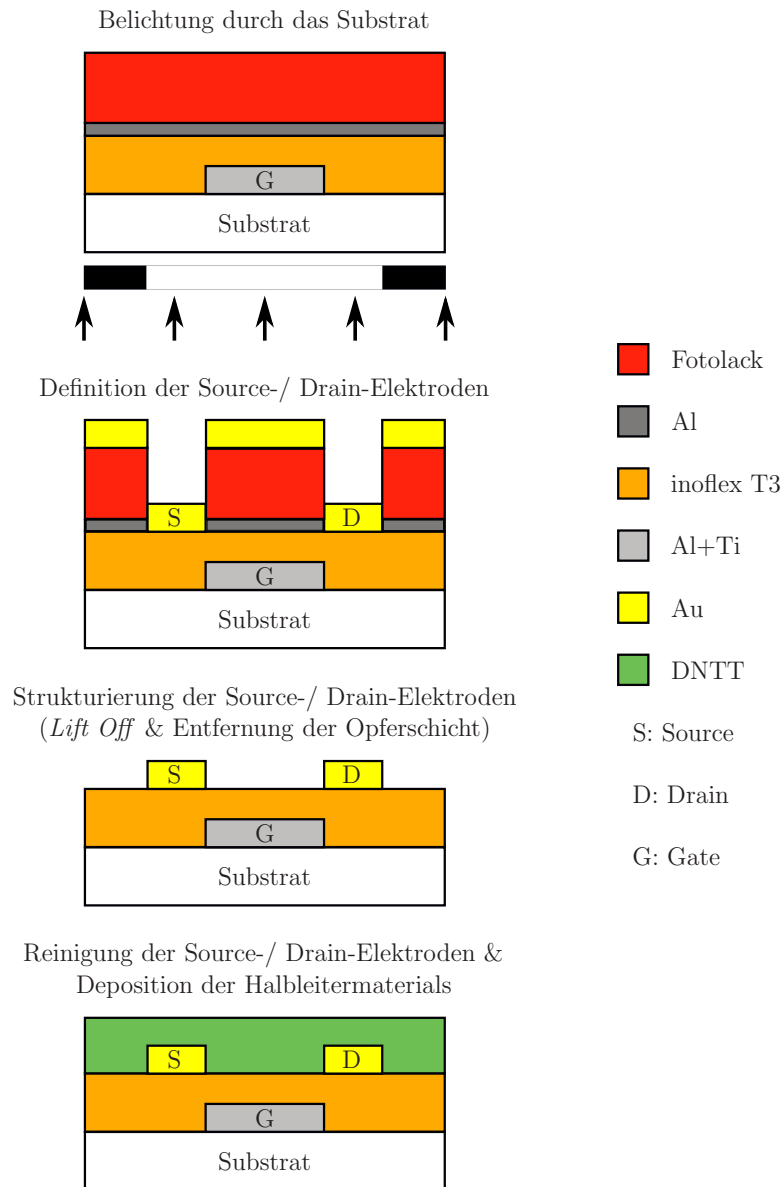


Abbildung 5.19: Übersicht über die Prozessfolge zur Integration von selbstjustierten *Bottom Gate Bottom Contact* TFTs unter der Verwendung von DNTT als aktives Halbleitermaterial.

## Diskussion

Die Bestimmung der elektrischen Charakteristika von DNTT-basierten TFTs erfolgt durch unterschiedliche Beschaltungen der integrierten konventionellen und selbstjustierten TFTs (siehe Abbildung 5.18). So wurden nach dem ersten Messdurchlauf (Konfiguration 1) die Elektrodenpotentiale für den zweiten Messdurchlauf getauscht (Konfiguration 2). Im

Anschluss erfolgte erneut ein Messdurchlauf in der Ausgangskonfiguration. Der Überlappungsbereich der Kontakt-Elektroden mit der Gate-Elektrode wurde mit Hilfe eines LEXT OLS4000 3D Laser Measuring Microscope der Olympus GmbH bestimmt.

Abbildung 5.20 (a) zeigt die Eingangskennlinie eines konventionellen DNNT-basierten TFTs. In Konfiguration 1 kann die Schwellenspannung  $V_{Th}$  und die Einschaltspannung  $V_{on}$  aufgrund einer vernachlässigbaren Hysterese zu  $-2,1\text{ V}$  bzw.  $-1,7\text{ V}$  bestimmt werden. Der Subschwelligenspannungsstromanstieg  $S$  beträgt  $400\text{ mV/dec}$  bei einer Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  von  $0,04\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ . Die Strommodulation  $I_{on}/I_{off}$  kann schließlich zu  $5 \cdot 10^3$  bestimmt werden. In der aus dem Messdurchlauf in Konfiguration 2 resultierenden Eingangskennlinie hingegen verschieben sich  $V_{Th}$  und  $V_{on}$  trotz vernachlässigbarer Hysterese zu  $-1,9\text{ V}$  bzw.  $-1,4\text{ V}$ . Ungeachtet dem gleichbleibendem Subschwelligenspannungsstromanstiegs reduziert sich  $\mu_{sat}$  auf einen Wert von  $0,01\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ . Die Werte für  $I_{on}/I_{off}$  variieren schließlich je nach Messrichtung zwischen  $1 \cdot 10^4$  und  $2 \cdot 10^3$  für den Vorwärts- bzw. Rückwärtsdurchlauf<sup>5</sup>. Es wird ersichtlich, dass je nach Beschaltung eine Variation der TFT-Parameter vorliegt. Der Grund hierfür ist bei den Überlappungsbereichen zwischen den Source-/ Drain- und der Gate-Elektrode zu suchen. So wurde das Maskenlayout so konzipiert, dass zwischen dem Kanal- und Gate-Bereich trotz potentieller Justiergenauigkeiten eine sichere kapazitive Kopplung gewährleistet ist. Bei symmetrischer Justierung beträgt der Überlappungsbereich zwischen Source-/

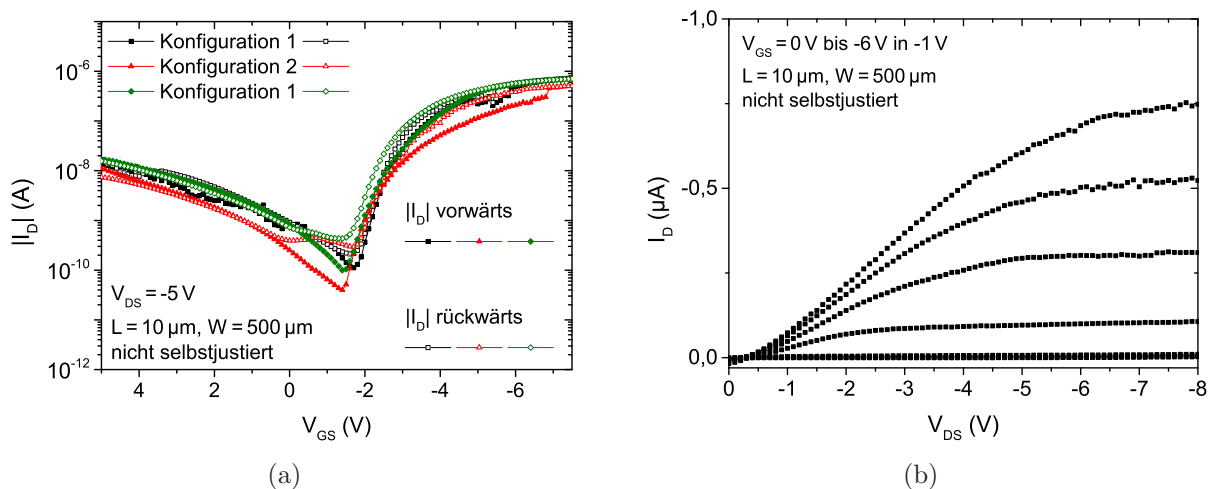


Abbildung 5.20: (a) Eingangskennlinien eines DNNT-basierten TFTs in der konventionellen *Bottom Gate Bottom Contact* Architektur unter verschiedenen Beschaltungskonfigurationen. (b) Zugehöriges Ausgangskennlinienfeld des integrierten TFTs.

<sup>5</sup>Die Ergebnisse bezüglich des Einflusses der Überlappungsbereiche zwischen Source-/ Drain- und Gate-Elektrode auf die Leistungsfähigkeit der DNNT-basierten TFTs wurden teilweise in [9] veröffentlicht.

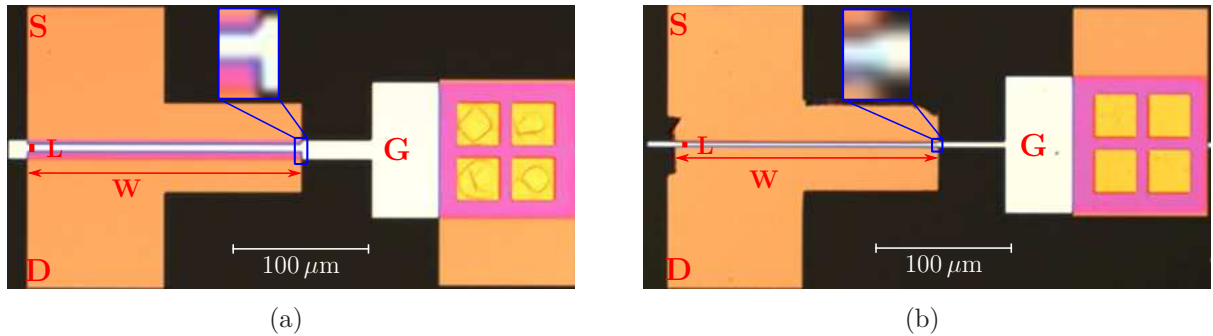


Abbildung 5.21: Optische Konfokalmikroskopaufnahme eines DNTT-basierten TFTs in (a) konventioneller und (b) selbstjustierender *Bottom Gate Bottom Contact* Architektur gleicher Kanallänge (S: Source, D: Drain, G: Gate, W: Kanalweite, L: Kanallänge). Die violetten Bereiche entstehen durch Interferenzeffekte und indizieren die Überlappung zweier Metallisierungsebenen getrennt durch inofflex T3.

Drain- und Gate-Elektrode jeweils  $5\ \mu\text{m}$ , wobei Justierungenauigkeiten zu Asymmetrien führen können. Abbildung 5.21 (a) zeigt eine repräsentative optische Mikroskopaufnahme eines konventionellen TFTs. Es wird ersichtlich, dass die Kontakt-zu-Gate-Elektroden eine asymmetrische Überlappungslänge von  $6\ \mu\text{m}$  bzw.  $4\ \mu\text{m}$  aufweisen (violetter Bereich oberhalb der Gate-Elektrode) und daher unterschiedlich große Bereiche für die Ausbildung möglicher Defektstellen im Dielektrikum bilden. So können schließlich größere Überlappungen der Source-zu-Gate Elektrode einen erhöhten Strom  $I_{off}$  des TFTs begünstigen, resultierend in einer geringeren Strommodulation sowie verringerten Einschalt- und Schwellenspannungen.

Das Ausgangskennlinienfeld des DNTT-basierten TFT ist in Abbildung 5.20 (b) dargestellt. Der maximale Drain-Strom  $I_D$  von  $-0,75\ \mu\text{A}$  bei einer Gate-Source-Spannung von  $V_{GS} = -6\ \text{V}$  wird durch den hohen Kontaktwiderstand der Metall-Halbleiter-Grenzfläche, ersichtlich durch den superlinearen Anstieg von  $I_D$  im Anlaufbereich des TFTs, limitiert. Nichtsdestotrotz zeigen sowohl Abbildung 5.22 (a) als auch Abbildung 5.22 (b) den aus der MOSFET-Technologie bekannten linearen Zusammenhang des Drain-Stroms mit der Weite  $W$  bzw. der reziproken Kanallänge  $1/L$  des Transistors. Dies indiziert den erfolgreichen Transfer der Integrationsroutine auf Substrate bestehend aus Borosilikatglas.

Abbildung 5.23 (a) zeigt die Eingangskennlinie eines DNTT-basierten TFT mit einer selbstjustierten Kontaktkonfiguration. Unabhängig von der Beschaltung kann die Schwellenspannung  $V_{Th}$  und die Einschaltspannung  $V_{on}$  bei vernachlässigbarer Hysterese auf  $-1,5\ \text{V}$  bzw.  $-1,2\ \text{V}$  bestimmt werden. Der Subschwelligkeitsstromanstieg  $S$  beträgt  $300\ \text{mV/dec}$  bei einer Strommodulation  $I_{on}/I_{off}$  von  $10^5$ . Die Ladungsträgerbeweg-

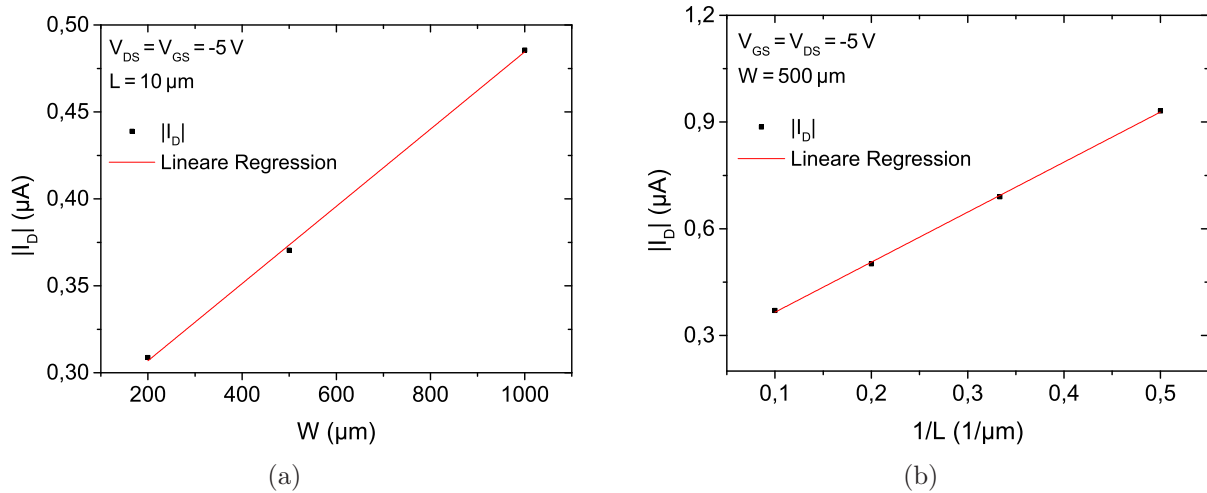


Abbildung 5.22: Skalierungsverhalten des Drain-Stroms von konventionellen *Bottom Gate Bottom Contact* DNNT-basierten TFTs als Funktion (a) der Kanalweite und (b) der reziproken Kanallänge.

lichkeit im Sättigungsbereich  $\mu_{sat}$  kann zu  $0,12\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bestimmt werden. Die Optimierung dieser Parameter, verglichen mit den Parametern konventioneller TFTs, lässt sich vor allem auf die Verringerung der Anzahl einflussnehmender Defektstellen durch die Reduzierung der Überlappungsbereiche zurückführen. Abbildung 5.21 (b) zeigt eine repräsentative optische Mikroskopaufnahme eines selbstjustierten TFTs. Die Überlappungslänge der Kontakt-zu-Gate-Elektrode weist einen symmetrischen Wert von  $0,3\ \mu\text{m}$  auf (violetter Bereich oberhalb der Gate-Elektrode). Für die Selbstjustierung wird der Überlappungsbereich hauptsächlich durch Streu- und Brechungseffekte in der dielektrischen Schicht und den unterschiedlichen Brechungsindizes der verwendeten Materialien (Grenzflächen: Luft/ Quarzglasmaske, Quarzglasmaske/ Substrat, Substrat/ Dielektrikum, Dielektrikum/ Al, Al/ Fotolack) bestimmt und kann daher als gesamtsystemabhängiger Parameter angesehen werden. Daher hat eine Variation verwendeter Materialkomponenten bezüglich Brechungsindizes und Schichtdicke einen nachhaltigen Einfluss auf realisierbare Überlappungsbereiche. Die symmetrische Überlappung erlaubt schließlich ein vergleichbares Verhalten in der TFT Charakteristik unabhängig von der Beschaltung.

Ebenso wie bei konventionell integrierten TFTs zeigt das Ausgangskennlinienfeld des selbstjustierten TFTs in Abbildung 5.23 (b) eine Limitierung des maximalen Drain-Stroms  $I_D$  im Sättigungsbereich auf  $-1,4\ \mu\text{A}$  bei einer Gate-Source-Spannung  $V_{GS}$  von  $-6\text{ V}$  aufgrund des hohen Kontaktwiderstands zwischen DNNT und den Au-Elektroden. Abbildung 5.24 (a) zeigt wiederum den aus der MOSFET-Technologie bekannten linearen Zusammenhang des Drain-Stroms mit der reziproken Kanallänge  $1/L$  des Transistors, was die



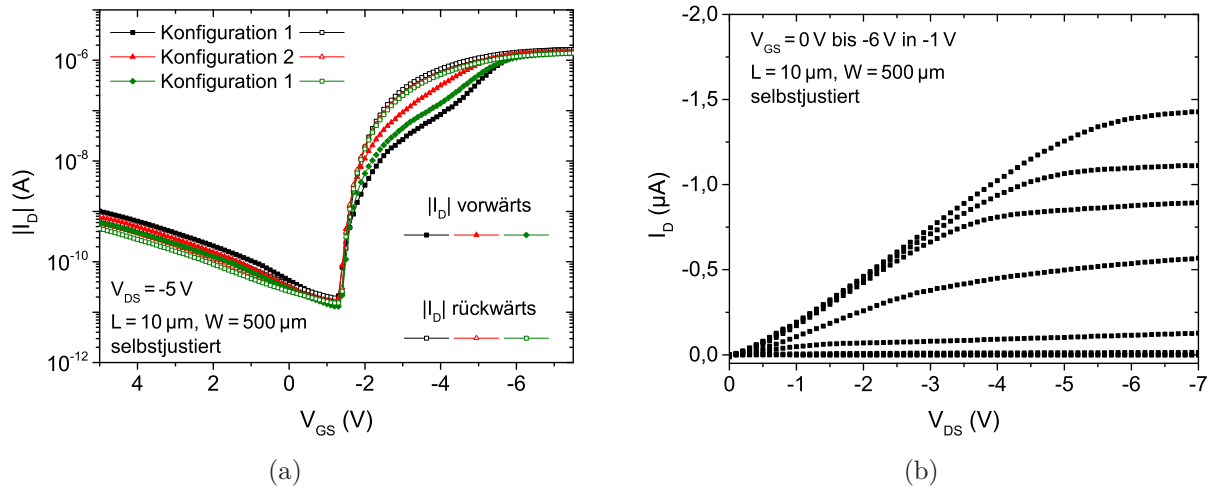


Abbildung 5.23: (a) Eingangskennlinien eines DNTT-basierten TFTs in der selbstjustierter *Bottom Gate Bottom Contact* Architektur unter verschiedenen Beschaltungskonfigurationen. (b) Zugehöriges Ausgangskennlinienfeld des integrierten TFTs.

erfolgreiche Entwicklung einer Integrationsroutine für selbstjustierte TFTs unter Verwendung des Dielektrikums inoflex T3 unterstreicht.

Nichtsdestotrotz zeigt sich bei kleinen Kanallängen ein Trend hin zu größeren hysteresebedingten Variationen der elektrischen Parameter  $V_{Th}$  und  $V_{on}$ , sowohl abhängig von der Beschaltungskonfiguration als auch vom Messdurchlauf. Abbildung 5.24 (b) zeigt repräsentativ einen selbstjustierten DNTT-basierten TFT mit einer Kanallänge  $L$  von  $3 \mu\text{m}$ . Während im ersten Messdurchlauf der TFT eine Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  von  $-1,6 \text{ V}$  bzw.  $-0,8 \text{ V}$  bei einer Hysterese von  $300 \text{ mV}$  bzw.  $400 \text{ mV}$  aufweist, verschieben sich die Werte im elektrischen Betrieb beim erneuten Messdurchlauf auf  $-1,5 \text{ V}$  für  $V_{Th}$  bzw. auf  $-0,5 \text{ V}$  für  $V_{on}$ . Ferner weist der TFT bei der Variation der Beschaltung eine Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  von  $-1,4 \text{ V}$  bzw.  $-0,6 \text{ V}$  bei einer Hysterese von  $400 \text{ mV}$  bzw.  $500 \text{ mV}$  auf. Trotz alledem lässt sich der Subschwelligkeitsstromanstieg  $S$  unabhängig vom Messdurchlauf und der Beschaltungskonfiguration erneut auf einen Wert von  $300 \text{ mV/dec}$  bestimmen und indiziert damit keinen signifikanten Anstieg von Fallenzuständen im aktiven TFT-Bereich.

Wie in Kapitel 3.5 bereits erwähnt, hat eine inhomogene Dielektrikumsoberfläche einen maßgebenden Einfluss auf Streuprozesse der Ladungsträger an der Grenzfläche zwischen Dielektrikum und Halbleiter. Inhomogenitäten in der Bedeckung der Gate-Elektrode können während der Deposition der Isolationsschicht die Ausbildung einer planaren Oberfläche im aktiven TFT Bereich stören und zu Schichtdickenvariationen in diesem Bereich führen. Abbildung 5.25 zeigt eine Profilmessung mittels eines Dektak XT Stylus Profiler

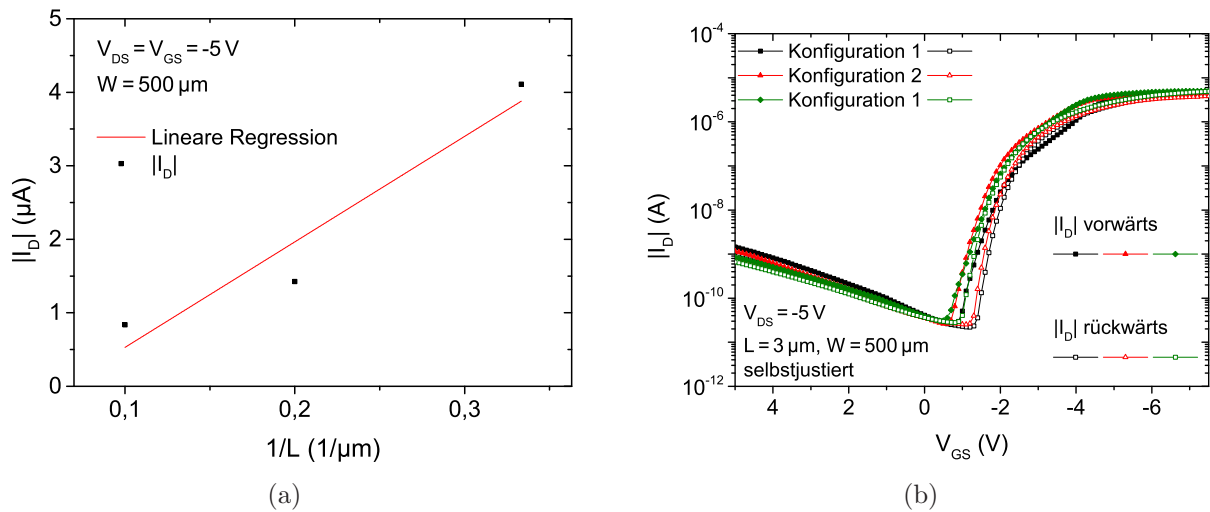


Abbildung 5.24: (a) Skalierungsverhalten des Drain-Stroms von selbstjustierten *Bottom Gate Bottom Contact* DNTT-basierten TFTs als Funktion der reziproken Kanallänge. (b) Eingangskennlinien eines selbstjustierten *Bottom Gate Bottom Contact* DNTT-basierenden TFTs mit einer Kanallänge  $L$  von  $3\ \mu\text{m}$

der Bruker Corporation an einer strukturierten Gate-Elektrode nach der Deposition des Dielektrikums inoflex T3. Es wird ersichtlich, dass sich oberhalb der Gate-Elektrode eine parabelförmige Aufwölbung der dielektrischen Oberfläche im Kanalbereich ausbildet. Die hierdurch bedingte inhomogene kapazitive Kopplung entlang des Transistorkanals kann den Streuprozess der Ladungsträger begünstigen und damit die elektrischen Parameter nachhaltig beeinflussen. Eine weiterführende Diskussion bezüglich der Oberflächentopologie integrierter DNTT-basierter TFTs zeigt Kapitel 5.8.

Es bleibt anzumerken, dass eine Reduzierung der Ladungsträgermobilität im Sättigungs-

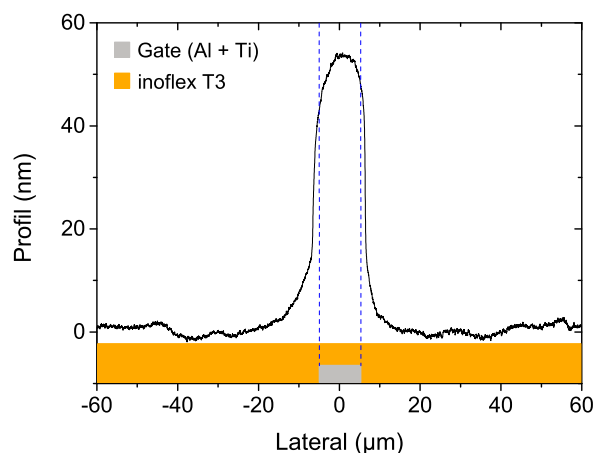


Abbildung 5.25: Profilmessung einer Elektrodenstruktur (Material: Al+Ti, Breite:  $10\ \mu\text{m}$ , Höhe:  $57\ \text{nm}$ ) nach der Deposition des Dielektrikums inoflex T3.

bereich  $\mu_{sat}$  von  $0,12 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  auf  $0,07 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei einer Kanallängenvariation  $L$  von  $10 \mu\text{m}$  auf  $3 \mu\text{m}$  vorliegt. Neben der Oberflächentopologie limitiert ebenso der auftretende Kontaktwiderstand die Ladungsträgermobilität maßgeblich. So zeigten Gundlach et al., dass der Einfluss des Kontaktwiderstandes mit Verringerung der Transistorkanallänge als dominierender Parameter für die Limitierung der Leistungsfähigkeit des Bauelements anzusehen ist [GZN<sup>+</sup>06].

## 5.5 Strukturierung des aktiven Transistorbereichs

In elektronischen Applikationen, die Transistoren als Bauelemente beinhalten, ist neben einer hohen Transitfrequenz ein geringer Stromverbrauch im ausgeschalteten Zustand des TFTs (*off*-Strom) essentiell. Die Gründe hierfür sind vielfältig und abhängig von der Anwendung des Transistorelements. So führt ein ausgeprägter *off*-Strom im Allgemeinen zu einem höheren Energieverbrauch und verhindert die Realisierung von energieeffizienten Systemen. Im Bereich von digitalen Logikschaltungen können *off*-Ströme die sichere Unterscheidung von *High*- bzw. *Low*-Pegeln beeinflussen oder das Übersprechen (engl.: *Crosstalk*) zwischen benachbarten Logikbausteinen zur Folge haben. Ebenso dürfen Ansteuertransistoren, die in der Display-Technologie angewandt werden, lediglich maximale Ströme im ausgeschalteten Zustand des Transistors  $I_{off}$  von  $10 \text{ pA}$  aufweisen, damit eine Kontrastdegradation vermieden wird [HGv<sup>+</sup>02]. Zur Realisierung dieser Bedingung ist eine Strukturierung des Halbleiters unabdingbar.

In den vorangegangenen Kapiteln wurden lediglich Integrationsroutinen vorgestellt, bei denen eine ganzflächige Deposition des aktiven Halbleiters durchgeführt wurde, so dass periphere Ströme die TFT-Charakteristik im ausgeschalteten Zustand beeinflussen. In der Literatur sind verschiedene Möglichkeiten zur Limitierung des Halbleiters auf den aktiven TFT-Bereich bekannt. So kann nach der Integration der Dünnschichttransistoren der aktive Transistorbereich durch fotolithographische Prozesse definiert und das Halbleitermaterial durch Ätzprozesse abgetragen werden [KCH<sup>+</sup>00], [KDP02]. Hierbei sei allerdings anzumerken, dass konventionelle Fotolacke auf Basis des Lösungsmittels Propylenglycolmonomethyletheracetat (PGMEA) organische Halbleitermaterialien schädigen und speziell bei TFTs in *Bottom Gate Bottom Contact* Architektur die Leistungsfähigkeit des Bauelements maßgeblich beeinflussen [XOW<sup>+</sup>15]. Um den Einfluss des Fotolacksystems während des Integrationsprozesses zu minimieren, kann eine Schutzschicht eingeführt wer-

den, die eine sichere Trennung zwischen Fotolack und organischem Halbleiter ermöglicht. Ebenso ist eine Änderung der Prozessreihenfolge zu *Top Gate* Architekturen denkbar, sofern eine Schädigung des Halbleiters durch die Deposition der dielektrischen Schicht ausgeschlossen werden kann. Ferner sind gegenwärtig Negativlacke auf Basis von orthogonalen Lösungsmitteln kommerziell erhältlich, die eine hohe Verträglichkeit mit organischen Halbleitermaterialien aufweisen [XOW<sup>+</sup>15].

Eine Alternative zu den beschriebenen fotolithographischen Prozessen ist in der Literatur durch die Verwendung von Schattenmasken während des Depositionsprozesses des Halbleitermaterials gegeben [BEH<sup>+</sup>03]. Hierdurch wird die Deposition des Halbleiters ohne nachträgliche Strukturierung ermöglicht. Ferner haben verschiedene Forschungsgruppen gezeigt, dass ein isolierendes V-förmiges Schichtprofil, hergestellt aus Fotolack- bzw. SiO<sub>2</sub>- und Siliziumnitrid (Si<sub>3</sub>N<sub>4</sub>)-Schichten, als integrierte Schattenmaske auf dem Transistorsubstrat fungieren kann. Hierbei wird während der Deposition die Kontinuität der Halbleiterschicht entlang des Profils gebrochen und die Anzahl der peripheren Strompfade minimiert [PRL<sup>+</sup>01], [VSM<sup>+</sup>06].

In diesem Kapitel wird die Entwicklung eines alternativen Konzepts zur Reduzierung parasitärer Strompfade auf Basis des in Kapitel 5.4 eingeführten Prinzips der Rückseitenbelichtung vorgestellt. Im Anschluss an die Beschreibung der entwickelten Integrationsroutine erfolgt eine Analyse der Auswirkung des Prozesses sowohl auf das Oberflächenprofil als auch auf die elektrischen Eigenschaften der integrierten TFTs.

## Integration

Um die Auswirkungen der Strukturierung der dielektrischen Schicht auf die elektrischen Eigenschaften von Dünnschichttransistoren zu analysieren, werden sowohl unstrukturierte als auch strukturierte TFTs integriert. In beiden Fällen werden 4" Borosilikatglas-Wafer (BOROFLOAT 33, bezogen von der SIEGERT WAFER GmbH) als Substrat verwendet. Die Integration erfolgt analog zu der in Kapitel 5.2 beschriebenen Routine mit Al als Opferschicht unter Anpassung der fotolithographischen Prozesszeiten (siehe Anhang). Ein Überblick über den angepassten Integrationsablauf für den Strukturierungsprozess zeigt Abbildung 5.26. Im Fall des TFTs mit strukturiertem aktiven Bereich erfolgt nach dem Entfernen der verbliebenen Opferschicht ein erneutes Aufbringen einer Fotolackschicht. Die fotosensitive Schicht wird durch die Rückseite des Substrats belichtet, wobei die bisher integrierten Elektroden und Metallisierungsebenen als Maskenebene fungieren.

Im Anschluss an den Entwicklungsprozess in einer wässrigen NaOH-Lösung dient der verbliebene Fotolack als Schutz für die Transistor- und Metallisierungsbereiche. Das Dielektrikum in den ungeschützten Bereichen wird mittels eines nasschemischen Ätzprozesses in einer wässrigen NaOH-Lösung entfernt. Im Anschluss an eine Reinigungssequenz bestehend aus Aceton, Isopropanol und VE-Wasser erfolgt das thermische Aufdampfen des aktiven Halbleitermaterials (siehe Kapitel 4.3.1). In beiden Fällen wird als aktives Halbleitermaterial eine 20 nm dicke Schicht bestehend aus 2,6-bis(4-(alkyloxy)phenyl)dithieno[3,2-b:2',2'-d]thiophen (DNTT) verwendet.

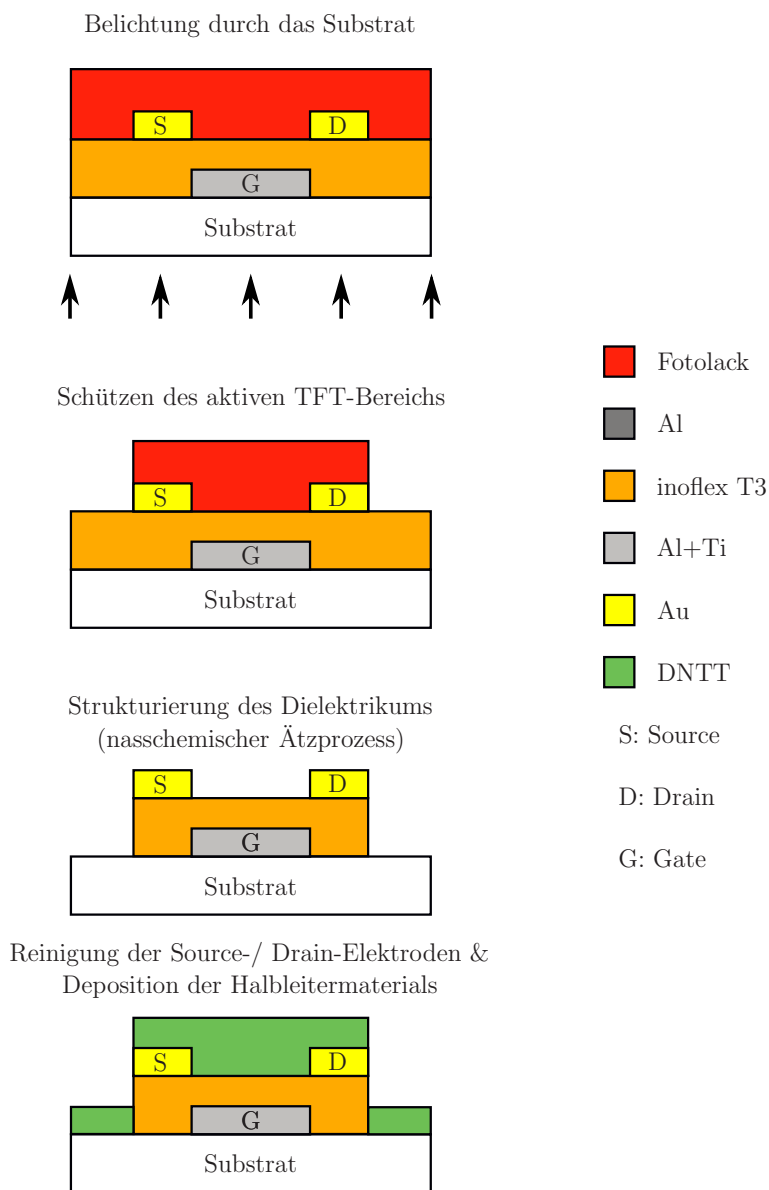


Abbildung 5.26: Übersicht über die Prozessfolge zur Strukturierung des Dielektrikums inoflex T3 von *Bottom Gate Bottom Contact* TFTs.

## Diskussion

Abbildung 5.27 (a) zeigt die Eingangskennlinien eines unstrukturierten sowie eines strukturierten DTT-basierten TFTs im Vergleich <sup>6</sup>. Im Fall des unstrukturierten TFT kann die Schwellenspannung  $V_{Th}$  auf  $-1,3\text{ V}$  bei einer Hysterese  $\Delta V_{Th}$  von  $400\text{ mV}$  bestimmt werden. Die Einschaltspannung  $V_{on}$  beträgt  $-0,7\text{ V}$  und  $-0,5\text{ V}$  in Vorwärts- bzw. Rückwärtsmessrichtung. Sowohl  $\Delta V_{Th}$  als auch der Subschwelligensspannungsstromanstieg  $S$  von  $600\text{ mV/dec}$  indizieren eine hohe Dichte an Fallenzuständen, die die Leistungsfähigkeit des Transistors beeinflussen. Ebenso weist die Strommodulation  $I_{on}/I_{off}$  lediglich einen Wert von  $2 \cdot 10^2$  auf. Hierfür zeigt sich primär der hohe  $I_{off}$ -Stromwert von  $20\text{ nA}$  verantwortlich, wodurch eine hohe intrinsische Leitfähigkeit des Halbleiters DTT indiziert wird. Vollbrecht et al. zeigten, dass der Halbleiter DTT neben seiner Anwendung in Transistorapplikationen ebenso als Lochinjektionsschicht in OLEDs eingesetzt werden kann [1]. Zusätzlich zu der hohen intrinsischen Leitfähigkeit treten aufgrund der ganzflächigen Deposition des Halbleiters, wie bereits in Kapitel 3.6 beschrieben, parasitäre, periphere Strompfade außerhalb des aktiven Transistorbereichs auf. Während die nicht durch das Gate-Potential beeinflussten halbleitenden Bereiche vornehmlich zum Leckstrom beitragen, beeinflussen die halbleitenden Gebiete oberhalb der Gate-Metallisierung aufgrund der durch die Gate-Spannung induzierten Leitfähigkeitsvariation die Konduktanz des Tran-

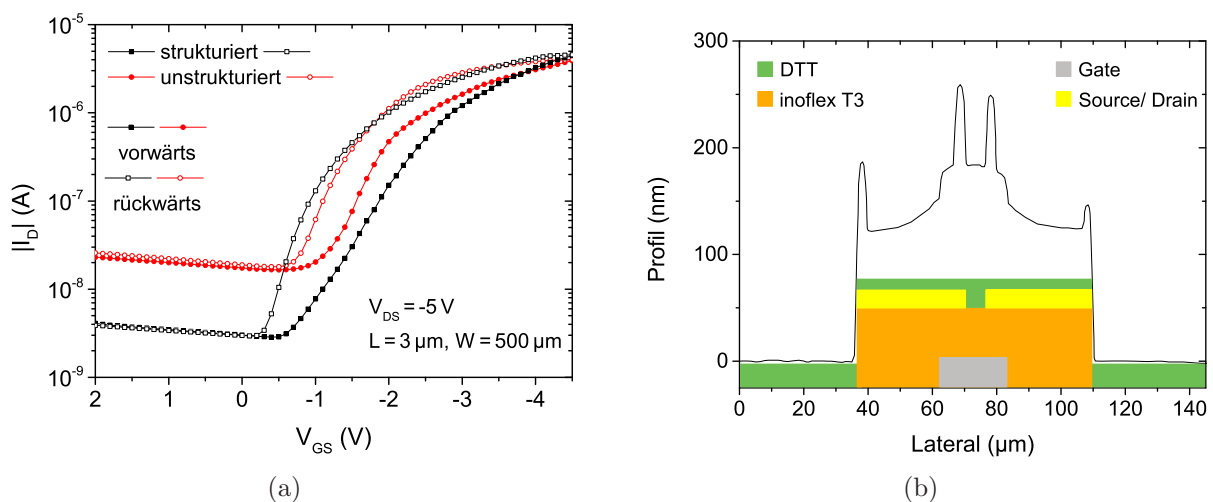


Abbildung 5.27: (a) Eingangskennlinien eines unstrukturierten sowie eines strukturierten DTT-basierten *Bottom Gate Bottom Contact* TFTs im Vergleich. (b) Profilmessung des zugehörigen strukturierten TFTs.

<sup>6</sup>Die Ergebnisse bezüglich des Einflusses der Strukturierung des Dielektrikums auf die Leistungsfähigkeit von DNTT-basierten TFTs wurden teilweise in [10] veröffentlicht.

sistors [KDP02].

Abbildung 5.27 (b) zeigt die Profilmessungen eines strukturierten DTT-basierten TFTs. Die Spitzen an den Kontaktkanten resultieren aus dem Strukturierungsprozess via *Lift Off*. Die sonstigen Erhöhungen im Kontaktbereich können der Überlappung zwischen der Source-/ Drain- und Gate-Elektrode zugeordnet werden. Ferner wird ersichtlich, dass die Regionen außerhalb des Transistorbereichs erfolgreich durch den nasschemischen Ätzprozess strukturiert werden konnten. Es bleibt anzumerken, dass das Dielektrikum in diesem Bereich nicht vollständig entfernt wurde, da die relative Distanz zwischen Source-/ Drain-Elektroden und Substrat 135 nm bei einer Dielektrikumsdicke von 150 – 180 nm beträgt. Da das aktive Halbleitermaterial jedoch lediglich eine Schichtdicke von 20 nm besitzt und Aufdampfprozesse eine geringe Konformität aufweisen [Hil14], kann von einer geringen Kantenbedeckung des Halbleiters an den Ätzkanten ausgegangen werden, resultierend in einer effektiven Reduzierung der peripheren Strompfade. Bei Betrachtung der Eingangskennlinie des strukturierten DTT-basierten TFTs wird dies durch die Verringerung von  $I_{off}$  um nahezu eine Dekade ersichtlich, wodurch eine Strommodulation  $I_{on}/I_{off}$  von  $10^3$  ermöglicht wird. Trotz der Begrenzung der zusätzlichen Strompfade ist der Einfluss des Strukturierungsprozesses auf die Ladungsträgermobilität  $\mu_{sat}$  im Sättigungsbereich lediglich marginal, sodass diese von einem Wert von  $0,16 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  im unstrukturierten Fall auf  $0,13 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  im strukturierten Fall verringert wird.

Ferner zeigt sich eine Variation der Schwellenspannung  $V_{Th}$  und der Einschaltspannung  $V_{on}$  von  $-1,3 \text{ V}$  auf  $-1,5 \text{ V}$  bzw.  $-0,7 \text{ V}$  auf  $-0,5 \text{ V}$ . Ebenso ist ein Anstieg der Hysteresis  $\Delta V_{Th}$  von  $400 \text{ mV}$  auf  $1,1 \text{ V}$ , sowie des Subschwellsenpannungsstromanstiegs  $S$  von  $600 \text{ mV/dec}$  auf  $700 \text{ mV/dec}$  zu verzeichnen. All dies indiziert eine Erhöhung der Fallenzustandsdichte im aktiven TFT-Bereich. Vor allem die Grenzbereiche zwischen Source-/ Drain- und Gate-Elektrode sind als kritisch anzusehen (rot umrandete Bereiche in Ab-

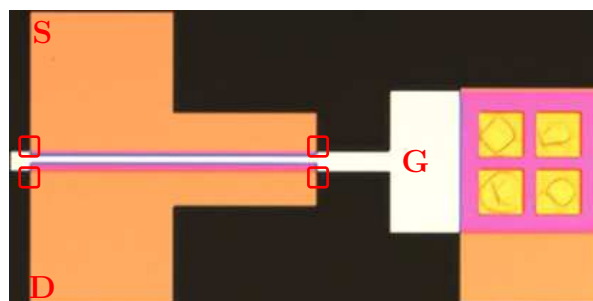


Abbildung 5.28: Optische Konfokalmikroskopaufnahme eines integrierten TFTs in konventioneller *Bottom Gate Bottom Contact* Architektur (S: Source, D: Drain, G: Gate). Die rot umrandeten Bereiche sind als kritisch für den Ätzprozess anzusehen.

bildung 5.28). Durch das isotrope Ätzverhalten der NaOH-Lösung können speziell diese Bereiche beschädigt und ungesättigte OH-Gruppen im Dielektrikumsbereich generiert werden. Ebenso kann der durch den Ätzprozess entstehende, graduelle Flankenverlauf des Dielektrikums das kristalline Wachstum des Halbleiters beeinflussen, resultierend in Morphologieunterschieden innerhalb der halbleitenden Schicht. Beides generiert schließlich zusätzliche Fallenzustände, die die Leistungsfähigkeit des Bauelements beeinflussen. Eine Optimierung der Strukturierung der dielektrischen Schicht kann durch einen anisotropen Trockenätzprozess ermöglicht werden.

## 5.6 Modifikation der Austrittsarbeit metallischer Elektroden

Betrachtet man die Ausgangskennlinienfelder der in dieser Arbeit vorgestellten Dünnschichttransistoren, so wird ersichtlich, dass diese durch einen S-förmigen Drain-Strom  $I_D$ -Verlauf im niedrigen  $V_{DS}$ -Bereich gekennzeichnet sind. Wie bereits diskutiert, ist dieser Verlauf charakteristisch für Transistoren, deren Ladungsträgerinjektion durch die Kontaktqualität zwischen den metallischen Elektroden und dem aktiven Halbleitermaterial limitiert wird. Aus der Literatur ist bekannt, dass der Kontaktwiderstand abhängig ist von der Höhe der Schottky-Barriere, deren Ursprung die Energieanpassung zwischen dem Halbleiter und den Metallelektroden ist [KOKF07], [JKS<sup>+</sup>10], von der Qualität der Halbleiterschicht nahe der Metallkanten [NGJ03], [FLLC13] und dem lokalen elektrischen Feld an der Metall-Halbleiter-Grenzfläche [BTS<sup>+</sup>12]. Verschiedene Forschungsgruppen zeigten, dass eine Optimierung der Injektionseigenschaften von metallischen Oberflächen durch die Verwendung von selbstorganisierenden molekularen Monoschichten (SAM, siehe Kapitel 3.4) möglich ist.

Zur Bestimmung der vorherrschenden Kontaktwiderstände in Dünnschichttransistoren sind verschiedene Methoden in der Literatur bekannt. Zu den am weitesten verbreiteten Methoden zählen die Transferlängen-Methode (TLM) [MMT<sup>+</sup>07] und die Vier-Punkt-Methode [PCNF04]. Bei der Transferlängen-Methode wird eine typische Zwei-Punkt-Messung (Anlegen einer Spannung  $V$  und Messen eines Stromes  $I$  über ein Messspitzenpaar) an einigen identischen Transistoren unterschiedlicher Kanallänge  $L$  durchgeführt. Durch das Auftragen des so bestimmten Gesamtwiderstands  $R_{Total}$  über die Kanallänge  $L$  kann schließlich der Kanalwiderstand  $R_{Ch}$  sowie der Kontaktwiderstand  $R_C$  des



TFTs bestimmt werden. Bei der Vier-Punkt-Methode hingegen werden zwei zusätzliche Messelektroden benötigt, um den Kontaktwiderstand zu bestimmen. Hierbei erfolgt die Messung an einem einzelnen TFT, der zwei zusätzliche Kontaktelektroden am Rand des Kanalbereichs aufweist. Die gemessene Spannung an den zusätzlichen Kontaktelektroden spiegelt die zugehörige Kanalspannung wieder. Der Spannungsabfall an den Source- und Drain-Elektroden kann durch Extrapolation des Kanalspannungsgradienten zurück zu den Source- und Drain-Kontakten bestimmt werden. Beide Methoden erlauben die Bestimmung des Kontaktwiderstands der Metall-Halbleiter-Grenzfläche sowie des Schichtwiderstands des TFT-Kanalbereichs. Nichtsdestotrotz benötigt die Vier-Punkt-Methode ein spezielles Elektrodenlayout, während die Anwendung der Transferlängen-Methode durch die Variation der TFT-Parameter, hervorgerufen durch unvermeidliche Prozessvariationen, begrenzt wird.

Daher ist die Entwicklung einer Methode, die sich durch die Verwendung eines einzelnen TFTs ohne zusätzlich integrierte Elektroden auszeichnet, erstrebenswert. Bis zum gegenwärtigen Zeitpunkt konnte sich noch keine Methode für TFTs mit nicht-linearem Injektionsverhalten in der Literatur durchsetzen. Um dennoch die Injektionseigenschaften der DNTT-basierten TFTs mit und ohne Kontaktelektrodenmodifikation beurteilen zu können, wird schließlich der Ansatz von Torricelli et al. verfolgt [TGCKV14]. So modellieren Torricelli et al. den Spannungsabfall am Kontakt  $V_C$  durch

$$V_C = R_S \cdot I_D + V_{inj}. \quad (5.3)$$

Hierbei stellt  $R_S$  den parasitären Widerstand, hervorgerufen durch die Variation der Schichtqualität des Halbleiters am Kontakt, und  $V_{inj}$  das Kontaktpotential, das aufgebracht werden muss, um eine Ladungsträgerinjektion in die Halbleiterschicht zu ermöglichen, dar. Neben dem typischen S-förmigen Verlauf des TFTs im Ausgangskennlinienfeld zeigt sich bei injektionslimitierten Dünnschichttransistoren ebenso der Einfluss des Kontaktwiderstands durch ein nicht monotones Verhalten der Ausgangskonduktanz  $g_O$

$$g_O = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}=const.} \quad (5.4)$$

(Abbildung 5.29 (a)). Im Wertebereich von  $V_{DS} < V_{inj}$  ist der Verlauf der Ausgangskonduktanz  $g_O$  durch einen superlinearen Anstieg gekennzeichnet. In diesem Bereich ist der Drain-Strom  $I_D$  injektionslimitiert und steigt mit zunehmendem longitudinalen elektrischen Feld  $V_{DS}$  an. Sobald die Bedingung  $V_{DS} > V_{inj}$  erfüllt ist, zeigt sich ein linearer An-

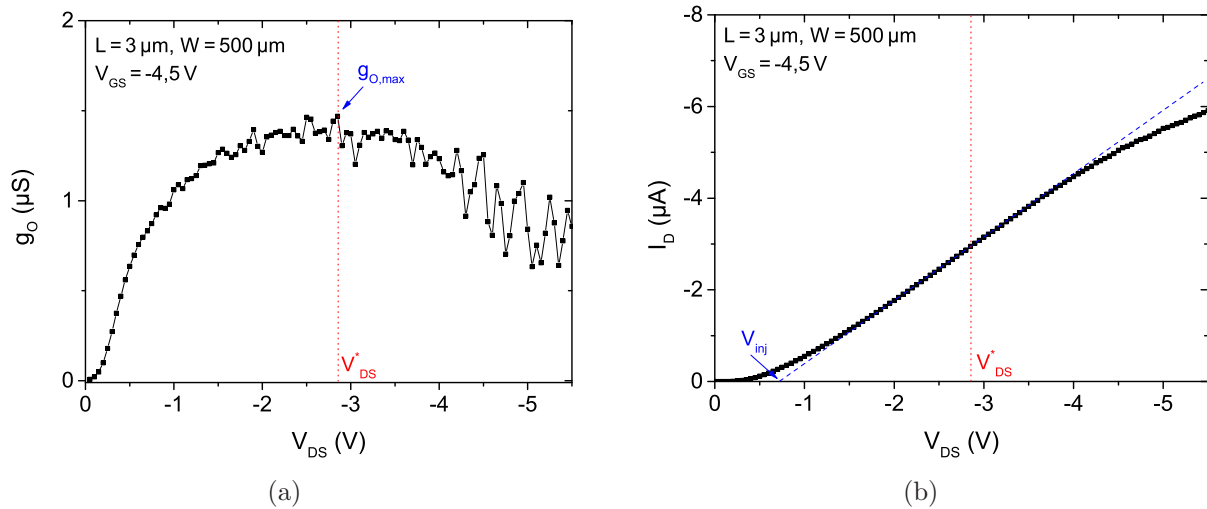


Abbildung 5.29: (a) Ausgangskonduktanz und (b) Ausgangskennlinie einer typischen DNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur ( $V_{inj}$ : Injektionsspannung).

stieg von  $I_D$  mit zunehmendem longitudinale elektrisches Feld. Hierdurch wird indiziert, dass der Injektionsprozess effizient ist und der Source-Kontakt ausreichend Ladungsträger für den Kanaltransport bereitstellen kann. Ferner weist die Ausgangskonduktanz ein Maximum  $g_{O,max}$  bei einem Spannungswert  $V_{DS}^*$  auf. Der Wert von  $V_{inj}$  kann durch das Anlegen einer Tangente in diesem Punkt bestimmt werden. Wie Abbildung 5.29 (b) zeigt, ergibt sich  $V_{inj}$  aus dem Schnittpunkt der resultierenden Geraden mit der  $V_{DS}$ -Achse. Sofern die Bedingung  $V_{DS} > V_{DS}^*$  erfüllt ist, weist  $g_O$  ein monoton fallendes Verhalten auf und  $I_D$  ist limitiert durch den Ladungstransport im Kanalbereich [TGCKV14]. Eine Beurteilung des Einflusses eines SAMs auf die Injektionseigenschaften von DNTT-basierten TFTs erfolgt anhand der Änderung des Parameters  $V_{inj}$  und des maximalen Drain-Stroms  $I_{D,max}$  im Sättigungsbereich.

## Integration

Um den Einfluss des SAMs 1-Octanthiol auf die Injektionseigenschaften von DNTT-basierten TFTs in *Bottom Gate Bottom Contact* Architektur bestimmen zu können, werden zwei Probentypen integriert. Den schematischen Aufbau beider Probentypen zeigt Abbildung 5.30. Neben der grundlegenden Integrationsmethode von geschützten DNTT-basierten TFTs (siehe Kapitel 5.2) erfolgt ebenso die Herstellung von Dünnschichttransistoren mit modifizierten Source- und Drain-Elektroden. Hierfür erfolgt die Integration des

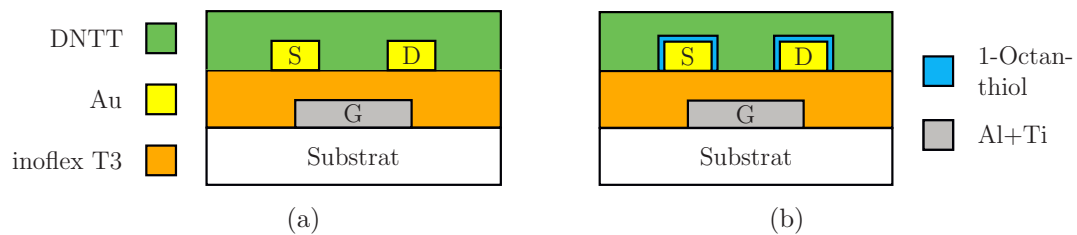


Abbildung 5.30: (a) Schematischer Aufbau eines DNTT-basierten TFTs (a) ohne und (b) mit Kontaktelektrodenmodifikation (S: Source, D: Drain, G: Gate).

TFT-Templats analog zu der grundlegenden Routine von geschützten TFTs. Vor der Deposition des organischen Halbleitermaterials wird das Templat allerdings mit einer Lösung bestehend aus  $160 \mu\text{l}$  1-Octanthiol in 80 ml Ethanol für eine Zeitdauer  $t$  von 1, 5 h bedeckt. Im Anschluss wird das Templat in Ethanol gespült und mittels eines stetigen Stickstoffflusses getrocknet. Abschließend erfolgt das ganzflächige Aufdampfen einer 30 nm dicken DNTT-Schicht unter Hochvakuumbedingungen.

## Diskussion

Abbildung 5.31 (a) zeigt ein für diese Arbeit typisches Ausgangskennlinienfeld eines DNTT-basierten TFTs ohne Oberflächenmodifikation der metallischen Source- und Drain-Elektroden <sup>7</sup>. Der typische S-förmige Verlauf des Ausgangskennlinienfelds im niedrigen  $V_{DS}$ -Bereich wird ersichtlich. Bei einer konstanten Gate-Source Spannung  $V_{GS}$  von  $-3 \text{ V}$  kann der maximale Drain-Strom  $I_D$  zu  $-0,83 \mu\text{A}$  bestimmt werden. Schließlich muss am Drain-Kontakt eine Injektionsspannung  $V_{inj}$  von  $-0,48 \text{ V}$  aufgebracht werden, um eine effiziente Ladungsträgerinjektion zu gewährleisten. DNTT-basierte Dünnschichttransistoren mit 1-Octanthiol modifizierten Source- und Drain-Elektroden zeigen hingegen nur eine marginale Tendenz zu einem S-förmigen Verhalten des Ausgangskennlinienfelds (Abbildung 5.31 (b)). Ebenso steigt  $I_{D,max}$  im Sättigungsbereich bei einer konstanten Gate-Source Spannung  $V_{GS}$  von  $-3 \text{ V}$  um mehr als eine Dekade auf  $-9,56 \mu\text{A}$  an. Ferner kann  $V_{inj}$  auf  $-0,12 \text{ V}$  bestimmt werden. Die Ladungsträgerbeweglichkeit im Sättigungsbereich  $\mu_{sat}$  steigt schließlich von  $0,04 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  auf  $0,74 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ . All dies indiziert die erfolgreiche Anpassung der Austrittsarbeit der in dieser Arbeit verwendeten Au-Elektroden an das Materialsystem DNTT.

Es bleibt anzumerken, dass die Auswahl der verwendeten selbstorganisierenden Monolagen

<sup>7</sup>Die Ergebnisse bezüglich des Einflusses der Modifikation der Kontaktelektroden auf die Leistungsfähigkeit der DNTT-basierten TFTs wurden teilweise in [23] veröffentlicht.

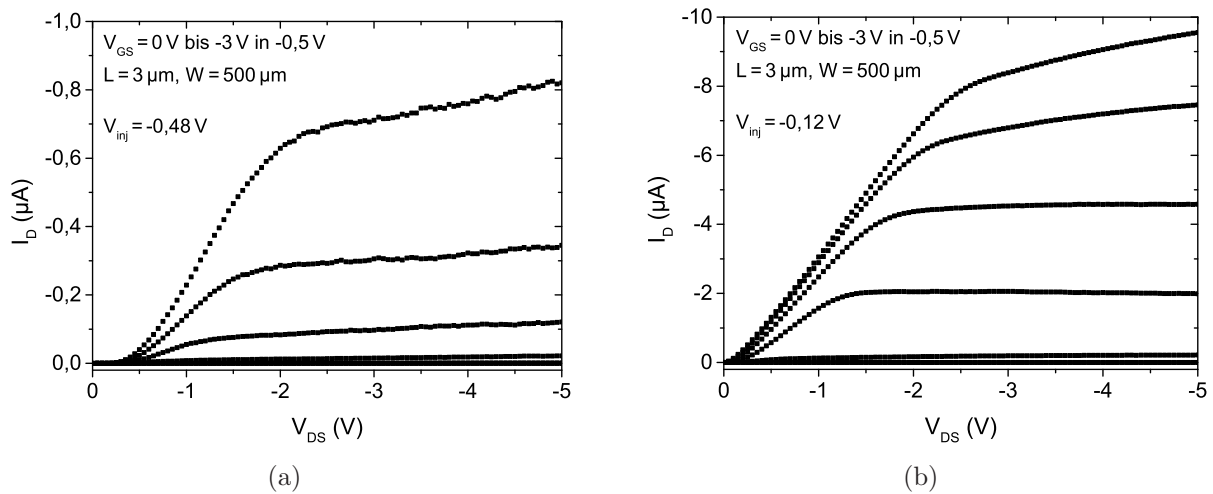


Abbildung 5.31: (a) Ausgangskennlinienfeld eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs (a) ohne und (b) mit Kontaktelektrodenmodifikation.

abhängig vom Energieniveau des Transportorbitals sowie des verwendeten Kontaktelektrodenmaterials ist. Ebenso ist in der Literatur bekannt, dass abhängig vom verwendeten SAM eine Anpassung der Zeitdauer der Elektrodenbehandlung durchgeführt werden muss, um ein möglichst defektfreies Wachstum des SAMs gewährleisten zu können [TTB98].

## 5.7 Foliensubstrate

Die Wahl des Substrates stellt einen maßgebenden Faktor bei der Herstellung von kostengünstigen, innovativen digitalen Applikationen dar. So zeigt sich, dass die Entwicklung von flexiblen Bauelementen das Marktpotential von digitalen Schaltungen signifikant erweitert [DHG]. Allerdings stellt speziell das Einbringen des Freiheitsgrads der Elastizität in die Funktionalität des entwickelten Bauelements eine enorme Herausforderung an die Entwicklung eines Herstellungsprozesses dar. Um die bisherigen steifen Substrate zu ersetzen, werden flexible Substrate benötigt, die, abhängig vom Anwendungsgebiet, Eigenschaften wie dimensionale, thermische und chemische Stabilität, gute Barriereigenschaften gegenüber Feuchtigkeit und Gasen sowie einen niedrigen thermischen Expansionskoeffizienten aufweisen [KLD15]. Für die Herstellung dieser Bauelemente sind drei Substrattypen denkbar - dünne Glasschichten, Metallfolien oder Plastikfolien. Zwar stellen dünne Glasschichten ein qualitativ hochwertiges Material bezüglich thermischer und chemischer Stabilität dar und weisen ein gewisses Maß an Biegsamkeit auf, allerdings limitieren ihre intrin-

sischen spröden Eigenschaften ihren Anwendungsbereich. Metallfolien zeigen eine hohe Temperaturstabilität und bieten eine gute Barriere gegen Feuchtigkeit und Sauerstoff ohne das Problem der Brüchigkeit. Allerdings besitzen sie eine hohe Oberflächenrauigkeit sowie eine limitierte optische Transmission. Weitere einschränkende Faktoren sind durch die begrenzte Anzahl an reversiblen Biegezyklen sowie durch die hohen Materialkosten gegeben [CKH08]. Einen angemessenen Kompromiss zwischen physikalischen, chemischen, mechanischen und optischen Anforderungskriterien stellen Plastikmaterialien auf Basis von Thermoplasten dar, die eine kosteneffiziente Integration von Bauelementen ermöglichen. Insbesondere die vergleichsweise niedrige Glasübergangstemperatur und ein damit verbundenes geringes Temperaturbudget der polymeren Materialkomplexe während des Integrationsprozesses stellen eine enorme Herausforderung dar und begrenzt die verwendbaren Materialsysteme sowie deren Depositionsprozesse. Im Allgemeinen können polymere Substrate in drei Hauptgruppen unterteilt werden - semikristallin aus Schmelze, amorph aus Schmelze und amorph aus Lösung [MLM<sup>+</sup>07]. Thermoplastische semikristalline Polymere umfassen unter anderem Polyethylenterephthalat (PET), Polyethylenaphthalat (PEN) und Polyetheretherketon (PEEK), wobei deren Glasübergangstemperaturen im Bereich von 78 – 143 °C liegen. Die Gruppe der nicht-kristallinen Thermoplasten, die aus der Schmelze aufgebracht werden können, umfasst unter anderem Polycarbonat (PC) und Polyethersulfon (PES), deren Glasübergangstemperatur auf 150 °C bzw. 220 °C bestimmt werden kann. Die letzte Gruppe, der amorphen Polymere, die aus Lösung prozessiert werden, umfasst unter anderem Polyarylat (PAR), Polynorbornen (PNB) und Polyimid (PI) mit Glasübergangstemperaturen im Bereich von 325 – 350 °C [MLM<sup>+</sup>07], [CKH08], [KLD15]. Trotz des erhöhten Temperaturbudgets der amorphen Polymere begrenzen im Allgemeinen ihre geringe mechanische und chemische Resistenz bzw. ihre hohe Opakheit ihr potentiell Anwendungsfeld, wodurch sich vornehmlich die oben genannten semikristallinen Materialien im Bereich der flexiblen Elektronik durchsetzen konnten [SZH<sup>+</sup>02], [EKH<sup>+</sup>04], [MHI<sup>+</sup>06], [ZHF<sup>+</sup>07], [PLZ<sup>+</sup>17], [3], [4].

In diesem Abschnitt wird die in Kapitel 5.2 entwickelte Integrationsroutine für geschützte TFTs auf flexible Substrate übertragen. Ebenso wird der Einfluss der Oberflächenrauigkeit der verwendeten Plastikfolien auf die elektrischen Eigenschaften der integrierten TFTs analysiert.

## Integration

Das biaxial orientierte, semikristalline Materialsystem PET weist im Allgemeinen eine hohe chemische Stabilität gegenüber den verwendeten Chemikalien des in Kapitel 5.2 beschriebenen Integrationsprozesses auf [4], [6], [12]<sup>8</sup>. Daher werden im Zuge dieser Arbeit PET-Folien (bereitgestellt von Mitsubishi Polyester Film GmbH, Markenname: Hostaphan) mit verschiedenen Stärken und Oberflächeneigenschaften als Substrat verwendet. Eine Übersicht über ausgewählte physikalische Eigenschaften der verschiedenen PET Substrate zeigt Tabelle 5.3. Vor dem Beginn der Integrationsroutine für Dünnschichttransistoren wird das Substrat mit einer Reinigungssequenz bestehend aus Aceton, Isopropanol und VE-Wasser gereinigt. Die Trocknung erfolgt unter einem stetigen Stickstoff-Fluss. Um die Dimensionsstabilität des Substrats zu optimieren und hierdurch eine Justierung der verschiedenen Maskenebenen zu ermöglichen, erfolgt im Anschluss eine thermische Behandlung des Substrats für eine Zeitdauer von 15 min bei einer Temperatur von 150 °C. Hierdurch wird der Einfluss eines unkontrollierten Schrumpfprozesses infolge der Temperaturbelastung des Substrates während der Transistorintegration minimiert. Die Integration von TFTs erfolgt im Anschluss unter Anpassungen der Prozesszeiten (siehe Anhang) analog zu der in Kapitel 5.2 beschriebenen Routine eines geschützten Dünnschichttransistors. Es bleibt anzumerken, dass während der Deposition des Fotolacks bzw. des Dielektrikums ein Polydimethylsiloxan (PDMS)-Substrat als Träger für die Folie verwendet wird. Dieses ermöglicht mittels adhäsiver Kräfte die klebstofflose Fixierung der Folie während der Schleuderbeschichtungsprozesse.

Tabelle 5.3: Physikalische Eigenschaften der verwendeten PET-Folien.

Hostaphan	Dicke [ $\mu\text{m}$ ]	Rauheit [nm] ( <i>Ra</i> -Wert)	Trübung [%]	Schrumpf [%] (150 °C, 15 min)		Quelle
				längs	quer	
RNK	36	25	2,7	1,0	0,1	[MITc], [Pet20]
GN	50	10	0,5	1,0	0,1	[MITb]
DOKO	36	5	3	1,2	0,3	[MITa]

<sup>8</sup>Der Transfer der Integrationsroutine auf flexible Substrate fand in Kooperation mit Fábio F. Vidor (Universität Paderborn / UFRGS) statt.

## Diskussion

Abbildung 5.32 (a) zeigt die Eingangskennlinie eines DNTT-basierten TFTs mit einer Hostaphan RNK Folie als Substrat. Die Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  kann auf  $-2,8\text{ V}$  bzw.  $-0,7\text{ V}$  für die Vorwärtsmessrichtung bestimmt werden. Die Hysterese  $\Delta V_{Th}$  und  $\Delta V_{on}$  beträgt  $1,2\text{ V}$  bzw.  $0,5\text{ V}$ . Der hohe Oberflächenrauigkeitswert  $Ra$  der Folie von  $25\text{ nm}$  beeinflusst die Depositionsqualität der Isolationsschicht und ermöglicht die Ausbildung von Fallenzuständen im Dielektrikum sowie verstärkten Streuprozessen für Ladungsträger an der Halbleiter-Dielektrikum-Grenzfläche. Als Resultat kann die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  lediglich auf einen Wert von  $7 \cdot 10^{-4}\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bestimmt werden. Ebenso weist der Subschwelligkeitsstromanstieg  $S$  einen Wert von  $800\text{ mV/dec}$  bzw.  $500\text{ mV/dec}$  für Vorwärts- bzw. Rückwärtsmessrichtung bei einer Strommodulation  $I_{on}/I_{off}$  von  $4 \cdot 10^3$  auf. Ferner zeigt sich, dass die Ausbeute an funktionsfähigen Dünnschichttransistoren im Anschluss an den Integrationsprozess gering ist. So können lokale Rauigkeitsmaxima des Foliensubstrats den aktiven Transistorbereich durchdringen und damit die Funktionsfähigkeit des TFTs zerstören. Aus der Literatur ist bekannt, dass die Einführung einer zusätzlichen Planarisierungsschicht zur Optimierung der Leistungsfähigkeit der TFTs beitragen kann [CBLJ08], [KCK+08]. Aus diesem Grund erfolgte vor der Integration der TFTs das Aufbringen einer zusätzlichen Schicht bestehend aus inoflex T3 (Planarisierungsschicht) analog zu der in Kapi-

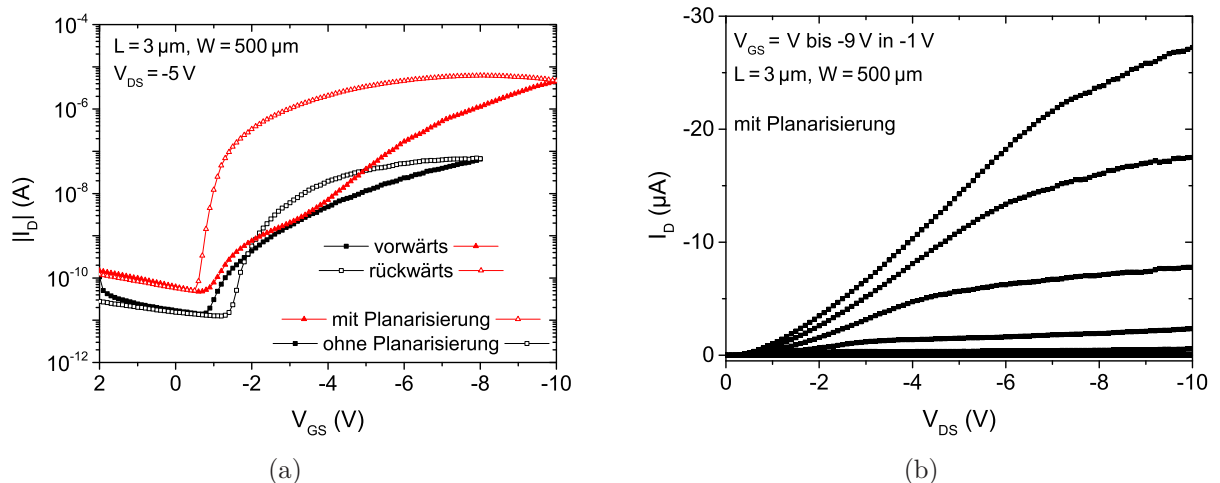


Abbildung 5.32: (a) Eingangskennlinien eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs ohne und mit Planarisierungsschicht im Vergleich. Als Substrat wurde eine Hostaphan RNK Folie verwendet. (b) Zugehöriges Ausgangskennlinienfeld des integrierten TFTs mit Planarisierungsschicht.

tel 5.1 beschriebenen Routine. Die Eingangskennlinie eines DNTT-basierten TFTs mit Planarisierungsschicht ist ebenfalls in Abbildung 5.32 (a) dargestellt. Neben einer angestiegenen Transistorausbeute wird eine Erhöhung des Drain-Stroms  $I_D$  ersichtlich. So erhöht sich die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  um nahezu eine Dekade und kann auf  $0,03 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  und  $0,07 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  im Vorwärts- bzw. Rückwärtsmessrichtung bestimmt werden. Ebenso zeigt sich ein Anstieg der Strommodulation  $I_{on}/I_{off}$  von  $4 \cdot 10^3$  auf  $9 \cdot 10^4$ . All dies indiziert, dass ein gewisses Maß an herstellungsbedingten Unebenheiten des PET-Foliensubstrats ausgeglichen wird, resultierend in einer Verringerung der Streuprozesse der Ladungsträger an der Halbleiter-Dielektrikum-Grenzfläche. Trotz der genannten Optimierungen der elektrischen Parameter weist die Schwellenspannung  $V_{Th}$  eine Verschiebung von  $-2,8 \text{ V}$  auf  $-4,8 \text{ V}$  mit einer ausgeprägten Hysterese von  $3,1 \text{ V}$  auf. Ebenso kann der Subschwelligkeitsstromanstieg  $S$  auf  $1 \text{ V/dec}$  in Vorwärts- und  $250 \text{ mV/dec}$  in Rückwärtsmessrichtung bestimmt werden. Hieran wird ersichtlich, dass eine signifikante Anzahl an Fallenzuständen vorliegt, die im Laufe der Messung gesättigt werden und dementsprechend während des Rückwärtsmessdurchlaufs nicht mehr zur Verfügung stehen. Daher kann eine Wechselwirkung des Dielektrikums mit der Planarisierungsschicht während des Depositions- und Härtingsprozesses nicht ausgeschlossen werden. Trotz der Verbesserung der Leistungsfähigkeit der TFTs, die auch durch das Ausgangskennlinienfeld (Abbildung 5.32 (b)) ersichtlich wird, führt der zusätzlich eingeführte Prozess zu einer Erhöhung der Integrationskomplexität. Um diesem entgegenzuwirken und Wechselwirkungsphänomene zwischen dem Dielektrikum und der Planarisierungsschicht ausschließen zu können, wurden schließlich Dünnschichttransistoren auf PET-Substraten mit optimierten Oberflächeneigenschaften integriert. Abbildung 5.33 (a) zeigt die Eingangskennlinien von DNTT-basierten TFTs, integriert auf dem Foliensubstrat Hostaphan GN ( $Ra$ -Wert von  $10 \text{ nm}$ ) bzw. DOKO ( $Ra$ -Wert von  $5 \text{ nm}$ ). Die Dünnschichttransistoren, integriert auf dem Substrat Hostaphan GN, weisen vergleichbare Werte bezüglich  $\mu_{sat}$  und  $S$  zu dem planarisierten Hostaphan RNK Substrat auf. So kann die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  auf  $0,02 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  und der Subschwelligkeitsstromanstieg  $S$  auf  $1,2 \text{ V/dec}$  und  $400 \text{ mV/dec}$  für die Vorwärts- bzw. Rückwärtsmessrichtung bestimmt werden. Erneut ist die Transistorcharakteristik durch eine hohe Anzahl an Fallenzuständen gekennzeichnet, die während der elektrischen Charakterisierung in Vorwärtsmessrichtung gesättigt werden, resultierend in einer signifikanten Variation von  $S$ . Ferner zeigt sich eine Reduktion der Schwellenspannung  $V_{Th}$  von  $-4,8 \text{ V}$  auf  $-2,7 \text{ V}$  bei einer Hysterese  $\Delta V_{Th}$  von  $1,6 \text{ V}$ . Dies bestärkt die These einer



potentiellen Wechselwirkung zwischen der Planarisierungsschicht und dem Dielektrikum im Falle des Hostaphan RNK Substrats.

Die Folie Hostaphan DOKO weist aufgrund der geringen Oberflächenrauigkeit  $Ra$  von 5 nm die besten Eigenschaften zur Verwendung als Substrat in der flexiblen Elektronik auf. Die Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  kann auf  $-0,5$  V bzw. 0 V bei einer geringen Hysterese  $\Delta V_{Th}$  von 300 mV bzw.  $\Delta V_{on}$  von 400 mV bestimmt werden. Der deutlich geringere Subschwelligkeitsstromanstieg  $S$  von 320 mV/dec sowie die optimierte Ladungsträgerbeweglichkeit im Sättigungsbereich  $\mu_{sat}$  von  $0,08 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  indiziert eine deutliche Reduzierung der Fallenzustände in der Isolationsschicht bzw. an der Halbleiter-Dielektrikum-Grenzfläche. Hierdurch ergibt sich schließlich eine Strommodulation  $I_{on}/I_{off}$  von  $10^5$ . Trotz bestehender Instabilitäten, die ebenso im Ausgangskennlinienfeld (siehe Abbildung 5.33 (b)) ersichtlich werden, zeigen die TFTs integriert auf dem Substrat Hostaphan DOKO vergleichbare elektrische Parameter wie Dünnschichttransistoren, integriert auf starren Substraten (siehe Kapitel 5.2 und 5.4). Hierdurch wird der erfolgreiche Transfer der in dieser Arbeit entwickelten Integrationsroutine von starren Si-basierten Substraten auf flexible PET-Folien der Stärke von  $36 \mu\text{m}$  ersichtlich.

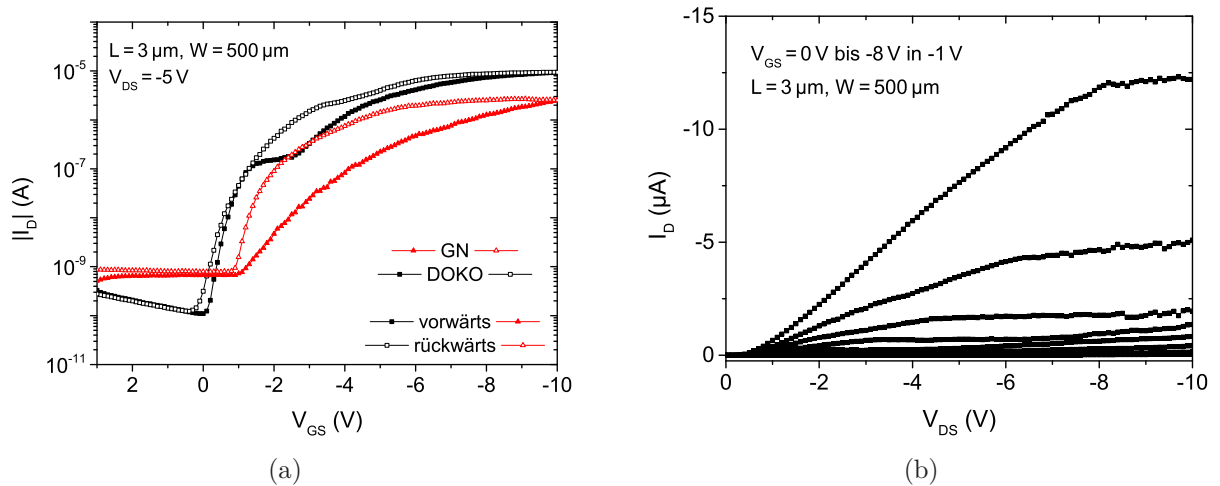


Abbildung 5.33: (a) Eingangskennlinien eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs auf einer Hostaphan GN bzw. Hostaphan DOKO Folie im Vergleich. (b) Zugehöriges Ausgangskennlinienfeld des integrierten TFTs mit der Hostaphan DOKO Folie als Substrat.

## 5.8 Einfluss der Gate-Strukturhöhe

Wie bereits angedeutet, kommt der Strukturgröße der Gate-Elektroden in der *Bottom Gate Bottom Contact* Architektur eine essentielle Bedeutung zu. Im Zuge dieser Arbeit wurden DNTT-basierte Dünnschichttransistoren mit verschiedener Gate-Elektrodenhöhe und -materialien integriert und bezüglich ihres elektronischen Verhaltens charakterisiert. Während die bisher diskutierten TFTs ausschließlich eine Gate-Metallisierung bestehend aus einer Schichtfolge aus Al und Ti mit einer Gesamtschichtdicke von 57 nm (G-Al) verwenden, werden ebenso TFTs mit einer Gate-Elektrode bestehend aus 2 nm Ti und 30 nm Au und somit einer Gesamtschichtdicke von 32 nm (G-Au) integriert. Es sei anzumerken, dass die verwendete Ti-Schicht bei dieser Integrationsroutine lediglich als Haftvermittler zwischen dem thermisch oxidierten Si-Substrat und der Au-Metallisierung dient. Die Strukturierung der Gate-Elektrode erfolgt mit Hilfe der optischen Fotolithographie und nasschemischen Ätzprozessen unter Verwendung einer wässrigen Lösung aus  $\text{NH}_4\text{OH}$  und  $\text{H}_2\text{O}_2$  für die Ti-Schicht bzw. KI und I für die Au-Schicht. Die Integration erfolgt analog zu der in Kapitel 5.2 beschriebenen Routine für geschützte TFTs.

Abbildung 5.34 (a) zeigt die Profilmessung einer Au-Elektrodenstruktur (Breite:  $10\ \mu\text{m}$ , Höhe: 32 nm) und Al-Elektrodenstruktur (Breite:  $10\ \mu\text{m}$ , Höhe: 57 nm) nach der Deposition des Dielektrikums inoflex T3 im Vergleich. Während bei der G-Al Elektrode nach der Deposition des Dielektrikums die Elektrodenhöhe erhalten bleibt, erfolgt bei der G-Au Elektrode eine Reduzierung dieser um circa 10 nm. Ebenso zeigt sich ein Stauchung der parabelförmigen Inhomogenität des Dielektrikums auf der Elektrodenstruktur, so dass ein maximaler Schichtdickenunterschied im Kanalbereich von ca. 2 nm bestimmt werden kann. All dies indiziert eine homogenere Deposition des Dielektrikums bedingt durch die niedrigere Höhe der G-Au Struktur.

Abbildung 5.34 (b) zeigt schließlich die Eingangskennlinien von G-Al sowie G-Au TFTs im Vergleich. Es zeigt sich, dass die reduzierte Elektrodenhöhe einen signifikanten Einfluss auf verschiedene elektrische Parameter der integrierten Dünnschichttransistoren besitzt. Während die G-Al TFTs eine Schwellenspannung  $V_{Th}$  und eine Einschaltspannung  $V_{on}$  von  $-1\ \text{V}$  bzw.  $-0,75\ \text{V}$  aufweisen, reduzieren sich diese Werte für G-Au TFTs auf  $-0,5\ \text{V}$  und  $-0,3\ \text{V}$  für  $V_{Th}$  bzw.  $V_{on}$ . Ebenso verringert sich die Hysterese  $\Delta V_{Th}$  und  $\Delta V_{on}$  mit reduzierter Strukturhöhe von 300 mV auf vernachlässigbare Werte. Es wird ersichtlich, dass die optimierte Homogenität des Dielektrikums maßgeblich zur Reduzierung von Fallenzuständen sowie Streueffekten der Ladungsträger an der Halbleiter-Dielektrikums-Grenzfläche

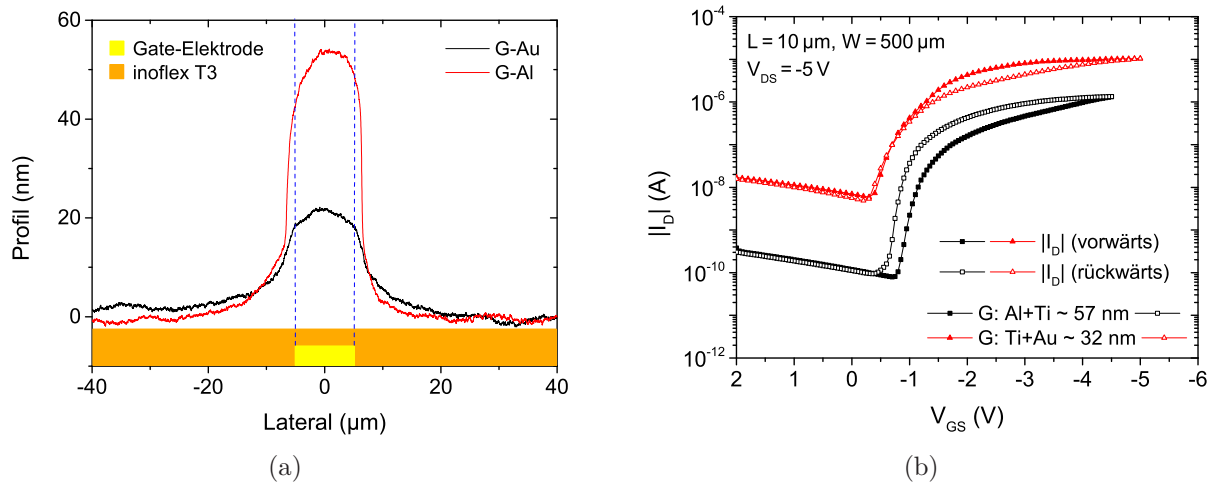


Abbildung 5.34: (a) Profilmessung der Elektrodenstrukturen G-Au (Material: Ti+Au, Breite:  $10 \mu\text{m}$ , Höhe: 32 nm) und G-Al (Material: Al+Ti, Breite:  $10 \mu\text{m}$ , Höhe: 57 nm) nach der Deposition des Dielektrikums inoflex T3 im Vergleich. (b) Eingangskennlinien von DNTT-basierten *Bottom Gate Bottom Contact* TFTs mit unterschiedlichen Gate-Elektroden im Vergleich.

beiträgt. Als Resultat ist ein Anstieg der Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  von  $0,26 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  für G-Al TFTs auf  $1,7 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  für G-Au TFTs zu verzeichnen.

Trotz aller vorgestellten Optimierungen der elektrischen Parameter zeigt sich eine um eine Dekade reduzierte Strommodulation  $I_{on}/I_{off}$  von  $4 \cdot 10^3$  beim Vergleich des G-Au TFTs mit dem G-Al TFT bei einer Drain-Source-Spannung  $V_{DS}$  von  $-5$  V. Speziell der erhöhte Strom im ausgeschalteten Zustand des Transistors  $I_{off}$  trägt zu diesem Verhalten maßgebend bei. Während sowohl Ti als auch Al unter Atmosphärenbedingungen ein stabiles Oxid [ON94], [FWY<sup>+</sup>02] bilden, welche die isolierenden Eigenschaften des Dielektrikums unterstützen, zeigt Au unter Atmosphärenbedingungen keine ausgeprägte Oxidationstendenz. Neben der fehlenden zusätzlichen anorganische Isolationskomponente kann die planarisierte Strukturhöhe der Gate-Elektrode (Höhe: 22 nm) die Ausbildung von peripheren, parasitären Strompfaden in der Halbleiterschicht (Dicke: 30 nm) begünstigen (siehe Kapitel 5.5). Beides kann schließlich zu einer Beeinträchtigung des ausgeschalteten Zustands des TFTs beitragen. Ebenso zeigt sich eine Erhöhung des Subschwelligenspannungsstromanstiegs  $S$  von 150 mV/dec für den G-Al TFT auf 280 mV/dec für den G-Au TFT. An dieser Stelle bleibt anzumerken, dass die Erhöhung des Subschwelligenspannungsstromanstiegs mit der Beeinträchtigung von  $I_{off}$  korreliert ist. So zeigt Abbildung 5.35 (a) die Eingangskennlinien von G-Au TFTs bei verschiedenen Drain-Source-Spannungen

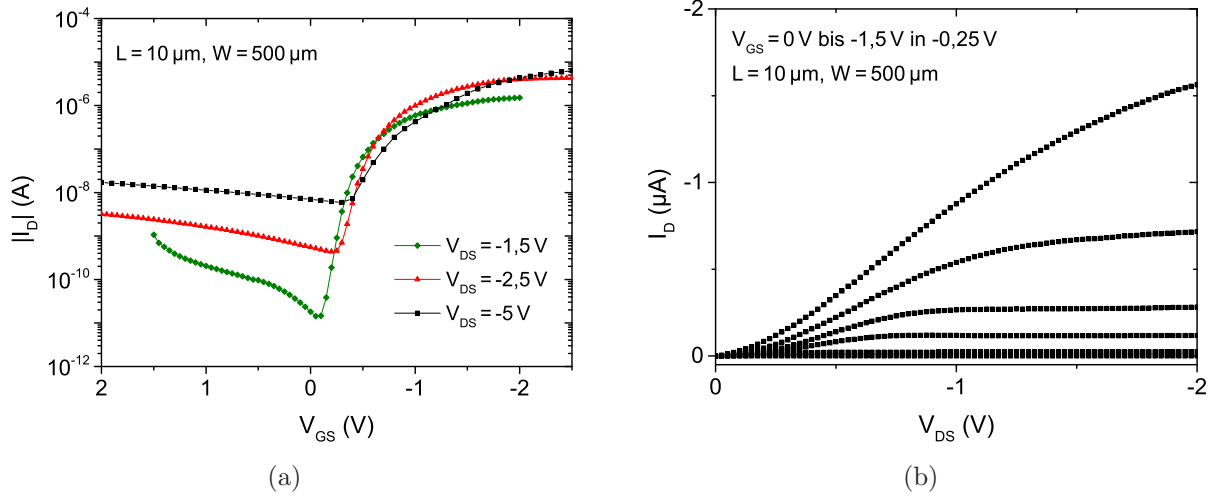


Abbildung 5.35: (a) Eingangskennlinien von DNNTT-basierten *Bottom Gate Bottom Contact* TFTs mit Au als Elektrodenmaterial unter dem Einfluss unterschiedlicher Drain-Source-Spannungen  $V_{DS}$ . (b) Zugehöriges Ausgangskennlinienfeld des integrierten TFTs.

$V_{DS}$ . Es wird ersichtlich, dass mit verringertem  $V_{DS}$  der maximale Drain-Strom im eingeschalteten Zustand des TFTs  $I_{on}$  zwar marginal beeinträchtigt,  $I_{off}$  allerdings wesentlich reduziert wird. Neben der hierdurch optimierten Strommodulation  $I_{on}/I_{off}$  auf einen Wert von  $10^5$  zeigt sich schließlich auch eine Reduzierung von  $S$  auf 80 mV/dec. Dies indiziert, dass verschiedene elektrische Eigenschaften des G-Au TFTs durch das Leckstromverhalten bei erhöhter Drain-Source Spannungen  $V_{DS}$  beeinflusst werden. Nichtsdestotrotz zeigt sich eine Trend zur Erhöhung der Ladungsträgerbeweglichkeit in Abhängigkeit von  $V_{DS}$  von  $0,94 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei  $V_{DS} = -1,5 \text{ V}$  auf  $1,7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei  $V_{DS} = -5 \text{ V}$ . In der Literatur ist bekannt, dass die Ladungsträgerbeweglichkeit von polykristallinen Materialien eine Abhängigkeit vom lateralen elektrischen Feld aufweist und der Frenkel-Poole-Beziehung

$$\mu = \mu_0 \exp(\gamma \sqrt{E}) \quad (5.5)$$

folgt, wobei  $\mu_0$  der Nullfeldmobilität,  $E$  der elektrische Feldstärke und  $\gamma$  einem Parameter, der invers abhängig von der Temperatur ist entspricht [MNI06], [HRG<sup>+</sup>07]. Der Ladungstransport in polykristallinen Materialien wird in der Literatur vornehmlich mit dem MTR-Modell beschrieben, in welchem die Ladungsträgerbeweglichkeit durch die Dichte an lokalisierten Zuständen sowie deren energetischer Verteilung (*Hopping*-Barriere) bestimmt wird. Das laterale elektrische Feld führt zur effektiven Reduzierung der auftretenden *Hopping*-Barriere [WFBD07] und damit zur Erhöhung der Ladungsträgermobilität.

Tabelle 5.4 zeigt eine Zusammenfassung der aus den Eingangskennlinien bestimmten  $V_{DS}$ -abhängigen Parameter.

Abbildung 5.35 (b) zeigt das Ausgangskennlinienfeld eines G-Au TFTs. Erneut wird ein hoher Kontaktwiderstand durch das superlineare Verhalten von  $I_D$  im niedrigen  $V_{DS}$ -Bereich sichtbar. Der maximale Drain-Strom im Sättigungsbereich kann auf  $-1,56 \mu\text{A}$  bei einem  $V_{GS}$ -Wert von  $-1,5 \text{ V}$  bestimmt werden.

Das elektrische Verhalten der G-Au TFTs wurde in Abhängigkeit unterschiedlicher Beschaltungskonfigurationen (siehe Kapitel 5.3) analysiert. Die zugehörigen Eingangskennlinien zeigt Abbildung 5.36 (a). Erneut zeigt sich die Abhängigkeit der elektrischen Parameter des Transistors von der Beschaltungskonfiguration. Beide Beschaltungskonfigurationen weisen nur marginale Variationen bezüglich der Parameter Schwellenspannung  $V_{Th}$  und Einschaltspannung  $V_{on}$  auf. Während Konfiguration 1 einen Wert für  $V_{Th}$  und  $V_{on}$  von  $-0,4 \text{ V}$  bzw.  $-0,2 \text{ V}$  aufweist, kann für Konfiguration 2 der Wert für  $V_{Th}$  und  $V_{on}$  auf  $-0,5 \text{ V}$  bzw.  $-0,2 \text{ V}$  bestimmt werden. Ebenso zeigen beide Beschaltungskonfigurationen eine vernachlässigbare Hysterese. Nichtsdestotrotz unterscheidet sich  $I_{off}$  für beide Konfigurationen um eine Dekade voneinander, wodurch erneut der Einfluss der Source-zu-Gate Überlappungslänge verdeutlicht wird. Der TFT in Konfiguration 1 weist eine Strommodulation  $I_{on}/I_{off}$  von  $10^4$  auf, während Konfiguration 2 ein  $I_{on}/I_{off}$  von  $10^3$  aufweist. Ebenso beeinträchtigt  $I_{off}$  den Subschwelligenspannungsstromstieg  $S$ , wodurch ein Anstieg von  $110 \text{ mV/dec}$  auf  $360 \text{ mV/dec}$  ersichtlich wird. Die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  kann schließlich auf  $0,6 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  und  $0,43 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  für Konfiguration 1 bzw. Konfiguration 2 bestimmt werden. Trotz alledem zeigt Abbildung 5.36 (b) die typische, aus der MOSFET-Technologie bekannte, lineare Abhängigkeit des Drain-Stroms  $I_D$  von der Kanalweite  $W$ .

Ferner führt die Reduzierung der Kanallänge zu einem Anstieg der Instabilitäten während des elektrischen Betriebs und begünstigt damit die Streuung der elektrischen Parameter. Abbildung 5.37 (a) zeigt exemplarisch die Eingangskennlinien eines G-Au TFTs mit einer

Tabelle 5.4: Elektrische Parameter des DNTT-basierenden *Bottom Gate Bottom Contact* TFTs mit Au als Gate-Elektrodenmaterial in Abhängigkeit der Drain-Source Spannung  $V_{DS}$ .

$V_{DS}$ [V]	$\mu_{sat}$ [ $\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ ]	$S$ [mV/dec]	$V_{Th}$ [V]	$V_{on}$ [V]	$I_{on}/I_{off}$
-1,5	0,94	80	-0,25	-0,1	$10^5$
-2,5	1,90	100	-0,40	-0,2	$10^4$
-5,0	1,70	280	-0,50	-0,3	$10^3$

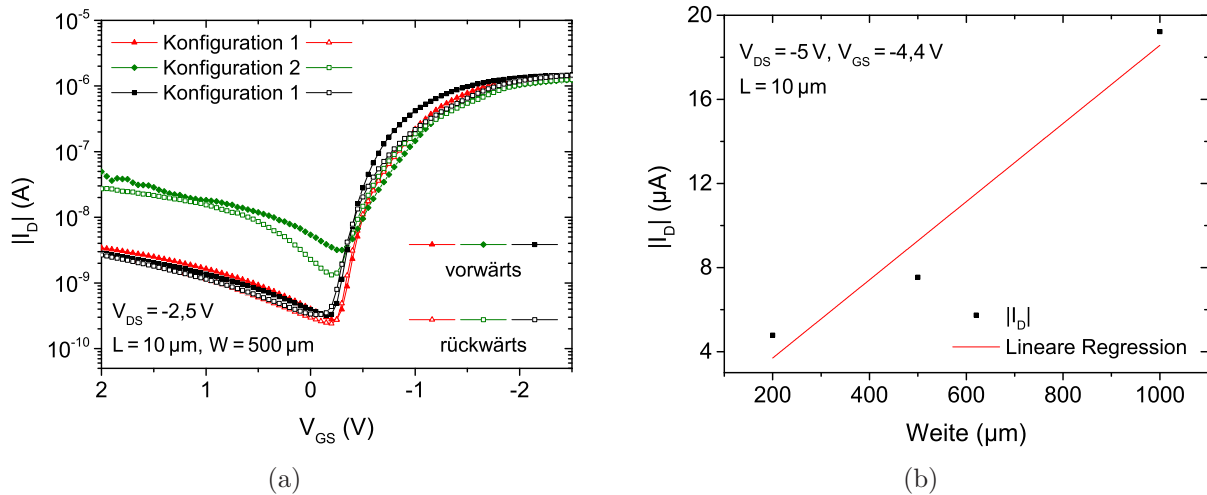


Abbildung 5.36: (a) Eingangskennlinien eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs mit Au als Elektrodenmaterial unter verschiedenen Messkonfigurationen. (b) Skalierungsverhalten des Drain-Stroms von integrierten TFTs mit Au als Elektrodenmaterial als Funktion der Kanalweite.

Kanallänge  $L$  von  $3$   $\mu\text{m}$  mit unterschiedlicher Beschaltungskonfiguration. Konfiguration 1 und Konfiguration 2 zeigen im ersten Messdurchlauf keinen signifikanten Unterschied bezüglich der Schwellenspannung  $V_{Th}$ , welche auf einen Wert von  $0,1$  V sowohl für Vorwärts- als auch Rückwärtsmessrichtung bestimmt werden kann. Die Einschaltspannung  $V_{on}$  zeigt allerdings für die Rückwärtsmessrichtung eine deutliche Variation. Während Konfiguration 1 ein  $V_{on}$  von  $0,45$  V für beide Messrichtungen aufweist, zeigt Konfiguration 2 einen  $V_{on}$ -Wert von  $0,45$  V und  $0,7$  V für die Vorwärts- bzw. Rückwärtsmessrichtung. Ebenso zeigt sich eine Variation infolge der elektrischen Belastung des Bauelements. So weist Konfiguration 1 im zweiten Messdurchlauf eine Verschiebung der Schwellenspannung  $V_{Th}$  auf  $0,3$  V für beide Messrichtungen auf. Die Einschaltspannung  $V_{on}$  zeigt eine Verschiebung auf einen Wert von  $0,6$  V. Verglichen mit TFTs der Kanallänge  $L$  von  $10$   $\mu\text{m}$  zeigen Transistoren mit einer verringerten Kanallänge eine Kanalausbildung bereits bei positiven Schwellenspannungen. Ebenso zeigt Abbildung 5.37 (b) die Abhängigkeit des Drain-Stroms  $I_D$  von der inversen Kanallänge  $L$ . Es wird ersichtlich, dass die typische, aus der MOSFET-Technologie bekannte, lineare Abhängigkeit des Anstiegs von  $I_D$  mit Reduzierung der Kanallänge  $L$  nicht erfüllt ist. All dies indiziert, dass die Depositionsqualität des Dielektrikums mit zunehmendem Verhältnis der Schichtdicke der Elektrode  $d_E$  zur Kanallänge  $L$  abnimmt. Dies führt schließlich zu einer Erhöhung der Fallenzustände im Dielektrikum sowie zur Streuung der Ladungsträger aufgrund der inhomogenen Oberflä-

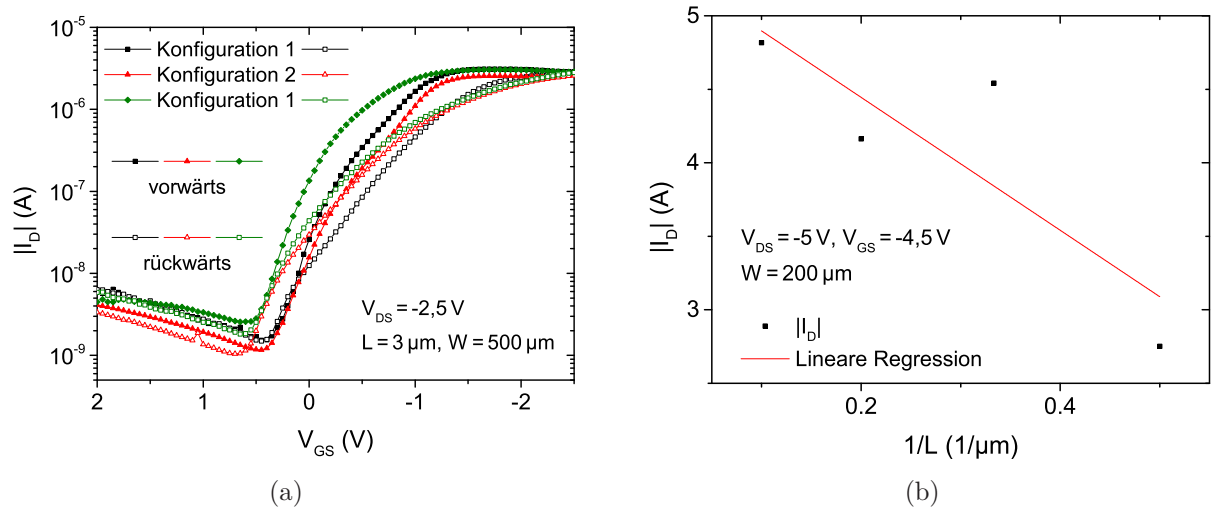


Abbildung 5.37: (a) Eingangskennlinien eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs mit Au als Elektrodenmaterial unter verschiedenen Messkonfigurationen. (b) Skalierungsverhalten des Drain-Stroms von integrierten TFTs mit Au als Elektrodenmaterial als Funktion der reziproken Kanallänge.

che der Isolationsschicht an der Halbleiter-Dielektrikum-Grenzfläche resultierend in einer negativen Beeinflussung der Leistungsfähigkeit des Dünnschichttransistors.

## 5.9 Schaltungen

Logikschaltungen bilden die Grundlage der Digitaltechnik, da sie digitale Eingangssignale der logischen Funktion der zugrundeliegenden Schaltung entsprechend, zu einem bestimmten Ausgangssignal verarbeiten. Grundsätzlich weisen die Übertragungskennlinien der Schaltungen einen analogen Charakter auf. Um eine Zuordnung dieser Signale zu logischen Variablen gewährleisten zu können, erfolgt eine Einteilung der Spannungscharakteristik der digitalen Schaltung in einen überschneidungsfreien *High*- (logische „1“; höhere Spannung, meist nahezu Betriebsspannung) bzw. *Low*-Pegelbereich (logische „0“; niedrigere Spannung, meist nahezu Massepotential). Der verbleibende Bereich wird schließlich keinem logischen Wert zugeordnet und kann beispielsweise im Fall einer Inverter-Schaltung für deren Betrieb als Verstärker genutzt werden [GS06].

In den vorangegangenen Kapiteln wurden die Integrationstechniken sowie die elektrische Charakterisierung von Einzeltransistoren beschrieben und diskutiert. Zwar geben die bestimmten elektrischen Parameter Hinweise bezüglich der Nutzbarkeit der integrierten Dünnschichttransistoren in logischen Schaltungen, ein Nachweis über die mögliche Appli-

kation dieser TFTs in der Digitaltechnik bleibt allerdings aufgrund der prozessbedingten Parametervariationen zu erbringen.

Die folgenden Abschnitte befassen sich mit der elektrischen Charakterisierung von Inverter-Strukturen mit dem Dielektrikum inoflex T3. Während Kapitel 5.9.1 die grundsätzliche Funktionsweise und fotolithographische Realisierung von Inverter-Strukturen beschreibt, diskutiert Abschnitt 5.9.2 die statischen elektrischen Charakteristiken verschiedener Inverter. Ferner analysiert Kapitel 5.9.3 die dynamischen elektrischen Eigenschaften von Inverter-Strukturen und gibt eine Einschätzung bezüglich ihrer Applikation in der digitalen Schaltungstechnik. Abschließend diskutiert Abschnitt 5.9.4 das Potential eines komplementären Inverterdesigns für die flexible Elektronik.

### 5.9.1 Funktionsweise und Realisierung von Inverter-Strukturen

Eines der grundlegendsten Elemente in der digitalen Schaltungstechnik ist der Inverter, der sich sowohl für die Bestimmung der *High*- und *Low*-Pegel sowie des Verstärkungsfaktors der Schaltung eignet. Als Funktionalität weist er die Invertierung des Eingangspegels am Ausgang auf und kann in seiner einfachsten Bauform, bestehend aus einem Ohm'schen Lastelement als *pull-up* Element und aus einem aktiven Transistor als *pull-down* Element, aufgebaut werden. Die mikroelektronische Schaltungstechnik ist durch die Realisierung von hohen Integrationsdichten durch zunehmende Miniaturisierung der Einzelbauelemente gekennzeichnet. Unter diesen Voraussetzungen verhindern der hohe Platzbedarf und die hohen herstellungsbedingten Toleranzen den Einsatz von Lastwiderständen, resultierend in der Ersetzung dieser durch Transistoren [GS06]. Der Aufbau eines Inverters kann zum einen in der Einkanaltechnologie erfolgen, bei der der aktive und der Lasttransistor dem gleichen Kanaltypus (n- oder p-Kanal) angehören. Zum anderen ist eine Realisierung in der Komplementärtechnologie möglich, bei der beide Kanaltypen (n- und p-Kanal) als aktive Transistoren in der Schaltung vertreten sind. Aufgrund des geringeren Leistungsverbrauchs hat sich die Komplementärtechnik als Standardtechnologie in heutigen integrierten Schaltungen durchgesetzt.

Verschiedene Inverter-Schaltungen, sowohl in der Einkanal- als auch in der Komplementärtechnik, konnten im Bereich der Dünnschichttransistortechnologie auf flexiblen und starren Substraten nachgewiesen werden [MH12], [OMF<sup>+</sup>18], [2], [5], [14], [23], [28]. In diesem Kapitel wird die Realisierung von Invertern in Einkanaltechnologie auf starren, thermisch oxidierten Si-Substraten diskutiert. Als Gate-Elektrodenmaterial wird eine Schichtsequenz



bestehend aus 2 nm Ti und 30 nm Au verwendet, da vorangegangene Ergebnisse eine optimierte Leistungsfähigkeit bezogen auf die in dieser Arbeit integrierten TFTs zeigten. Abbildung 5.38 (a) zeigt schematisch die zugrundeliegende, invertierende Viertor-Schaltung bestehend aus einem Lasttransistor im *pull-up*- und einem aktiven Transistor im *pull-down*-Netzwerk. Während durch das Eingangssignal  $V_{in}$  der Betriebsbereich des aktiven Transistors am Gate-Kontakt gesteuert wird, ist das Ausgangssignal  $V_{out}$  im gemeinsamen Kontaktbereich zwischen Lasttransistor und aktivem TFT gegeben. Durch die angelegte Betriebsspannung  $V_{DD}$  wird der Lasttransistor in Sättigung betrieben, während das Massepotential der Schaltung  $GND$  am Source-Kontakt des aktiven TFTs gegeben ist. Abbildung 5.38 (b) zeigt eine optische Konfokalmikroskopaufnahme eines integrierten Inverter-Blocks des während dieser Arbeit entwickelten Maskenlayouts. Die Blöcke wurden so ausgelegt, dass jeweils zwei aktive TFTs unterschiedlicher Kanallänge  $L \in \{1 \mu\text{m}, 1,5 \mu\text{m}, 2 \mu\text{m}, 3 \mu\text{m}, 5 \mu\text{m}, 10 \mu\text{m}\}$  vorhanden sind. Die Kanalweite  $W$  wurde auf einen Wert von  $500 \mu\text{m}$  festgelegt. Der Inverter-Block umfasst weiterhin fünf Lasttransistoren mit einer festgelegten Kanallänge  $L$ , welche wiederum ein Element aus der zuvor definierten Menge ist. Die Werte für die Kanalweite  $W$  wurden variiert mit  $W \in \{200 \mu\text{m}, 100 \mu\text{m}, 50 \mu\text{m}, 20 \mu\text{m}, 10 \mu\text{m}\}$ . Durch diese Vielzahl an Inverter-Strukturen sollen prozessbedingte

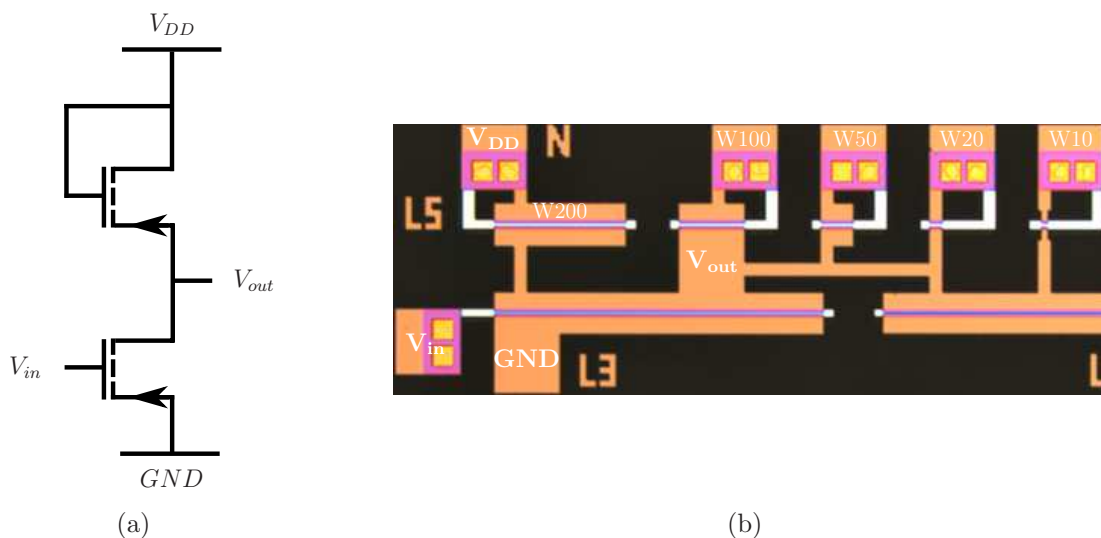


Abbildung 5.38: (a) Schematische Darstellung einer Inverter-Schaltung bestehend aus einem Lasttransistor im *pull-up* und einem aktiven Transistor im *pull-down* Netzwerk. (b) Optische Konfokalmikroskopaufnahme eines integrierten Inverter-Blocks, bestehend aus einem aktiven TFT ( $L = 3 \mu\text{m}$ ,  $W = 500 \mu\text{m}$ ) und verschiedenen Lasttransistoren ( $L = 5 \mu\text{m}$ ,  $W \in \{200 \mu\text{m}, 100 \mu\text{m}, 50 \mu\text{m}, 20 \mu\text{m}, 10 \mu\text{m}\}$ ,  $V_{DD}$ : Betriebsspannung,  $V_{in}$ : Eingangssignal,  $V_{out}$ : Ausgangssignal,  $GND$ : Massepotential).

Variationen minimiert und ein sicherer Betrieb des Inverter-Gatters ermöglicht werden. Ferner erlauben diese Strukturen die Analyse der Auswirkung der Lasttransistordimensionierung auf die Schaltungseigenschaften.

## 5.9.2 Statische Charakterisierung von Invertern

Abbildung 5.39 zeigt die Übertragungskennlinien eines DNTT-basierten Inverters in Einkanaltechnologie in Abhängigkeit verschiedener Betriebsspannungen  $V_{DD}$ . Die Inverterschaltung zeigt eine  $V/V$  Verstärkung von  $-10,2$  bei einem  $V_{DD}$ -Wert von  $-5$  V. Ferner können die Spannungswerte des *High*- und *Low*-Pegels am Ausgang auf  $-4,5$  V bzw.  $-0,74$  V bestimmt werden, wobei ersichtlich wird, dass nicht der vollständige Spannungsbereich zwischen Betriebsspannung und Massepotential ausgeschöpft wird. So kann für den *High*-Pegel aufgrund des Spannungsabfalls am Lasttransistor, gegeben durch seine Schwellenspannung  $V_{Th}$ , lediglich ein Ausgangsspannungswert von  $V_{DD} - V_{Th}$  erreicht werden. Der *Low*-Pegelwert indiziert, dass das Widerstandsverhältnis der beiden verwendeten Transistoren nicht ausreichend ist, um im linearen Betriebsbereich des aktiven TFTs einen Ausgangsspannungswert nahe des Massepotentials zu erreichen. Dies stellt ein grundlegendes Problem der Einkanaltechnologie dar und kann durch die Verwendung der Komplementärtechnik gelöst werden (siehe Kapitel 5.9.4). Bereits in Kapitel 5.8 wurde die zunehmende Verschiebung der Schwellenspannung  $V_{Th}$  sowie die Verringerung der Strommodulation  $I_{on}/I_{off}$  der Einzeltransistoren infolge einer Erhöhung der Drain-Source Spannung  $V_{DS}$  diskutiert. Dieser Einfluss wird auch in den Übertragungskennlinien der

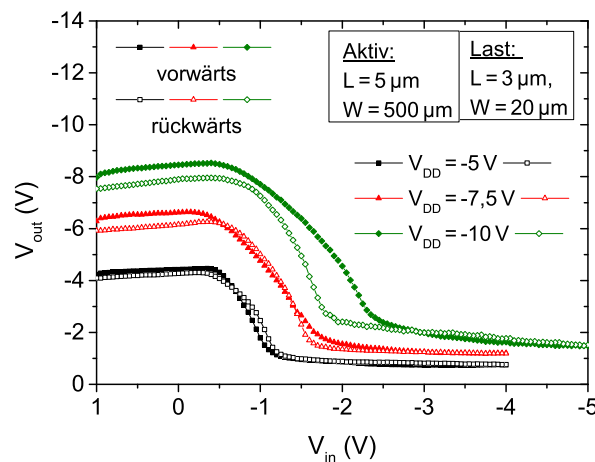


Abbildung 5.39: Übertragungskennlinien eines DNTT-basierten Inverters in Einkanaltechnologie in Abhängigkeit verschiedener Betriebsspannungen  $V_{DD}$ .

Inverter-Schaltung bei verschiedenen Betriebsspannungen ersichtlich. Mit zunehmender Betriebsspannung  $V_{DD}$  zeigt sich eine Verringerung der  $V/V$  Verstärkung auf  $-8,8$  für  $V_{DD} = -10$  V. Ebenso werden die *High*- bzw. *Low*-Pegelwerte des Inverters negativ beeinträchtigt. So können die Spannungswerte des *High*- und *Low*-Pegels am Ausgang lediglich auf  $-8,5$  V bzw.  $-1,5$  V für  $V_{DD} = -10$  V bestimmt werden. Ferner wird eine Vergrößerung der Hysterese-Effekte mit steigender Betriebsspannung ersichtlich. Aus diesem Grund wird für weitergehende Analysen der Wert der Betriebsspannung  $V_{DD}$  auf  $-5$  V festgelegt. Einen weiteren wichtigen Parameter digitaler Schaltungen stellt die *Noise Margin* (NM) dar. Diese definiert die tolerierbare Abweichung des Eingangssignals vom Spannungswert der einzelnen Pegel, um dennoch eine sichere Zuordnung zu einem logischen Wert gewährleisten zu können. Für die Bestimmung der NM-Werte sind in der Literatur verschiedene Methoden bekannt, wie unter anderem das *negative slope criteria* (NSC), das *maximum product criteria* (MPC) sowie das *maximum equal criteria* (MEC) [Hau93]. In dieser Arbeit werden die NM-Werte mit Hilfe der MEC-Methode bestimmt, welche im Folgenden näher erläutert wird. Für weiterführende Informationen zu den anderen Methoden sei der interessierte Leser auf obige Literaturreferenz verwiesen. Bei der MEC-Methode wird sowohl die reguläre als auch die gespiegelte Übertragungskennlinie der digitalen Schaltung graphisch dargestellt, so dass sich zwei schmetterlingsförmige Bereiche bilden. Die *Noise Margin* für den *High*- und *Low*-Pegel werden als identisch angenommen. Die Ermittlung des resultierenden NM-Wertes erfolgt schließlich, wie in Abbildung 5.40 (a) dargestellt, durch das Hineinlegen des Quadrates mit dem maximalen Flächeninhalt in den schmetterlingsförmigen Bereich geringster Fläche. Hierdurch kann für die durch Abbildung 5.39 charakterisierte Inverter-Schaltung der NM-Wert bei einer Betriebsspannung  $V_{DD}$  von  $-5$  V auf  $-0,1$  V bestimmt werden. Dieses indiziert eine hohe Störanfälligkeit der Schaltung gegenüber verrauschten Signalen. Speziell der *Low*-Pegelbereich stellt hierbei den limitierenden Faktor dar. Nichtsdestotrotz wird ebenso ein regeneratives Gate-Verhalten [Rab96] der Schaltung ersichtlich. Die Geometrie des Inverters, allen voran die Größenverhältnisse zwischen dem aktiven und dem Lasttransistor, beeinflussen die Schaltungscharakteristik. Um den Einfluss der Größenverhältnisse auf die Schaltungseigenschaften zu analysieren, erfolgt die Definition des geometrischen Verhältnisses  $\beta$  als Quotient des Verhältnisses aus Kanalweite  $W$  zur Kanallänge  $L$  des aktiven und des Lasttransistors. So zeigt Abbildung 5.40 (b) eine Erhöhung der  $V/V$  Verstärkung mit ansteigendem  $\beta$ . Es wird ersichtlich, dass eine Erhöhung der Widerstandsdifferenz zwischen aktivem und Lasttransistor durch die unterschiedliche Dimensionierung der verwendeten TFTs die Schaltungscharakteristik

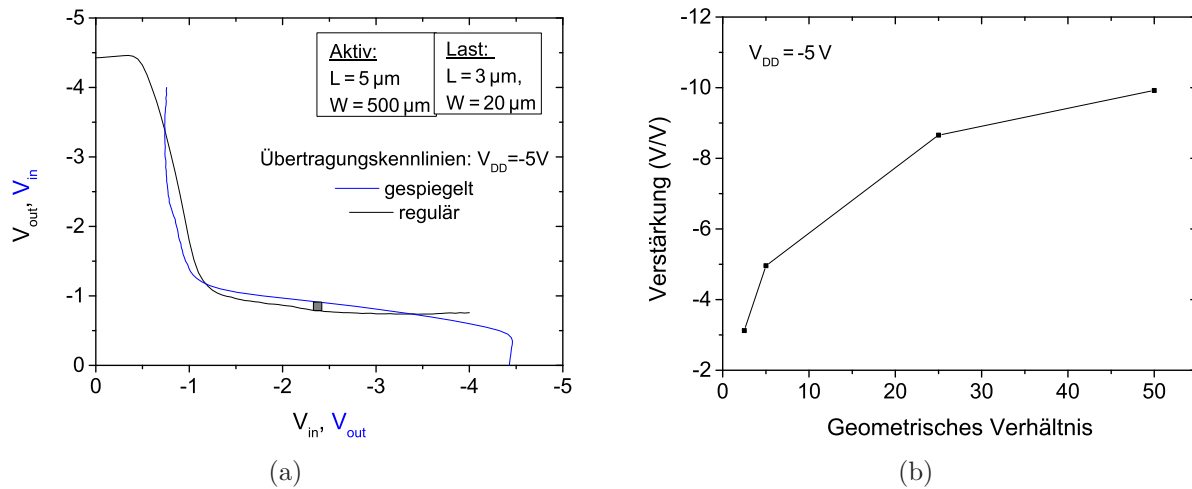


Abbildung 5.40: (a) Reguläre und gespiegelte Übertragungskennlinie des betrachteten DNTT-basierten Inverters in Einkanaltechnologie bei  $V_{DD} = -5\text{ V}$  sowie Bestimmung der *Noise Margin* mittels der MEC-Methode (graues Quadrat). (b) Verstärkungsfaktor  $V/V$  in Abhängigkeit des geometrischen Verhältnisses  $\beta$  des aktiven und Lasttransistors.

optimiert. Nichtsdestotrotz limitieren die Anforderungen an die Integrationsdichte, die Größe des finalen Bauelements sowie der zu erzielenden Schaltungsgeschwindigkeit das geometrische Verhältnis im realen Schaltungsdesign. Hier gilt es, einen Kompromiss zwischen der Dimensionierung und der Leistungsfähigkeit der Schaltungselemente zu finden.

### 5.9.3 Dynamische Charakterisierung von Invertern

Abbildung 5.41 zeigt die elektrischen Charakteristiken eines DNTT-basierten TFT der Kanallänge  $L = 1,5\ \mu\text{m}$  und Kanalweite  $W = 200\ \mu\text{m}$ , der im Folgenden als *pull-down* Element einer Inverter-Schaltung verwendet wird. Neben einer Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  von  $0,43\ \text{cm}^2\text{V}^{-1}\text{s}^{-1}$ , zeichnet sich dieser durch eine Schwellenspannung  $V_{Th}$  von  $-0,41\ \text{V}$  sowie einer vernachlässigbaren Hysterese  $\Delta V_{Th}$  aus. Die Einschaltspannung  $V_{on}$  kann schließlich auf  $0,5\ \text{V}$  bei einer Hysterese  $\Delta V_{on}$  von  $0,4\ \text{V}$  bestimmt werden. Der Subschwelligensspannungsstromanstieg  $S$  beträgt  $530\ \text{mV}$  in Vorwärts- und  $1\ \text{V}$  in Rückwärtsmessrichtung. Ferner zeichnet sich der TFT durch eine Strommodulation  $I_{on}/I_{off}$  von  $2 \cdot 10^3$  aus.

Schließlich wird das elektrische Verhalten einer Inverter-Struktur bestehend aus diesem Transistor als *pull-down* Element sowie eines Ohm'schen Widerstand ( $R = 10\ \text{M}\Omega$ ) als

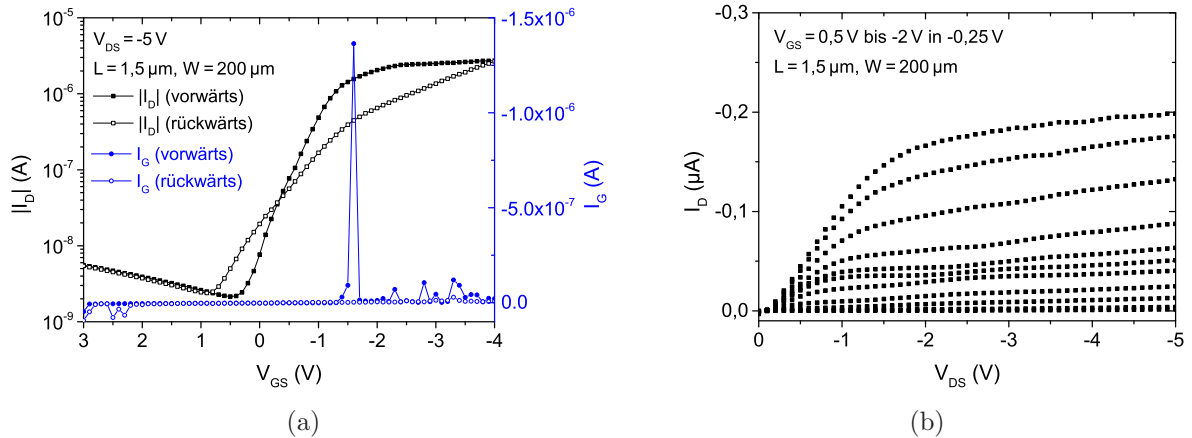


Abbildung 5.41: (a) Eingangskennlinie und (b) Ausgangskennlinienfeld eines DNTT-basierten TFTs mit Au als Gate-Elektrode.

*pull-up* Element bezüglich eines dynamischen Eingangssignals analysiert. Hierbei wird ein Ohm'scher Widerstand gewählt, um den Einfluss potentieller Prozessvariationen auf die Schaltungseigenschaften zu minimieren. Für die Erzeugung des Eingangssignals wird ein Rigol DG1022Z Signal-/ Arbiträr-Generator verwendet, während das Ausgangssignal mittels eines Tektronix TDS 3032B Oszilloskops gemessen wird. Die Anpassung der Eingangsimpedanz erfolgt durch einen zusätzlich in Reihe geschalteten Ohm'schen Widerstands ( $R = 99 M\Omega$ ). Abbildung 5.42 (a) zeigt den Ausgang als Antwort auf ein rechteckförmiges Eingangssignal der Frequenz 1 Hz. An dieser Stelle sei anzumerken, dass der Kanalwiderstandswert des TFTs im Sättigungsbereich ungefähr im Bereich von wenigen  $M\Omega$  liegt. Trotz der Wahl eines Ohm'schen Widerstandes von  $10 M\Omega$  kann daher lediglich ein *High*-Pegelwert von  $-4,5 V$  bzw. ein *Low*-Pegelwert von  $-2 V$  bei einer Betriebsspannung  $V_{DD}$  von  $-5 V$  erreicht werden. Für das Frequenzverhalten der Inverterschaltung wird die Veränderung bezüglich dieser beiden Pegelwerte beurteilt. Ebenso werden sowohl die Anstiegs- als auch die Abfallzeit bestimmt. Diese sind definiert durch die Zeitdauer die benötigt wird, um von einem Ausgangssignalwert von 10 % einen Ausgangssignalwert von 90 % zu erreichen und umgekehrt [Rab96]. Die Anstiegs- und Abfallzeit kann auf 11 ms bzw. 89 ms bestimmt werden. Speziell die hohe Abfallzeit deutet auf eine nicht zu vernachlässigende Zeitdauer hin, in der sich der minimale Kanalwiderstand des TFTs einstellt. Ebenso zeigt eine Erhöhung der Frequenz des rechteckförmigen Eingangssignals auf 5 Hz eine Veränderung des *Low*-Pegelwertes auf  $-2,2 V$  (siehe Abbildung 5.42 (b)). Hierdurch wird ersichtlich, dass der minimale Kanalwiderstandswert des TFTs nicht mehr erreicht werden kann. Schon in Kapitel 5.1 indizierten die frequenzabhängigen Kapazi-

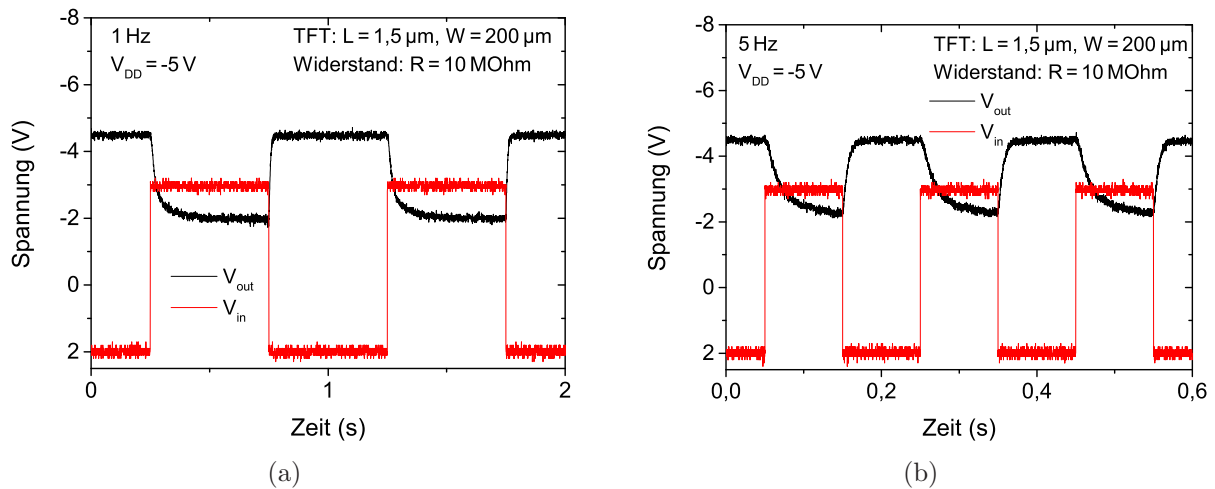


Abbildung 5.42: Transientverhalten eines Inverters bestehend aus einem DNNT-basierten TFT als *pull-down* und einem Ohm'schen Widerstand als *pull-up* Element. Die Diagramme zeigen, dass Ausgangssignal  $V_{out}$  für ein rechteckförmiges Eingangssignal  $V_{in}$  mit einer Frequenz von (a) 1 Hz bzw. (b) 5 Hz.

tätsmessungen, dass die dielektrische Konstante  $k$  in Nanokompositen, wie inoflex T3, durch den Maxwell-Wagner-Sillars Effekt im niedrigen Frequenzbereich nachhaltig beeinflusst wird. So konnte ein reziprokes Verhalten zwischen der Frequenz des Messsignals und der dielektrischen Konstante  $k$  nachgewiesen werden. Die hierdurch entstehende frequenzabhängige kapazitive Kopplung führt schließlich zu einer Erhöhung des minimalen Kanalwiderstandes des TFTs und somit zur Veränderung des *Low*-Pegelwerts. Im Zuge dessen kann schließlich eine Annäherung des *Low*-Pegel- an den *High*-Pegelwert beobachtet werden, wodurch eine sichere Trennung der logischen Werte „0“ und „1“, abhängig von der Störanfälligkeit der Schaltung, nicht mehr gewährleistet ist.

Neben den intrinsischen Schaltungseigenschaften kann ebenso der verwendete Messaufbau einen Einfluss auf die Bestimmung der Anstiegs- und Abfallzeiten haben. So können parasitäre kapazitive und resistive Effekte, hervorgerufen durch die verwendeten Messkabel, Messnadeln sowie der Kontaktpads der Transistoren, das tatsächliche Eingangssignal am Gate-Anschluss des TFTs beeinflussen. Ebenso kann ein Einfluss dieser sowie der Eingangsimpedanz des verwendeten Oszilloskops auf die Ausgangslast nicht ausgeschlossen werden. Um den Einfluss der beschriebenen parasitären Effekte auf die Laufzeit des Signals ausschließen zu können und die Vergleichbarkeit der Leistungsfähigkeit verschiedener Technologien und Schaltungsdesigns zu gewährleisten, ist eine gleichbleibende Messroutine notwendig. Die Standardschaltung zur Laufzeitmessung ist typischerweise durch die Realisierung einer Ringoszillator-Struktur gegeben. Ein Ringoszillator ist eine astabile Schal-

tung, die durch eine ungerade Anzahl von Invertern zu einer ringförmigen Kette aufgebaut wird. So führt die ungerade Anzahl an Invertierungen des Signals schließlich dazu, dass kein stabiler Betriebspunkt existiert und die Schaltung oszilliert [Rab96]. Der Aufbau von Ringoszillatoren konnte allerdings trotz des regenerativen Gate-Verhaltens des betrachteten Inverter-Elements aufgrund der geringen *Noise Margin* nicht realisiert werden, so dass eine präzise Laufzeitmessung nicht durchgeführt wurde. Nichtsdestotrotz zeigen die durchgeführten dynamischen Messungen, dass trotz des Optimierungspotentials der TFT-Integrationsroutine die kapazitiven Effekte im Dielektrikum selbst das Frequenzverhalten der Dünnschichttransistoren maßgebend limitieren. Daher ist eine Anwendung der hergestellten Inverter lediglich in äußerst eingeschränkten Bereichen der digitalen Schaltungstechnik, wie beispielsweise als Schaltelement in Sensorarrays, möglich. Für Applikationen im höherfrequenten Bereich ist die Wahl eines alternativen Dielektrikums unabdingbar.

#### 5.9.4 Komplementäre Inverter-Schaltungen auf Foliensubstraten

Trotz der hohen Leistungsfähigkeit der Si-NMOS-Technologie führte die hohe Leistungsaufnahme der realisierten Schaltungen zur Entwicklung eines komplementären MOSFET-Konzepts, um eine stetige Steigerung der Integrationsdichte an Schaltungselementen gewährleisten zu können. Das Konzept des komplementären Schaltungsdesigns kann ebenso auf die Dünnschichttransistortechnologie überführt werden und wird in diesem Kapitel diskutiert.

Die in den vorherigen Kapiteln vorgestellten Inverter in Einkanaltechnologie besitzen neben einem aktiven Transistor als *pull-down* Element einen Lasttransistor im *pull-up* Netzwerk und zeichnen sich durch eine hohe Leistungsaufnahme aus. Abbildung 5.43 zeigt neben der Übertragungskennlinie eines DNNT-basierten Inverters den Schaltungsstrom  $I_{DD}$ . Bei einer Betriebsspannung  $V_{DD}$  von  $-5\text{ V}$  können der *High*- und der *Low*-Pegel auf  $-4,5\text{ V}$  bzw.  $-0,74\text{ V}$  bestimmt werden. Der Inverter weist eine  $V/V$  Verstärkung von  $-10,2$  auf. Die *Noise Margin* (NM), bestimmt mittels der MEC-Methode (siehe Kapitel 5.9.2), beträgt  $-0,1\text{ V}$ . Ab einer Eingangsspannung  $V_{in}$  von  $-0,4\text{ V}$  weist der aktive TFT eine hohe Leitfähigkeit auf und durchläuft im Folgenden den Sättigungs- bzw. linearen Betriebsbereich. Ab diesem Spannungswert sind sowohl der aktive Transistor als auch der Lasttransistor in einem leitfähigen Zustand, ersichtlich durch einen stetigen Schaltungsstromfluss. Die Analyse der Unterschiede bezüglich der elektrischen Parameter von Invertern in Einzel- und Komplementärtechnologie wird durch das Zusammen-

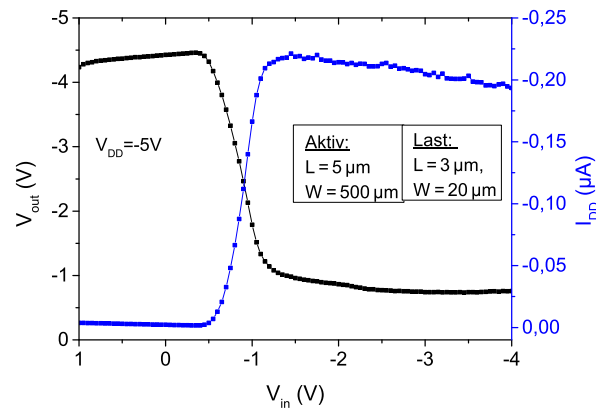


Abbildung 5.43: Übertragungskennlinie und Schaltungsstrom  $I_{DD}$  eines DNTT-basierten Inverters in Einkanaltechnologie.

schalten zweier einzeln integrierter Transistoren (n- und p-Kanal) realisiert. So wird ein DNTT-basierter TFT (p-Kanal) als *pull-up*, sowie ein ZnO-basierter TFT (n-Kanal) als *pull-down* Element verwendet<sup>9</sup>. Eine Übersicht über das Schaltungsdesign in Einkanal- und Komplementärtechnologie zeigt Abbildung 5.44. Die Integration des DNTT-basierten TFTs erfolgt analog zu der in Kapitel 5.2 vorgestellten Routine für geschützte TFTs. Als Gate-Elektrode wird eine Filmsequenz bestehend aus 50 nm Al und 7 nm Ti verwendet, während als Substrat eine Hostaphan DOKO Folie dient. Für die Integration des ZnO-basierten TFTs erfolgt die Definition der Gate-Elektrode, bestehend aus 50 nm Al und 7 nm Ti sowie die Deposition und Aushärtung des 180 nm dicken inoflex T3 Films analog zu der in Kapitel 5.1 vorgestellten Routine. Im Anschluss erfolgt eine ganzflächige Deposition einer 150 nm dicken Al-Schicht mittels des Elektronenstrahlverdampfens. Die Source- und Drain-Elektroden werden mit Hilfe der optischen Fotolithographie und einem nasschemischen Ätzprozess in einer wässrigen Lösung bestehend aus  $\text{H}_3\text{PO}_4$ ,  $\text{HNO}_3$  und  $\text{CH}_3\text{COOH}$  definiert. Im Anschluss an die Reinigungssequenz der Elektroden, bestehend aus Aceton, Isopropanol und VE-Wasser, wird eine wässrige ZnO-Nanopartikeldispersion (*ZN-3014A*, bezogen von Nanophase Corporation Inc.) mittels eines *Doctor Blading* Prozesses (Depositionsgeschwindigkeit  $v$  von  $50 \mu\text{m/s}$ , siehe Kapitel 4.3.2) aufgebracht. Hierzu wird die Basisdispersion (50 Gew.-% vornehmlich sphärischer ZnO-Nanopartikel in  $\text{H}_2\text{O}$ , durchschnittlicher Partikeldurchmesser: 70 nm) mit VE-Wasser im Verhältnis 1:2 verdünnt. Das Abdampfen des Dispersionsmediums erfolgt unter Atmosphärenbedingungen in einem Umluftofen für eine Zeitdauer  $t$  von 30 min bei einer Temperatur  $T$  von

<sup>9</sup>Die Entwicklung der komplementären Inverter fand in Kooperation mit Fábio F. Vidor (Universität Paderborn / UFRGS) und Julia Reker (Universität Paderborn) statt.



115 °C. Die Dicke der resultierenden ZnO-Schicht, bestimmt mit einem Dektak XT Stylus Profiler, beträgt 200 – 300 nm. Die Stabilisierung der ZnO-Schicht erfolgt mittels einer UV-Strahlungsbehandlung (Leistungsdichte: 200 W/cm<sup>2</sup>, Bestrahlungsdauer: 10 × 30 s mit jeweils 30 s Pause,) sowie einer anschließenden Lagerung unter Atmosphärenbedingungen mit hoher relativer Luftfeuchtigkeit (Zeitdauer  $t = 30$  min, rel. Luftfeuchtigkeit: 50 – 60 %) [Vid17]. Als Substrat wird eine Hostaphan RNK Folie verwendet.

Wie Abbildung 5.44 zeigt, kann eine komplementäre Schaltung durch die Verbindung der Drain-Elektroden der integrierten TFTs gebildet werden. Die zugehörige Übertragungskennlinie der komplementären Schaltung, bestehend aus einem ZnO-basierten (n-Kanal) TFT und einem DNTT-basierten TFT (p-Kanal), zeigt Abbildung 5.45 (a). Bei einer Betriebsspannung  $V_{DD}$  von 5 V befindet sich der ZnO-basierte TFT im niedrigen Eingangsspannungsbereich ( $V_{in} \leq 0,7$  V) im ausgeschalteten Zustand, während der DNTT-basierte TFT im linearen Bereich betrieben wird. Der zugehörige *High*-Pegel kann auf 4,9 V bestimmt werden. Im hohen Eingangsspannungsbereich ( $V_{in} \geq 3,1$  V) ist hingegen der DNTT-basierte TFT im ausgeschalteten Zustand, während der ZnO-basierte TFT im linearen Bereich betrieben wird. Der zugehörige *Low*-Pegel kann auf 0 V bestimmt werden. Es wird ersichtlich, dass nahezu der vollständige Spannungsbereich (98 %) zwischen der Betriebsspannung  $V_{DD}$  und dem Massepotential  $GND$  ausgeschöpft werden kann. Abbildung 5.45 (b) zeigt die reguläre und gespiegelte Übertragungskennlinie des komplementären Inverters. Die Schaltschwelle  $V_M$  ist definiert als der Punkt, an dem

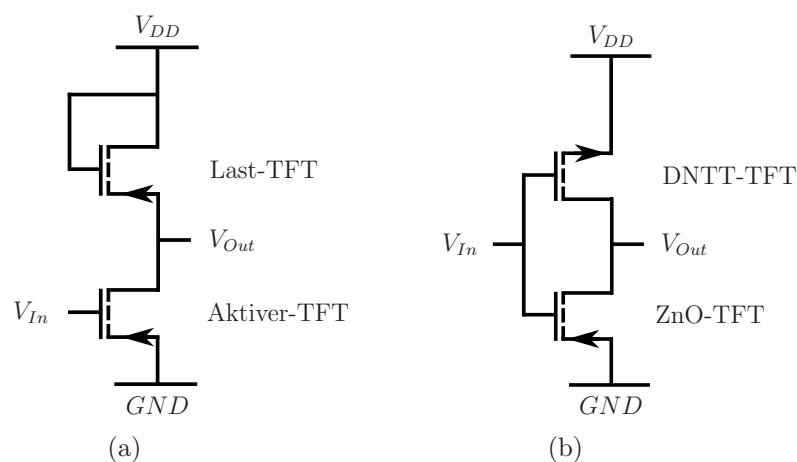


Abbildung 5.44: (a) Schematische Darstellung einer Inverter-Schaltung bestehend aus (a) einem Lasttransistor im *pull-up* und einem aktiven Transistor im *pull-down* Netzwerk (Einkanaltechnologie) sowie (b) einem p-Kanal TFT im *pull-up* sowie einem n-Kanal TFT im *pull-down* Netzwerk (Komplementärtechnik).  $V_{DD}$ : Betriebsspannung,  $V_{in}$ : Eingangssignal,  $V_{out}$ : Ausgangssignal,  $GND$ : Massepotential.

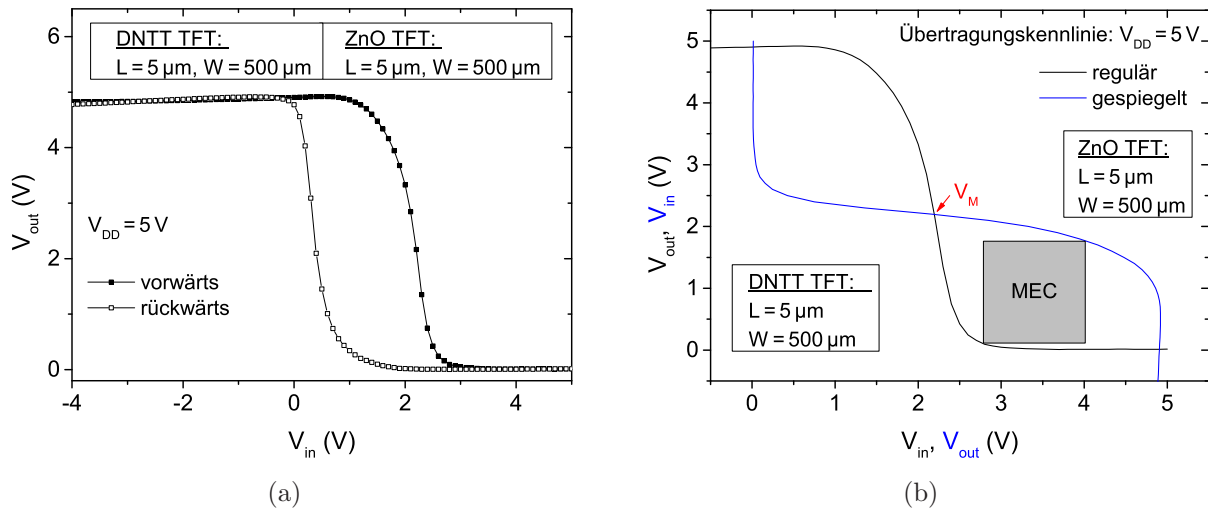


Abbildung 5.45: (a) Übertragungskennlinien und (b) reguläre und gespiegelte Übertragungskennlinie eines komplementären Inverters auf Foliensubstraten sowie Bestimmung der *Noise Margin* mittel der MEC-Methode (graues Quadrat) bei  $V_{DD} = 5\text{ V}$ .

die Eingangsspannung  $V_{in}$  und die Ausgangsspannung  $V_{out}$  den gleichen Wert annehmen ( $V_{in} = V_{out}$ ). An dieser Stelle werden beide Transistoren im Sättigungsbereich betrieben. Idealerweise sollte  $V_M$  den Wert  $V_{DD}/2$  annehmen, um eine vergleichbare *Noise Margin* für den *High*- und *Low*-Pegel zu gewährleisten [Rab96]. Die bestimmte Schaltschwelle  $V_M$  in Vorwärtsmessrichtung liegt nahe dem idealen Wert und beträgt 2,2 V. Der NM-Wert kann mit Hilfe der MEC-Methode auf 1,23 V bestimmt werden. Dies indiziert eine signifikante Reduzierung der Störanfälligkeit des komplementären Schaltungsdesigns verglichen mit der Einkanaltechnologie. Ferner kann ein regeneratives Gate-Verhalten [Rab96] sowie eine  $V/V$  Verstärkung von  $-9,6$  bestimmt werden. Nichtsdestotrotz zeigt sich eine ausgeprägte Hysterese bei der zyklischen Messung der Übertragungskennlinie von 1,8 V, deren Ursprung durch die Fallenzustände im Dielektrikum der beiden Einzeltransistoren sowie der nanopartikulären Halbleiterschicht gegeben ist [40]. Abbildung 5.46 zeigt neben der Übertragungskennlinie den Strom  $I_{DD}$  durch die komplementäre Inverter-Schaltung. Es wird ersichtlich, dass sich der maximale Strom  $I_{DD}$  an der Schaltschwelle  $V_M$  der Schaltung einstellt. An dieser Stelle werden beide Transistoren in Sättigung betrieben. Mit zunehmender Eingangsspannung  $V_{in}$  geht der n-Kanal TFT in den linearen Betriebsbereich über, wodurch der Strom  $I_{DD}$  reduziert wird. Bei hohen Eingangsspannungen  $V_{in} \geq 3,1\text{ V}$  geht der p-Kanal TFT schließlich in den ausgeschalteten Zustand über, wodurch sich  $I_{DD}$  schließlich einem minimalen Wert annähert. Idealerweise ist ein äquivalentes Verhalten im niedrigen Eingangsspannungsbereich ( $V_{in} \leq 0,7\text{ V}$ ) zu erwarten, da sich dort der

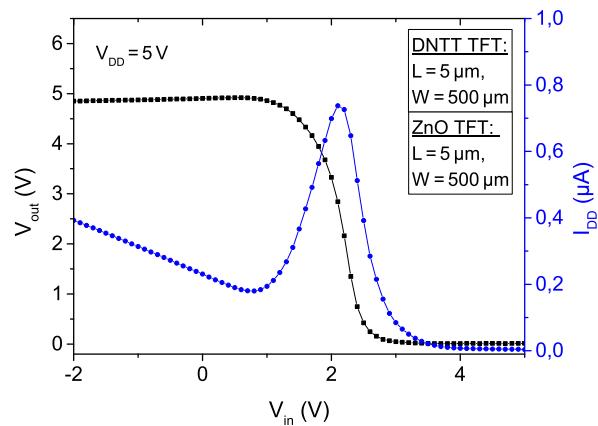


Abbildung 5.46: Übertragungskennlinie und Schaltungsstrom  $I_{DD}$  eines komplementären Inverters auf Foliensubstraten.

n-Kanal TFT im ausgeschalteten Zustand befindet. Im Gegensatz zum hohen Eingangsspannungsbereich zeigt sich allerdings ein nicht zu vernachlässigender Stromfluss auch im ausgeschalteten Zustand des ZnO-basierten TFTs. Als Ursache sind potentielle periphere Ströme durch die fehlende Strukturierung der Halbleiterschicht sowie Leckströme durch das Gate-Dielektrikum zu nennen. Nichtsdestotrotz wird das enorme Potential der Komplementärtechnologie für die Realisierung von energieeffizienten Schaltungselementen ersichtlich. Neben der nahezu idealen Schaltschwelle  $V_M$  und der reduzierten Störanfälligkeit der realisierten Schaltung, bietet die Anpassung der TFT-Dimensionierungen einen Ansatzpunkt zur weiteren Optimierung der Leistungsaufnahme der Inverter-Struktur.



## KAPITEL 6

# DÜNNSCHICHTTRANSISTOREN UND SCHALTUNGEN

MIT SX AR-PC-5060

In den letzten Jahren zeigte die Materialklasse der Fluorpolymere ein enormes Potential als Isolationsschicht für Applikationen im höherfrequenten Elektronikbereich [WKMB09], [OMF<sup>+</sup>18]. In den folgenden Abschnitten werden erste Einschätzungen bezüglich der Einsatzmöglichkeiten des Perfluorpolymers SX AR-PC-5060 in der flexiblen Elektronik diskutiert. Während sich Kapitel 6.1 mit den Depositionsmöglichkeiten sowie den elektrischen und physikalischen Eigenschaften von SX AR-PC-5060 beschäftigt, zeigt Abschnitt 6.2 eine Integrationsroutine für Dünnschichttransistoren (engl.: *Thin-Film Transistor*, TFT) und Inverter-Strukturen. Ebenso erfolgt eine Analyse bezüglich ihrer statischen elektrischen Charakteristiken. Abschließend stellt Kapitel 6.3 einen optimierten Integrationsprozess zur Herstellung von TFTs dar und diskutiert die dynamischen elektrischen Charakteristiken von invertierenden Schaltungselementen.

### **6.1 Deposition und Charakterisierung des Polymers SX AR-PC-5060**

Die zufällige Entdeckung von Polytetrafluorethylen (PTFE, Markenname: Teflon) durch den Chemiker Roy Plunkett im Jahre 1938 in den Laboren von E. I. duPont de Nemours & Co. eröffnete das Forschungsfeld der Perfluorpolymere. Seit dieser Zeit wur-

de eine hohe Anzahl an neuen Typen von fluorierten Polymeren entwickelt, deren einzigartige Eigenschaften durch die starke Bindung zwischen den Elementen Kohlenstoff und Fluor sowie der Abschirmung des Kohlenstoffrückgrats durch die Fluoratome bestimmt wird. Neben einer hohen chemischen Resistenz zeichnen sich diese Polymere vor allem durch ihre exzellenten elektrisch isolierenden Eigenschaften aus [Dro09]. Verschiedene Fluorpolymere wurden in den letzten Jahren in elektronischen Applikationen beispielsweise als Passivierungsschicht oder Gate-Isolation eingesetzt. Speziell das amorphe Polymer Poly(perfluorobutenylvinylether) (CYTOP) wurde als Gate-Dielektrikum in der Dünnschichttransistor-Technologie verwendet [KMH<sup>+</sup>07], [UKT08], [JKPK08], [WKM<sup>+</sup>09]. Aufgrund seiner amorphen Struktur vereint CYTOP eine sehr hohe Transparenz von ca. 95 % im optischen Wellenlängenbereich mit einer hohen Löslichkeit in speziellen fluorinierten Lösungsmitteln. Hierdurch ist eine einfache Verarbeitung mit lösungsmittelbasierten Depositionsprozessen möglich. Obwohl CYTOP lediglich eine dielektrische Konstante von 2,0 – 2,1 aufweist, zeichnet sich diese durch ihre Konstanz über einen weiten Frequenzbereich von bis zu 25 GHz aus. Neben seiner Hydroxylgruppen-freien chemischen Struktur weist das Polymer einen Kontaktwinkel mit Wasser von 110° auf [Asa]. Aufgrund dieser Eigenschaften konnte in der Literatur eine Erhöhung der Leistungsfähigkeit der Dünnschichttransistoren durch die Minimierung von Hysterese-Effekten sowie Schwellenspannungsverschiebungen, hervorgerufen durch OH-Gruppen und/ oder adsorbiertes Wasser an der Dielektrikumsoberfläche oder im Dielektrikum selbst, nachgewiesen werden [KMH<sup>+</sup>07], [UKT08]. Allerdings besitzt CYTOP eine geringe Glasübergangstemperatur von 108 °C [Asa], wodurch das Temperaturbudget von Folgeprozessen limitiert wird. Die ALLRESIST GmbH hat sich in den letzten Jahren zum Ziel gesetzt, ein Konkurrenzprodukt am Markt zu etablieren, das neben den bekannten Eigenschaften des Produktes CYTOP, wie der hohen optischen Transparenz und chemischen Resistenz, durch eine erhöhte Glasübergangstemperatur von 260 °C und eine Zersetzungstemperatur von etwa 360 °C gekennzeichnet ist [Kai17], [Kai18]. Das Produkt besteht aus einem perfluorierten amorphen Copolymer, welches in einem Lösungsgemisch bestehend aus Perfluortri-n-butylamin und Perfluor-n-dibutylmethylamin löslich ist [All20].

## Integration

Die Herstellung dünner Schichten basierend auf SX AR-PC-5060 kann mittels Schleuderbeschichtungsprozessen erfolgen. Hierzu wird die vom Hersteller bereitgestellte Lösung bei einer Rotationsgeschwindigkeit von 800 rpm auf das Substrat gebracht, wobei die Geschwindigkeit für eine Zeitdauer von  $t = 10$  s konstant gehalten wird. Die abschließende Schichtdickendefinition erfolgt während einer Zeitspanne von  $t = 60$  s bei einer Rotationsgeschwindigkeit von 1000 rpm. Im Anschluss erfolgt die Trocknung des resultierenden nassen Films durch eine thermische Behandlung ( $T = 100$  °C,  $t = 90$  min) in einem Konvektionsofen unter Umgebungsluft. Die resultierende Schichtdicke beträgt 45 – 50 nm. An dieser Stelle sei anzumerken, dass ebenso eine Beschichtung mit Hilfe eines *Doctor Blading* Prozesses möglich ist. Reproduzierbare Schichtdicken von 45 – 50 nm können bei Raumtemperatur und einer linearen Translationsgeschwindigkeit von  $v = 50$   $\mu\text{m/s}$  unter der Verwendung einer hydrophobierten thermisch oxidierten Silizium (Si)-Rakel hergestellt werden. Nichtsdestotrotz erfolgt die Integration der in dieser Arbeit hergestellten elektronischen Bauelemente lediglich unter Verwendung des beschriebenen *Spin Coating*-Prozesses.

Die Bestimmung des dielektrischen Verhaltens des perfluorierten Polymers erfolgt analog zu der in Kapitel 5.1 beschriebenen Routine. Hierfür werden Kondensatoren in Parallelplattenarchitektur mit einer aktiven Fläche von 25 mm<sup>2</sup> analog zur in Kapitel 5.1 vorgestellten Routine integriert. Als *Bottom* Elektrode dient eine 50 nm dicke Aluminium (Al) Schicht. Die Strukturierung der 50 nm dicken *Top* Elektrode bestehend aus Al erfolgt mittels eines nasschemischen Ätzprozesses in Phosphorsäure (H<sub>3</sub>PO<sub>4</sub>), Salpetersäure (HNO<sub>3</sub>) und Essigsäure (CH<sub>3</sub>COOH).

## Elektrische und physikalische Charakterisierung

Den frequenzabhängigen Verlauf der berechneten relativen Permittivität für das Fluoropolymer SX AR-PC-5060 zeigt Abbildung 6.1 (a). Im Messintervall von 50 Hz - 1 MHz verweilt die dielektrische Konstante fortwährend im Bereich von 2,1 – 2,2 und weist damit in diesem Bereich ein mit dem Produkt CYTOP vergleichbares Verhalten auf [Asa]. Ebenso wird eine signifikante Verringerung der relativen Permittivität ab einer Frequenz von ca. 1 MHz ersichtlich. Walser et al. zeigten für das Materialsystem CYTOP, dass die Hochfrequenz-Antwort des Materials vom Serienwiderstand des Systems dominiert wird.

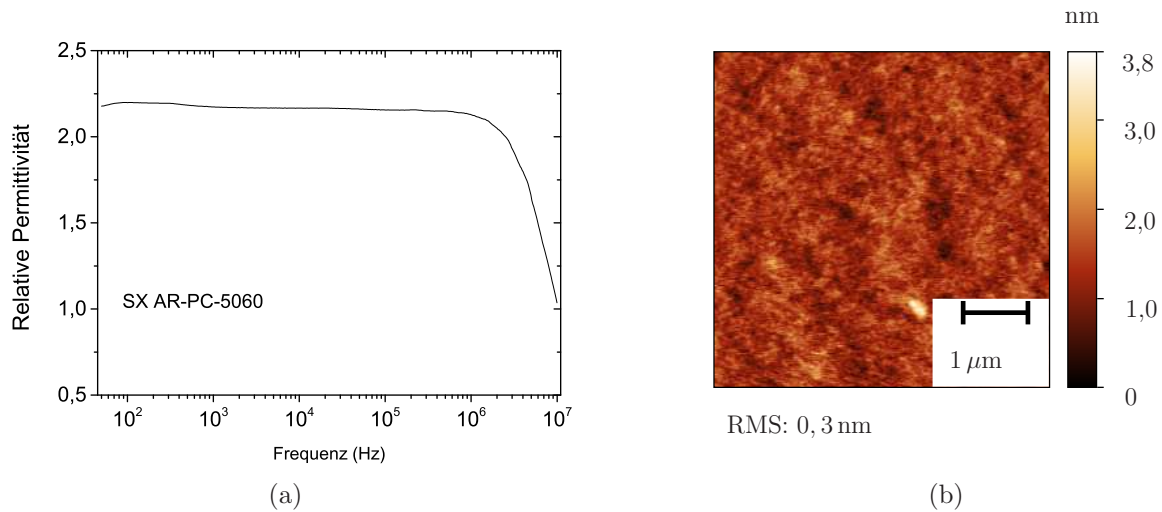


Abbildung 6.1: (a) Frequenzabhängiges Verhalten der relativen Permittivität des Dielektrikums SX AR-PC-5060. *Bottom* Elektrode des Kondensators in Parallelplattenarchitektur: Al. (b) AFM-Messung einer SX AR-PC-5060 Oberfläche nach dem Aushärtungsprozess.

Daher skaliert die Reduzierung der dielektrischen Konstante  $k$  mit der Fläche der Kondensatorstruktur und ist unabhängig von der Isolationsschicht selbst [WKMB09]. Ferner zeigen AFM-Messungen, dass die Oberfläche der deponierten SX AR-PC-5060 Schichten eine exzellente Homogenität mit einem quadratischen Mittenrauwert RMS von 0,3 nm aufweist (Abbildung 6.1 (b)). Kontaktwinkelmessungen indizieren einen hohen Kontaktwinkel von  $122^\circ$  zwischen der polymeren Oberfläche und Wasser. Die freie Oberflächenenergie  $\gamma_{sl}$  kann schließlich auf 10,95 mN/m bestimmt werden mit einem dispersen und polaren Beitrag von  $\sigma_s^D = 10,83$  mN/m (99 %) bzw.  $\sigma_s^P = 0,13$  mN/m (1 %).

Die hier diskutierten Ergebnisse zeigen eine Vielzahl an Überschneidungen der Produkte CYTOP und SX AR-PC-5060, so dass ein Einsatz von SX AR-PC-5060 in der Schaltungstechnik als vielversprechend erscheint. An dieser Stelle sei allerdings anzumerken, dass die Oberflächeneigenschaften des Fluorpolymers die Benetzung der Oberfläche mit dem in dieser Arbeit verwendeten Fotolack erschwert. Ebenso ist lediglich eine geringe Adhäsion zwischen Gold (Au) und der Dielektrikumsoberfläche gegeben.



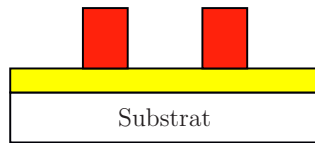
## 6.2 Einzeltransistoren und statische Charakterisierung von Invertern

Typischerweise beeinflussen orthogonale Lösungsmittel nicht die Morphologie von organischen Halbleitersystemen [CCN<sup>+</sup>10]. Daher werden aufgrund der im vorangegangenen Kapitel genannten prozesstechnischen Problematiken (Benetzung des Fotolacks, Adhäsion von Au) Dünnschichttransistoren in der *Top Gate Bottom Contact* Architektur integriert. Einen Überblick über die im Folgenden beschriebenen Prozessabläufe zeigt Abbildung 6.2. Das isolierende Trägersubstrat, bestehend aus thermisch oxidierten 4" Si-Wafern, wird ganzflächig mittels Elektronenstrahlverdampfens mit einer Filmsequenz bestehend aus 2 nm Titan (Ti) sowie 30 nm Au bedampft, wobei die Ti-Schicht lediglich als Haftvermittler dient. Mit Hilfe der optischen Fotolithographie und nasschemischen Ätzprozessen werden die Source- und Drain-Elektroden strukturiert. Für die Ti-Schicht dient eine wässrige Lösung bestehend aus Wasserstoffperoxid (H<sub>2</sub>O<sub>2</sub>) und Ammoniakwasser (NH<sub>4</sub>OH) als Ätzlösung, während eine wässrige Kaliumiodid (KI) und Iod (I) umfassende Lösung als Ätzmedium für die Au-Schicht fungiert. Im Anschluss erfolgt die Reinigung der Kontaktelektroden mit Aceton, Isopropanol und VE-Wasser sowie einer anschließenden Trocknung unter einem stetigen Stickstoff-Fluss. Schließlich erfolgt die Deposition einer 30 nm dicken DNTT Schicht durch thermisches Aufdampfen. Als Dielektrikum dient eine 45 – 50 nm dicke Schicht SX AR-PC-5060, die analog zur in Kapitel 6.1 beschriebenen Routine aufgebracht und gehärtet wird. Für die Gate-Elektrode wird schließlich eine 50 nm dicke Al Schicht ganzflächig unter Hochvakuumbedingungen aufgebracht und durch optische Lithographie und einen Ätzprozess in einem Ätzmedium aus H<sub>2</sub>O, H<sub>3</sub>PO<sub>3</sub>, HNO<sub>3</sub> und CH<sub>3</sub>COOH strukturiert. Abschließend erfolgt die Reinigung der Gate-Elektroden in einer Reinigungssequenz bestehend aus Aceton, Isopropanol und VE-Wasser. Details bezüglich der verwendeten Ätzlösungen sind im Anhang ersichtlich.

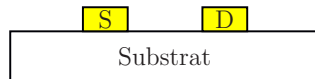
### Diskussion

Abbildung 6.3 zeigt die elektrischen Charakteristiken eines integrierten DNTT-basierten TFTs unter der Verwendung des Dielektrikums SX AR-PC-5060. Es wird ersichtlich, dass der TFT im ausgeschalteten Zustand einen ausgeprägten Drain-Strom  $I_D$  aufweist, der zu einer geringen Strommodulation von 50 führt (Abbildung 6.3 (a)). Verschiedene Faktoren

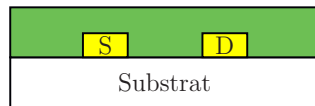
Deposition der Source-/ Drain-Metallisierung & Definition der Source-/ Drain-Elektroden



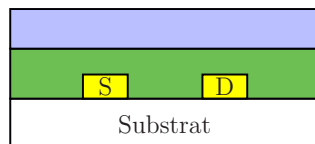
Strukturierung der Source-/ Drain-Elektroden (nasschemische Ätzprozesse)



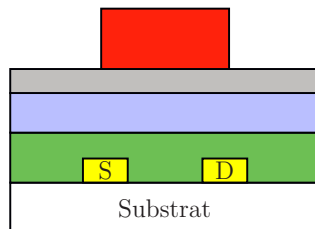
Reinigung der Source-/ Drain-Elektroden & Deposition des Halbleitermaterials



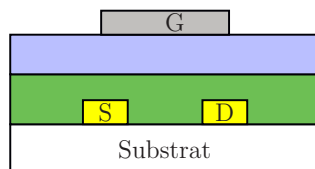
Deposition und Aushärtung des Gate-Dielektrikums



Deposition der Gate-Metallisierung & Definition der Gate-Elektrode



Strukturierung der Gate-Elektrode (nasschemischer Ätzprozess)



- Fotolack
- Ti+Au
- DNTT
- SX AR-PC-5060
- Al
- S: Source
- D: Drain
- G: Gate

Abbildung 6.2: Übersicht über die Prozessfolge zur Integration von *Top Gate Bottom Contact* TFTs unter der Verwendung von DNTT als aktives Halbleitermaterial.

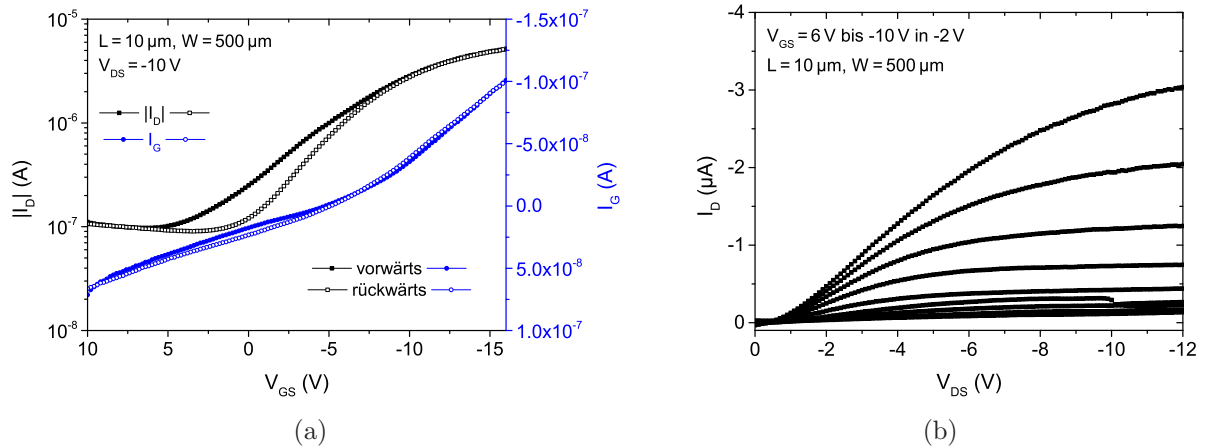


Abbildung 6.3: (a) Eingangskennlinie sowie Leckstromverhalten und (b) Ausgangskennlinienfeld eines DNTT-basierten TFTs in *Top Gate Bottom Contact* Architektur unter der Verwendung des Dielektrikums SX AR-PC-5060.

kommen als potentielle Ursache hierfür in Betracht. Zum einen sind die Überlappungsbereiche zwischen den Source-/ Drain-Elektroden und der Gate-Elektrode (Abbildung 6.4 (a)) als kritisch anzusehen. Die geringe Konformität des thermischen Aufdampfprozesses [Hil14], welcher zur Deposition des Halbleitermaterials verwendet wird, begünstigt eine Stufenbildung zwischen den Source-/ Drain-Elektroden und dem Kanalbereich. Daher ist vornehmlich in diesem Bereich eine geringere Schichtdicke des Gate-Dielektrikums zu erwarten, resultierend in einem ausgeprägten Leckstromanteil. Zum anderen bildet die polykristalline Struktur der halbleitenden Schicht eine raue Oberfläche für die Deposition des Dielektrikums. Abbildung 6.4 (b) zeigt AFM-Messungen nach der Deposition der Isolationsschicht SX AR-PC-5060 auf dem organischen Halbleiter DNTT. Der quadratische Mittenrauwert RMS kann im Anschluss an die Deposition auf 1,9 nm bestimmt werden. Dies indiziert das Auffüllen der vakanten Bereiche zwischen den einzelnen Halbleiterkristallen und führt zu einer ausgeprägten Inhomogenität im Bereich der Halbleiter-Dielektrikum-Grenzfläche. Aufgrund der nicht planaren Oberfläche während der Deposition des Dielektrikums kann ebenso eine Behinderung des Quervernetzungsprozesses des Polymers SX AR-PC-5060 nicht ausgeschlossen werden. So indiziert der Subschwellsenungsstromanstieg  $S$  von 9 V/dec bzw. 6,7 V/dec in Vorwärts- bzw. Rückwärtsmessrichtung das Auftreten einer erhöhten Fallenzustandsdichte. Ferner kann die Schwellenspannung  $V_{Th}$  zu einem positiven Spannungswert von 0,6 V in Vorwärtsmessrichtung bestimmt werden. Die Hysterese  $\Delta V_{Th}$  beträgt schließlich 2 V. Scheinert et al. analysierten den Einfluss von Donator- und Akzeptor-ähnlichen Fallenzuständen auf

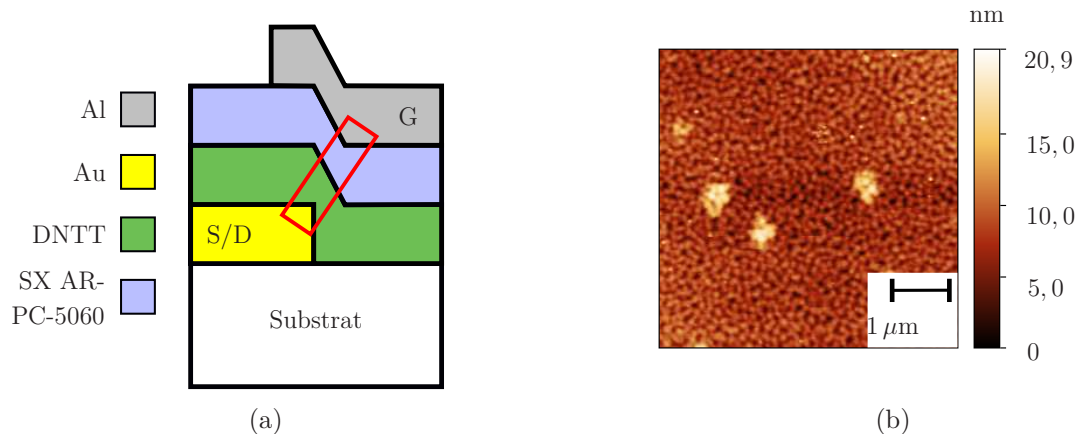


Abbildung 6.4: (a) Schematische Darstellung eines Ausschnittes eines DNTT-basierten TFTs in *Top Gate Bottom Contact* Architektur (G: Gate, S: Source, D: Drain). Rotes Rechteck: Kritischer Bereich bezüglich Leckstromverhalten. (b) AFM-Messung des Dielektrikums SX AR-PC-5060 abgeschieden auf dem Halbleitermaterial DNTT. Die körnige Struktur der Halbleiterschicht bleibt erhalten.

die elektrischen Charakteristiken von Pentacen-basierten TFTs [SPBP07]. So zeigten sie, dass feste Ladungen oder Akzeptor-ähnliche Fallenzustände aufgrund ihrer negativen Ladung zu einer Schwellenspannungsverschiebung in den Bereich von positiven Gate-Source Spannungen  $V_{GS}$  führen können. Ferner berichteten sie, dass diese negativen Ladungen zu einer Erhöhung der Löcherkonzentration an der Halbleiter-Dielektrikum-Grenzfläche führen. Hierdurch kann die Halbleiterschicht auch bei hohen positiven Gate-Source Spannungen  $V_{GS}$  nicht vollständig verarmen, resultierend in einem erhöhten Drain-Strom  $I_D$ . Das zugehörige Ausgangskennlinienfeld des integrierten DNTT-basierten TFTs (Abbildung 6.3 (b)) bestärkt diese Annahme. Neben dem Leckstromverhalten im niedrigen  $V_{DS}$ -Bereich wird ein  $V_{DS}$ -abhängiger Drain-Strom  $I_D$  trotz eines Gate-Source Spannungswert  $V_{GS}$  von 0 V ersichtlich. Ferner kann die Einschaltspannung  $V_{on}$  auf 6 V bei einer Hysterese  $\Delta V_{on}$  von 2,4 V bestimmt werden. Die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  wird durch die zuvor beschriebenen Effekte auf  $0,02 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$  limitiert.

Beim Vergleichen des Stroms  $I_{on}$  eines DNTT-basierten TFTs im angeschalteten Zustand mit inoflex T3 bzw. SX AR-PC-5060 als Dielektrikum wird ersichtlich, dass ein vergleichbarer Stromfluss bei SX AR-PC-5060 umfassenden TFTs lediglich durch erhöhte Betriebsspannungen erreicht werden kann. Das Nanokomposit inoflex T3 weist eine Kapazität pro Einheitsfläche  $C_i$  von  $47 - 56 \text{ nFcm}^{-2}$  auf. Wie bereits erwähnt, weisen AFM-Messungen (Abbildung 6.4 (b)) auf eine lokale Schichtdickenvariation bei der Deposition von SX AR-PC-5060 auf der polykristallinen Halbleiterschicht DNTT hin. So

zeigt sich eine Anhäufung des aufgetragenen Polymers im Bereich der Korngrenzen, resultierend in einer lokalen Variation der kapazitiven Kopplung. Unter der Annahme einer Schichtdickenvariation zwischen 45 – 60 nm weist die Kapazität pro Einheitsfläche  $C_i$  für das Dielektrikum SX AR-PC-5060 einen Wertebereich von 29 – 41 nFcm<sup>-2</sup> auf. Dies führt zu einer erhöhten Betriebsspannungen dieser TFTs.

Nichtsdestotrotz konnten einfache Schaltungselemente bestehend aus einem Lasttransistor im *pull-up* und einem aktiven Transistor im *pull-down* Netzwerk realisiert werden. Abbildung 6.5 zeigt die Übertragungskennlinien eines DNTT-basierten Inverters in Einkanaltechnologie in Abhängigkeit verschiedener Kanallängen  $L$  des Lasttransistors. Zwar ist ein invertierendes Verhalten am Ausgang der Schaltung ersichtlich, allerdings kann unabhängig von der Kanallänge  $L$  des Lasttransistors lediglich ein  $V/V$  Verstärkungsfaktor von  $-1$  bei einem  $V_{DD}$ -Wert von  $-10$  V erreicht werden. Ebenso kann die Inverter-Schaltung nicht das vollständige Spannungsintervall von  $V_{DD}$  bis zum Massepotential nutzen. So betragen die Spannungswerte des *High*-Pegels am Ausgang unabhängig von der Kanallänge  $L$  des Lasttransistors  $-6,5$  V. Der *Low*-Pegel am Ausgang hingegen weist die typische Abhängigkeit des Ausgangsspannungswerts vom Widerstandsverhältnis der beiden verwendeten Transistoren auf. So sinkt der *Low*-Pegelwert mit steigendem Widerstandsverhältnis von  $-2$  V auf  $-1,7$  V. Es bleibt anzumerken, dass speziell die geringe Strommodulation der Einzeltransistoren die Schaltungseigenschaften maßgebend limitieren, so dass eine Optimierung des Leckstromverhaltens essentiell ist.

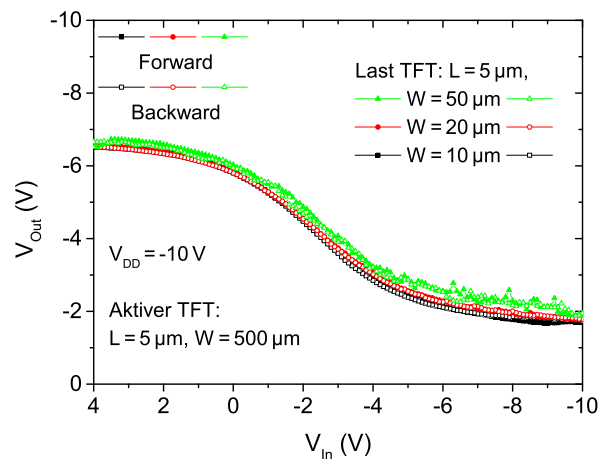


Abbildung 6.5: Übertragungskennlinien eines DNTT-basierten Inverters in Einkanaltechnologie in Abhängigkeit verschiedener Kanallängen  $L$  des Lasttransistors.

## 6.3 Planarisierung und dynamische Charakterisierung von Invertern

Zur Optimierung des Leckstromverhaltens wurde eine Routine entwickelt, um eine möglichst stufenlose Oberfläche für den Integrationsprozess bereitzustellen und hierdurch potentielle Schichtdickenvariationen, insbesondere in den kritischen Überlappungsbereichen zwischen der Source-/ Drain- und der Gate-Elektrode zu minimieren. Als Grundlage dient die Planarisierung der Kontaktbereiche mittels CVD- (engl.: *Chemical Vapor Deposition*) und fotolithographischen Verfahren.

Einen Überblick über den im Folgenden beschriebenen Integrationsprozess zeigt Abbildung 6.6. Für die Herstellung eines isolierenden Trägersubstrats wird ein 80 nm dicker Siliziumnitrid ( $\text{Si}_3\text{N}_4$ )-Film mittels der LPCVD-Abscheidung (engl.: *Low Pressure Chemical Vapor Deposition*) auf einem 4" Si-Wafer abgeschieden. Im Anschluss erfolgt die Deposition einer 35 nm dicken Siliziumdioxid ( $\text{SiO}_2$ )-Schicht mit Hilfe des PECVD-Verfahrens (engl.: *Plasma Enhanced Chemical Vapor Deposition*), wobei die gewählte Schichtdicke der Strukturhöhe der später integrierten Kontaktelektroden entspricht. Der im Anschluss aufgebraute Fotolack wird mittels fotolithographischer Prozesse strukturiert und das hierdurch freigelegte  $\text{SiO}_2$  in den Source- und Drain-Kontaktbereichen in einem Ätzmedium bestehend aus Ammoniumfluorid ( $\text{NH}_4\text{F}$ ), Flußsäure (HF) und Wasser ( $\text{H}_2\text{O}$ ) entfernt. Hierbei wird die aufgebraute  $\text{Si}_3\text{N}_4$ -Schicht als Ätzstoppschicht verwendet. Schließlich erfolgt die ganzflächige Deposition einer Filmsequenz bestehend aus 2 nm Ti und 33 nm Au, gefolgt von einer Strukturierung mittels eines *Lift Off* Prozesses. Die Entfernung der Metallerhöhungen im Kantenbereich der Source- und Drain-Elektroden erfolgt durch einen kurzen Eintauchprozess für eine Zeitdauer von  $t = 2\text{ s}$  in das materialspezifische Ätzmedium, so dass eine planarisierte Oberfläche für Folgeprozesse bereit steht. Im Anschluss erfolgt die Integration analog zu der in Kapitel 6.2 beschriebenen Routine. Details bezüglich der Zusammensetzungen der Ätzlösungen sind im Anhang aufgeführt.

### Diskussion

Abbildung 6.7 zeigt vergleichend die Eingangskennlinien von DNTT-basierten TFTs sowohl ohne als auch mit einem planarisierten Kontaktbereich. So wird eine signifikante Verringerung von  $I_{off}$  ersichtlich, die zu einer erhöhten Strommodulation  $I_{on}/I_{off}$  von  $8 \cdot 10^2$

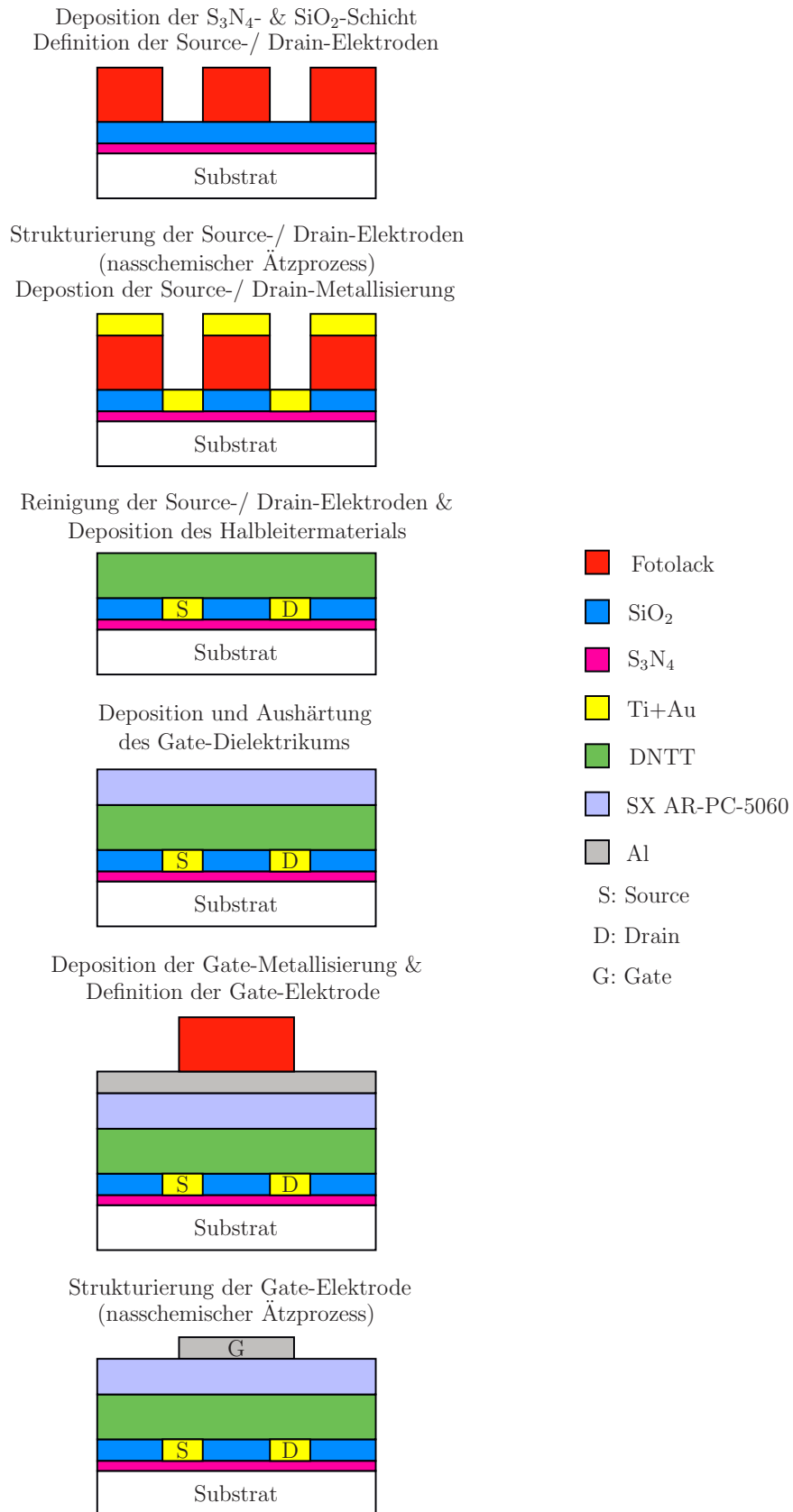


Abbildung 6.6: Übersicht über die Prozessfolge zur Integration von *Top Gate Bottom Contact* TFTs mit planarisierten Source-/ Drain-Elektroden unter der Verwendung von DNTT als aktives Halbleitermaterial.

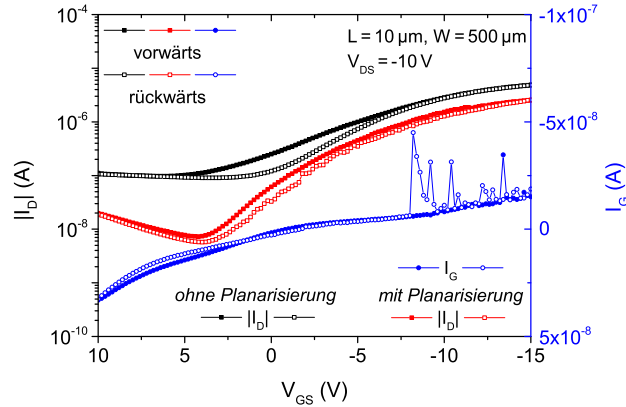


Abbildung 6.7: Eingangskennlinien von *Top Gate Bottom Contact* DNNT-basierten TFTs mit und ohne planarisierten Source-/ Drain-Elektroden im Vergleich. Das Leckstromverhalten des integrierten TFTs mit planarisierten Elektroden ist ebenso dargestellt.

führt. Die Verringerung von  $I_{off}$  kann zum einen mit dem Leckstromverhalten des TFTs in Zusammenhang gebracht werden. Es zeigt sich eine signifikante Verringerung des Gate-Stroms  $I_G$  aufgrund der Reduzierung der Schichtdickenvariation des Dielektrikums in den Überlappungsbereichen der Source-/ Drain- und Gate-Elektroden. Zum anderen zeigt sich eine deutliche Variation in der Anzahl der Fallenzustände. Scheinert et al. beschreibt die Abhängigkeit des Drain-Stroms  $I_D$  von Donator- und Akzeptor-ähnlichen Fallenzuständen [SPBP07]. Eine steigende Fallenkonzentration an Donator-ähnlichen Zuständen führt aufgrund ihrer positiven Ladung zu einer Reduktion der Löcherkonzentration, resultierend in einer Verringerung von  $I_D$ . Im Gegensatz dazu ergibt sich eine Erhöhung der Löcherkonzentration aufgrund der negativen Ladung von Akzeptor-ähnlichen Zuständen, die zu einem Anstieg des Drain-Stroms  $I_D$  führt. Ebenso ist eine Verschiebung der Schwellenspannung  $V_{Th}$  in negative bzw. positive Richtung hiermit korreliert. Der integrierte TFT mit planarisierten Kontaktbereich zeigt eine signifikante Reduzierung der Anzahl der Fallenzustände. Der Subschwelenstromanstieg  $S$  verringert sich auf einen Wert von 4 V/dec, wobei  $V_{Th}$  sich auf  $-0,3$  V und 0 V in Vorwärts- bzw. Rückwärtsmessrichtung verschiebt. Ferner wird eine merkliche Verringerung von  $I_D$  in der Eingangskennlinie ersichtlich. Die Einschaltspannung  $V_{on}$  lässt sich mit einem Wert von 4,2 V angeben, wobei eine geringe Hysterese  $\Delta V_{on}$  von 200 mV vorliegt. Die Ladungsträgermobilität im Sättigungsbereich  $\mu_{sat}$  kann wie zuvor auf  $0,02 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bestimmt werden.

Abbildung 6.8 zeigt (a) die Eingangskennlinien und (b) das Leckstromverhalten des TFTs in unterschiedlichen Beschaltungskonfigurationen (siehe Kapitel 5.3). Es wird erneut ersichtlich, dass die asymmetrischen Überlappungsbereiche zwischen Source-/ Drain- und



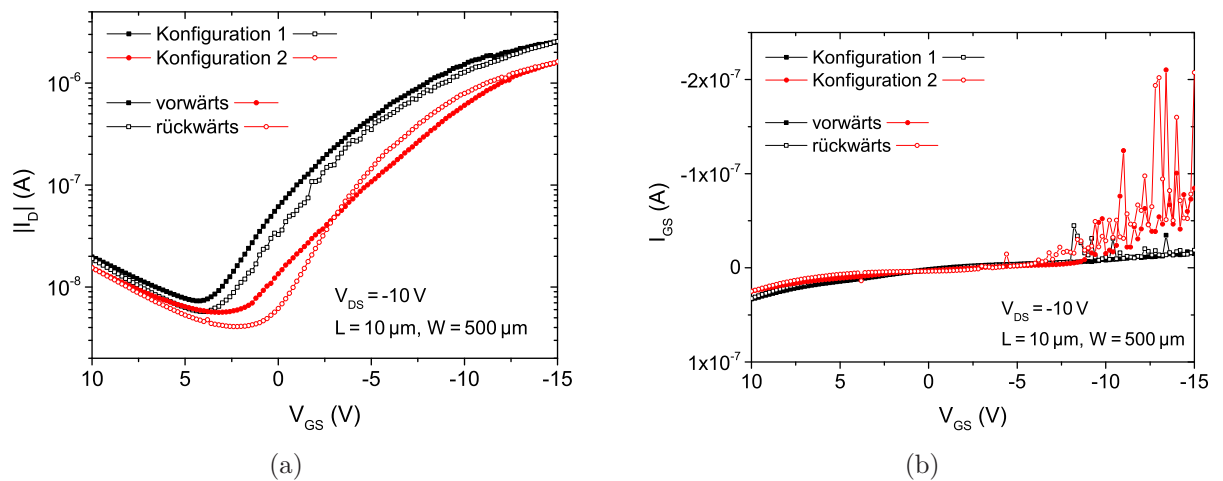


Abbildung 6.8: (a) Eingangskennlinien und (b) Leckstromverhalten von *Top Gate Bottom Contact* DNTT-basierten TFTs mit planarisierten Source-/ Drain-Elektroden in verschiedener Beschaltungskonfiguration.

Gate-Elektrode die elektrischen Parameter des TFTs maßgeblich beeinflussen. Für Konfiguration 2 kann der Spannungswert für  $V_{Th}$  und  $V_{on}$  auf  $-1,7\text{ V}$  bzw.  $3,2\text{ V}$  in Vorwärtsmessrichtung bestimmt werden. Die Hysterese  $\Delta V_{Th}$  und  $\Delta V_{on}$  beträgt  $2,6\text{ V}$  bzw.  $0,8\text{ V}$ . Der Subschwelligenspannungsstromanstieg  $S$  kann auf  $5,5\text{ V/dec}$  und  $3,4\text{ V/dec}$  für die Vorwärts- bzw. Rückwärtsmessrichtung bestimmt werden. Erneut kann dies mit einer Variation der Anzahl der Fallenzustände korreliert werden. Verstärkt wird diese Annahme ebenso durch die merkliche Verringerung von  $I_D$ . Zwar indiziert die Verringerung von  $I_{off}$  eine Reduzierung der Schichtdickenvariation des Dielektrikums in den Überlappungsbereichen der Source-/ Drain- und Gate-Elektroden, die ausgeprägte Inhomogenität an der Halbleiter-Dielektrikum-Grenzfläche bleibt allerdings aufgrund der Oberflächenrauigkeit der polykristallinen Halbleiterschicht weiterhin erhalten.

Um das Potential für die Anwendung des Dielektrikums SX AR-PC-5060 in der digitalen Schaltungstechnik abschätzen zu können, wird das elektrische Verhalten einer Inverter-Struktur bestehend aus einem planarisierten DNTT-basierten Transistor als *pull-down* Element sowie einem Ohm'schen Widerstand ( $R = 10\text{ M}\Omega$ ) als *pull-up* Element bezüglich eines dynamischen Eingangssignals analysiert. Abbildung 6.9 (a) zeigt das Ausgangssignal als Antwort auf ein rechteckförmiges Eingangssignal der Frequenz  $50\text{ Hz}$ . Bei einer Betriebsspannung  $V_{DD}$  von  $-10\text{ V}$  weist die Inverter-Struktur einen *High*-Pegelwert von  $-8,5\text{ V}$  bzw. ein *Low*-Pegelwert von  $-1,9\text{ V}$  auf, wobei erneut die Widerstandverhältnisse für die nicht vollständige Ausnutzung des Spannungsbereichs verantwortlich sind. Ebenso wurden Messungen bei geringeren Eingangssignalfrequenzen durchgeführt, wobei diese

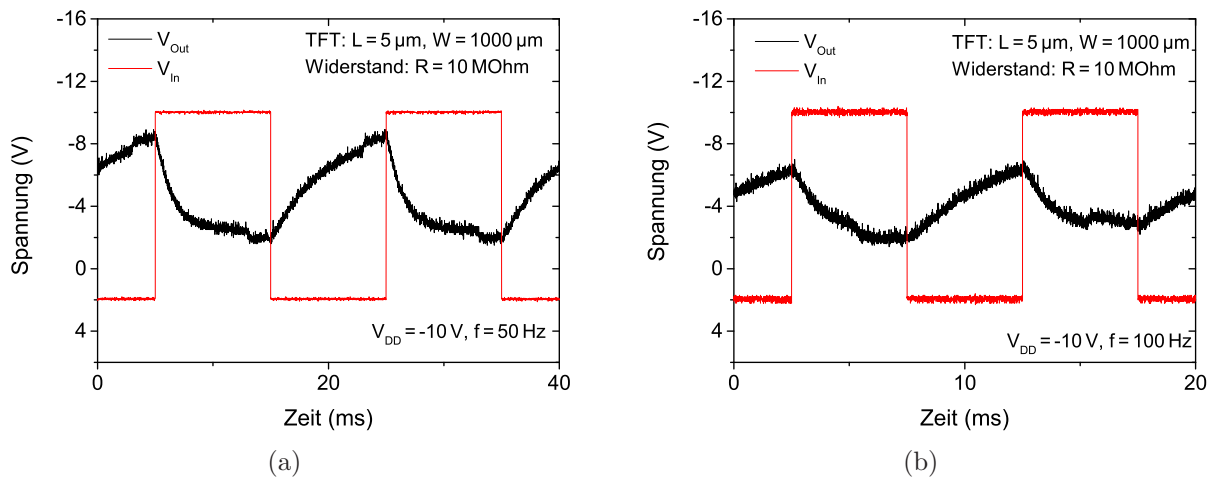


Abbildung 6.9: Transientverhalten eines Inverters bestehend aus einem DNNT-basierten TFT als *pull-down* und einem Ohm'schen Widerstand als *pull-up* Element. Die Diagramme zeigen, dass Ausgangssignal  $V_{out}$  für ein rechteckförmiges Eingangssignal  $V_{in}$  mit einer Frequenz von (a) 50 Hz bzw. (b) 100 Hz.

keinen signifikanten Unterschied bezüglich der hier genannten Pegelwerte aufwiesen. Eine Erhöhung der Frequenz des rechteckförmigen Eingangssignals auf 100 Hz erzeugt allerdings eine Reduzierung des *High*-Pegelwerts auf  $-6,4 \text{ V}$  (Abbildung 6.9 (b)). Schließlich wird eine irreversible Variation der Transistorparameter durch die elektrische Belastung deutlich. Im ausgeschalteten Zustand des Transistors liegen vergleichbare Widerstandsverhältnisse zwischen dem TFT und dem Ohm'schen Widerstand vor, wodurch ein ausgeprägtes Leckstromverhalten des TFTs indiziert wird. Wie bereits in Kapitel 6.2 erwähnt, zeigt die Halbleiter-Dielektrikum-Grenzfläche eine ausgeprägte Inhomogenität aufgrund der polykristallinen Halbleiterschicht. Die hierdurch entstehenden lokalen Variationen in der elektrischen Feldstärke des Wechselfeldes können zu einer Beschädigung des Dielektrikums und damit zu einer Erhöhung des Stromflusses zwischen den Source-/ Drain- und Gate-Elektroden führen.

Analog zur beschriebenen Methode in Kapitel 5.9.3 kann die Anstiegs- sowie die Abfallzeit der Inverter-Struktur auf 5 ms bestimmt werden, wobei hierdurch eine signifikante Optimierung zu den DNNT-basierten TFTs mit dem Gate-Dielektrikum inflex T3 gegeben ist. Nichtsdestotrotz beeinflussen Fallenzustände, lokale Variationen der kapazitiven Kopplung sowie auftretende Kontaktwiderstände an der Metall-Halbleiter-Grenzfläche die Leistungsfähigkeit des Schaltungselements maßgebend. Neben der zuvor genannten Inhomogenität der Halbleiter-Dielektrikum-Grenzfläche bietet die durch den Ätzprozess der Source- und Drain-Elektroden induzierte Oberflächenrauigkeit (siehe Kapitel 5.2) das Potential für

die Ausbildung von Fallenzuständen. Ebenso können sich aufgrund der isotropen Ätzcharakteristik von nasschemischen Ätzprozessen durch Unterätzung graduelle Flanken bei dem Freilegen der Source-/ Drain-Bereiche in der SiO<sub>2</sub>-Schicht ausbilden. Diese bleiben im Anschluss an die Source- und Drain-Elektrodenstrukturierung als Vertiefungen zurück und können den Ursprung auftretender Fallenzustände bilden. Gleichmaßen wie die induzierte Oberflächenrauigkeit der Kontaktelektroden können diese Vertiefungen die Injektionseigenschaften an der Metall-Halbleiter-Grenzfläche aufgrund der unterschiedlichen Kontaktflächen zwischen Halbleiter- und Elektrodenmaterial beeinflussen. Ebenso leistet die Differenz zwischen der Austrittsarbeit des Metalls und des HOMO-Niveaus des Halbleiters einen Beitrag zum auftretenden Kontaktwiderstand. Ferner kann erneut der Einfluss des verwendeten Messaufbaus auf die intrinsischen Schaltungseigenschaften nicht ausgeschlossen werden (siehe Kapitel 5.9.3).

Abschließend sei an dieser Stelle anzumerken, dass das Materialsystem SX AR-PC-5060 schon in diesem frühen experimentellen Stadium der Transistorintegration das Potential für die Anwendung als Gate-Dielektrikum in der höherfrequenten digitalen Schaltungstechnik offenbart. Eine signifikante Optimierung der Integrationsroutine zur Ausschöpfung und Bewertung des Gesamtpotentials dieses Materials als Isolationsschicht ist allerdings unabdingbar.



# KAPITEL 7

## WEITERE EXPERIMENTELLE UNTERSUCHUNGEN

Die bisherigen Untersuchungen zeigen, dass eine Herstellung von organischen Dünnschichttransistoren mit hoher Integrationsdichte und reproduzierbarer Leistungsfähigkeit auf flexiblen Substraten möglich ist. Die unter Anwendung konventioneller Lithographie realisierbare minimale Kanallänge  $L$  beträgt hierbei  $1\ \mu\text{m}$ . Abbildung 7.1 zeigt die elektrischen Charakteristiken eines DNTT-basierten TFT mit dieser Kanallänge und inoflex T3 als Dielektrikum. Als Substrat dient eine Hostaphan DOKO Folie. Die Schwellenspannung  $V_{Th}$  kann auf  $-1,1\ \text{V}$  und  $-0,1\ \text{V}$  für die Vorwärts- bzw. Rückwärtsmessrichtung bestimmt

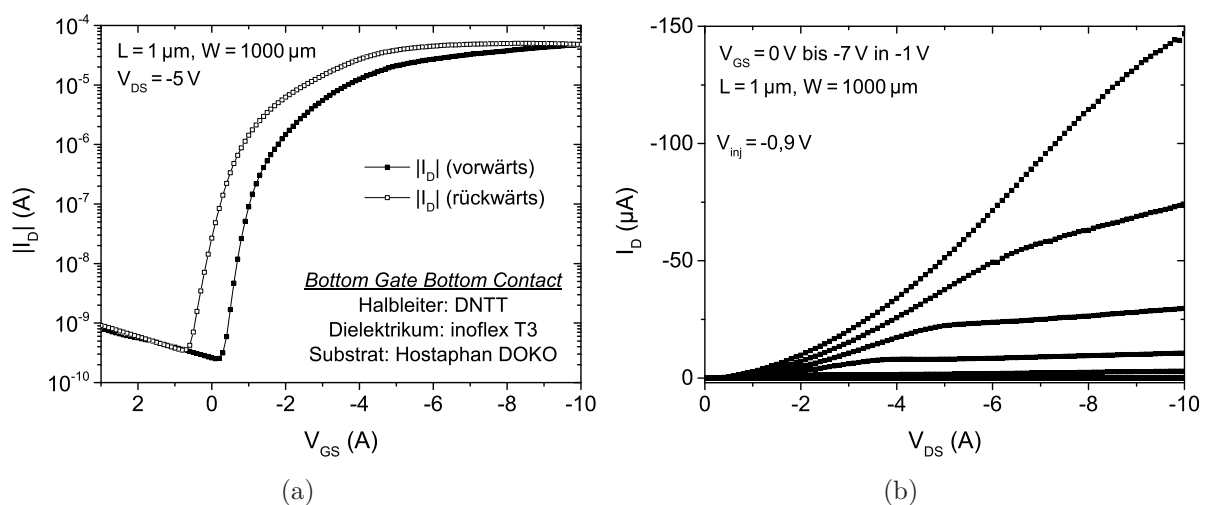


Abbildung 7.1: (a) Eingangskennlinie und (b) Ausgangskennlinienfeld eines DNTT-basierten *Bottom Gate Bottom Contact* TFTs mit inoflex T3 als Dielektrikum. Als Substrat dient eine Hostaphan DOKO Folie.

werden. Die Einschaltspannung  $V_{on}$  beträgt  $-0,1\text{ V}$  bei einer Hysterese  $\Delta V_{on}$  von  $0,9\text{ V}$ . Ferner kann der Subschwelenstromanstieg  $S$  auf  $250\text{ mV/dec}$  bei einer Strommodulation  $I_{on}/I_{off}$  von  $2 \cdot 10^5$  bestimmt werden. Die geringe Ladungsträgermobilität im Sättigungsbe-  
 reich  $\mu_{sat}$  von  $0,07\text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  indiziert allerdings, dass speziell bei geringen Kanallängen die Leistungsfähigkeit des TFTs im Wesentlichen durch die auftretenden Kontaktwiderstände  $R_C$  limitiert ist. Die hohe Injektionsspannung  $V_{inj}$  von  $-0,9\text{ V}$ , die analog zur Methode in Kapitel 5.6 bestimmt wurde, bestärkt diese Annahme, so dass eine Optimierung der Injektionseigenschaften der Metall-Halbleiter-Grenzfläche, speziell bei geringer werdenden Kanallängen, unabdingbar ist. Wie bereits erwähnt weist die Transitfrequenz  $f_T$  ein proportionales Verhalten zu  $1/L^2$  auf (siehe Kapitel 5.4), wodurch für die Optimierung von Schaltgeschwindigkeiten eine Reduktion der Kanallänge  $L$  unumgänglich ist. Eine weitere Reduktion der Strukturdimension kann schließlich unter Verwendung einer geringeren Belichtungswellenlänge (z.B.  $253\text{ nm}$ , engl.: *Deep Ultraviolet*, DUV) sowie der Elektronenstrahlolithographie realisiert werden. Die hohen Equipmentkosten sowie der geringe Durchsatz im Falle der Elektronenstrahlolithographie verhindern allerdings eine kostengünstige Integration.

Einen alternativen Ansatz zur Realisierung von Strukturdimensionen  $< 1\text{ }\mu\text{m}$  stellt die Kombination der konventionellen optischen Lithographie und die Verwendung eines Ätzprozesses zur Reduzierung der Lackgröße im Anschluss an den Entwicklungsprozess dar. Typischerweise wird das isotrope Ätzverhalten eines Sauerstoff ( $\text{O}_2$ )-Plasmas bei lithographischen Prozessen genutzt, um Fotolacke rückstandsfrei zu entfernen. Durch Anpassung der Ätzparameter dieses Trockenätzprozesses bezüglich des Rezipientendrucks, der verwendeten Elektrodenleistung sowie des Gasflusses kann schließlich die Strukturgröße des

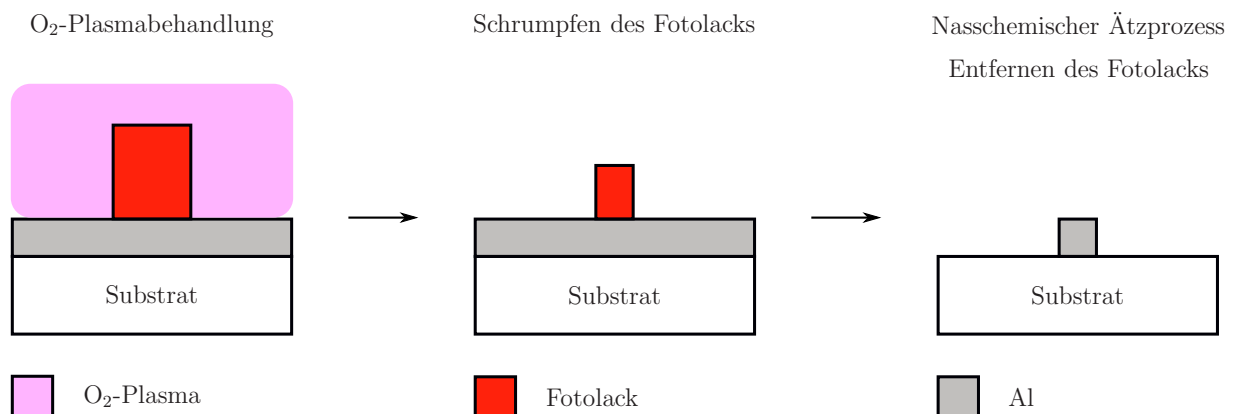


Abbildung 7.2: Übersicht über die Prozessfolge zur Realisierung von Strukturdimensionen  $< 1\text{ }\mu\text{m}$  mittels konventioneller optischer Lithographie.

entwickelten Fotolacks reduziert werden ohne diesen vollständig zu entfernen. Abbildung 7.2 zeigt eine Übersicht über den Prozessablauf zur Realisierung von Strukturdimensionen  $< 1 \mu\text{m}$ . Im Anschluss an die ganzflächige Deposition einer 50 nm dicken Aluminium (Al)-Schicht unter Hochvakuumbedingungen, wird die Lackstruktur fotolithographisch definiert. Schließlich erfolgt eine Behandlung des Fotolacks in einem  $\text{O}_2$ -Plasma. Die Struktur wird schließlich mittels eines nasschemischen Ätzprozesses in einer wässrigen Ätzlösung, bestehend aus  $\text{H}_3\text{PO}_4$ ,  $\text{HNO}_3$  und  $\text{CH}_3\text{COOH}$ , übertragen. Abschließend wird der Fotolack mittels des organischen Lösungsmittels 1-Methyl-2-pyrrolidon (NMP) oder Dimethylsulfoxid (DMSO) entfernt. Details bezüglich der Ätzparameter des Lackschrumpfprozesses sowie der nasschemischen Ätzlösungen sind im Anhang zu finden.

Abbildung 7.3 zeigt eine Rasterelektronenmikroskop (REM)-Aufnahme einer so strukturierten 50 nm dicken Al-Schicht. Die Breite  $b$  der Al-Struktur kann auf 300 nm bestimmt werden. Im Zusammenspiel mit der in Kapitel 5.4 vorgestellten Selbstjustierungsroutine erscheinen daher TFTs mit einer Kanallänge  $L < 1 \mu\text{m}$  unter Verwendung kommerzieller Integrationsprozesse mit hohem Durchsatz möglich. Ebenso kann dieser Prozess für den in Kapitel 6.3 beschriebenen *Lift Off* Prozess für die *Top Gate Bottom Contact* Architektur verwendet werden, da eine Entfernung des Fotolacks im Anschluss an die  $\text{O}_2$ -Plasmabehandlung in dem Lösungsmittel NMP bzw. DMSO möglich ist. Die Realisierung von Kurzkanal-TFTs unter Verwendung dieses Integrationsprozesses ist ein aktueller Forschungsinhalt des Fachgebiets Sensorik.

Oxidationsprozesse stellen bei organischen Halbleitermaterialien eine essentielle Problematik dar. Speziell die Kombination aus Luftsauerstoff und UV-Strahlung ist bei der Degradation von organischen Bauelementen von entscheidender Bedeutung [PDH04], [TYEI07]. Bei dem Transfer des in dieser Arbeit vorgestellten Selbstjustierungsprozesses auf *Top Gate* Architekturen, wird ersichtlich, dass die halbleitende Schicht während der TFT-

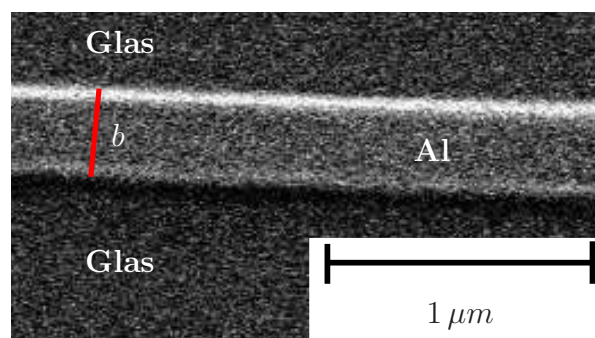


Abbildung 7.3: REM-Aufnahme einer 50 nm dicken Aluminium (Al)-Schicht, die mit Hilfe des Lackschrumpf-Prozesses strukturiert wurde (Draufsicht,  $b$ : Breite).

Integration einer temporären UV-Bestrahlung ausgesetzt ist. Um bewerten zu können, ob die Übertragung des Integrationsprozesses auf *Top Gate* Anordnungen möglich ist, werden UV-Belichtungsexperimente an vollständig integrierten DNTT-basierten TFTs durchgeführt. Die Herstellung der TFTs erfolgt analog zu der Routine beschrieben in Kapitel 6.2 auf einem 4" Borosilikatglas-Wafer (BOROFLOAT33, bezogen von SIEGERT WAFER GmbH) in *Top Gate Bottom Contact* Architektur unter Verwendung des Dielektrikums SX AR-PC-5060. Mittels einer UV-Bestrahlung sollen die Bedingungen, die der Halbleiter während der Integration ausgesetzt ist, simuliert werden. Die Bestrahlung erfolgt mittels der dieser Arbeit zugrundeliegenden Belichtungsanlage durch die Rückseite des Substrats mit einer Belichtungsdauer  $t_B$  von 11 s.

Abbildung 7.4 zeigt die Eingangskennlinien eines unbestrahlten bzw. bestrahlten TFTs im Vergleich. Für beide TFTs kann die Ladungsträgermobilität im Sättigungsbereich auf  $\mu_{sat}$  auf  $0,02 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bestimmt werden. Aufgrund des erhöhten Gate-Stroms  $I_G$  des bestrahlten TFTs kann die Strommodulation  $I_{on}/I_{off}$  lediglich auf 10 bestimmt werden. Die Ursache für den erhöhten Leckstrom sowie die Unterschiede bezüglich der Schwellenspannung  $V_{Th}$  sowie der Einschaltspannung  $V_{on}$  können an dieser Stelle nicht zweifelsfrei dem Einfluss der UV-Bestrahlung zugeordnet werden. So können integrations-spezifische Prozessvariationen wie u. a. die Depositionsqualität des Dielektrikums als Ursprung nicht ausgeschlossen werden. In diesem Stadium der Integrationsroutine für TFTs in *Top Gate Bottom Contact* Architektur indiziert dieses Ergebnis allerdings, dass das Dielektrikum

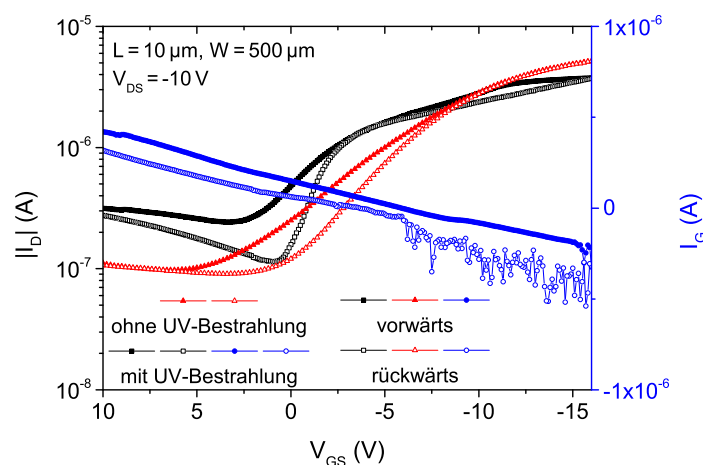


Abbildung 7.4: Eingangskennlinien eines unbestrahlten und bestrahlten DNTT-basierten *Top Gate Bottom Contact* TFTs mit SX AR-PC-5060 als Dielektrikum. Der Gate-Strom  $I_G$  des bestrahlten TFTs ist ebenso dargestellt. Der bestrahlte TFT wurde für eine Belichtungsdauer  $t_B$  von 11 s einer intensiven UV-Bestrahlung ausgesetzt.



SX AR-PC-5060 eine wirksame Barriere gegen Oxidationsprozesse des Halbleitersystems darstellt, so dass ein Selbstjustierungsprozess auch in dieser Elektroden-Anordnung möglich scheint.



## KAPITEL 8

## ZUSAMMENFASSUNG

In dieser Dissertation wurden verschiedene Integrations- und Optimierungsprozesse für organische Dünnschichttransistoren mit reproduzierbarer Leistungsfähigkeit entwickelt und diskutiert. Erstmals wurde ein Selbstjustierungsprozess für organische TFTs mit einem organisch-anorganischen Nanokomposit realisiert. Durch die Kombination konventioneller Fotolithographie mit lösungsmittelbasierten Depositionsprozessen konnte eine kostengünstige Integration auf flexiblen Substraten bei einer maximalen Prozesstemperatur von 115 °C gewährleistet werden. Die Wahl des Dielektrikums erfolgte unter dem Gesichtspunkt niedriger Betriebsspannungen.

Verschiedene Integrationsroutinen für organische TFTs wurden in *Bottom Gate Bottom Contact* Architektur unter Verwendung des Halbleitermaterials DNTT auf thermisch oxidierten Si-Substraten entwickelt und bezüglich ihrer reproduzierbaren Leistungsfähigkeit bewertet. In Voruntersuchungen zeigte sich, dass die kommerziell erhältlichen organisch-anorganischen Nanokomposite inoflex T3 (inkorporierte TiO<sub>2</sub>-Nanopartikel) und Z3 (inkorporierte ZrO<sub>2</sub>-Nanopartikel) eine hohe dielektrische Konstante  $k$  aufweisen, die mit zunehmender Frequenz sinkt. Da inoflex T3 eine höhere dielektrische Konstante ( $k = 9,2 @ 50 \text{ Hz}$ ) bei sonst gleichbleibenden physikalischen und chemischen Eigenschaften aufweist, wurde dieses als Dielektrikum für die weitere Dünnschichttransistorintegration ausgewählt. Das Produkt inoflex weist eine geringe chemische Resistenz gegenüber alkalischen Lösungen auf, sodass erstmals eine Routine zum Schutz des Dielektrikums inoflex T3 vor den fotolithographischen Entwicklungsprozessen entwickelt wurde. Eine Strukturierung der Source- und Drain-Kontakte durch einen *Lift Off* Prozess optimiert die Injektionsei-

genschaften sowie die elektrische Stabilität der TFTs. Der entwickelte Herstellungsprozess diente als Grundlage für weiterführenden Optimierungsprozesse.

Es erfolgte die Übertragung der Integrationsroutine auf den lösungsmittelbasierten Halbleitern C<sub>8</sub>-BTBT. Mittels *Drop Casting* Technik konnten streifenförmige C<sub>8</sub>-BTBT Einkristalle über den gesamten TFT-Bereich realisiert werden. Es zeigt sich eine Interaktion des Lösungsmittels 1, 2-Dichlorbenzol des gelösten Halbleiters mit dem Dielektrikum inoffex T3. Diese Wechselwirkung führte zu einer Anordnung von willkürlichen Dipolen innerhalb des Dielektrikums bzw. an dessen Oberfläche, welche die elektrischen Eigenschaften des TFTs limitierten. Die Funktionsfähigkeit der TFTs konnte durch eine temporäre, konstante elektrische Belastung stabilisiert werden. Diese Stabilisierung bleibt selbst nach einer erneuten Messung nach mehreren Stunden erhalten. Dieser Effekt wurde dem quasi-permanenten Ausrichten der willkürlichen angeordneten Dipole unter der elektrischen Belastung zugeordnet.

Der Transfer der Integrationsroutine auf transparente Borosilikatglas-Substrate erfolgte unter Verwendung eines konzipierten Maskenlayouts, welches die Integration sowie den direkten Vergleich von konventionellen und selbstjustierten TFTs ermöglicht. Das Maskenlayout wurde so konzipiert, dass eine sichere kapazitive Kopplung des Kanals mit dem Gate-Bereich (Überlapp zwischen Source-/ Drain- und Gate-Elektrode) bei einer konventionellen Integration gegeben ist. Die begrenzte Justiergenauigkeit bei der Integration führte zu unvermeidlichen asymmetrischen Überlappungsbereichen zwischen Source-/ Drain- und der Gate-Elektrode und damit zu einer Variation der elektrischen Charakteristiken des TFTs abhängig von der Beschaltungskonfiguration. Erstmals wurde ein Selbstjustierungsprozess für organische TFTs unter Verwendung eines NaOH-sensitiven organisch-anorganischen Nanokomposits entwickelt. Die Gate-Elektrode diente hierbei als Maskenebene, um eine Justierung der Source- und Drain-Elektroden zu dieser durch eine Belichtung durch die Rückseite des Substrats zu ermöglichen. Hierdurch wurde ein reduzierter, symmetrischer Überlappungsbereich geschaffen, der gleichbleibende elektrische Leistungsparameter des TFTs unabhängig von der Beschaltungskonfiguration gewährleistet.

Weiterführend wurde das Prinzip der Rückseitenbelichtung verwendet, um erstmals nur unter Verwendung der integrierten Elektroden (Source, Drain, Gate) eine Strukturierung des Dielektrikum zu ermöglichen. In Kombination mit der geringen Konformität des thermischen Aufdampfprozesses konnten so DTT-basierte TFTs mit einem reduzierten Drain-Strom im ausgeschalteten Zustand  $I_{off}$  und einer optimierten Strommodulation  $I_{on}/I_{off}$

um nahezu eine Dekade hergestellt werden.

Die Untersuchungen der in dieser Arbeit integrierten TFTs zeigten, dass die Injektionseigenschaften der Metall-Halbleiter-Grenzfläche ihre Leistungsfähigkeit limitieren. Das naschemische Aufbringen einer selbstorganisierenden Monoschicht aus 1-Octanthiol auf die strukturierten Au-Elektroden indizierte eine Anpassung der Austrittsarbeit des Metalls an das HOMO-Niveaus des Halbleiters DNTT. Die Injektionsspannung  $V_{inj}$  von DNTT-basierten TFTs, die benötigt wird, um eine Ladungsträgerinjektion in die Halbleiterschicht zu ermöglichen, wurde hierdurch maßgeblich reduziert.

Der Transfer der Integrationsroutine auf verschiedene PET-Folien konnte erfolgreich gezeigt werden. Durch die Verwendung einer PET-Folie mit geringer Oberflächenrauigkeit konnte verifiziert werden, dass sich durch die entwickelte Herstellungsroutine, unabhängig von der Wahl eines geeigneten starren oder flexiblen Substrats, TFTs mit vergleichbaren elektrischen Parametern realisieren lassen.

Ein Einfluss des Verhältnisses der Schichtdicke der Gate-Elektrode  $d_E$  zur Kanallänge  $L$  wurde ersichtlich. So zeigte sich eine Verbesserung der Leistungsfähigkeit der TFTs bei gleichbleibender Kanallänge mit reduzierter Gate-Elektrodenhöhe. Ferner konnte ein Zusammenhang zwischen dem Anstieg der Ladungsträgerbeweglichkeit  $\mu_{sat}$  im Sättigungsbereich der TFTs mit steigendem lateral zum Kanal auftretenden elektrischen Feld nachgewiesen werden. Die maximale Ladungsträgerbeweglichkeit im Sättigungsbereich  $\mu_{sat}$  der in dieser Arbeit integrierten TFTs mit inoflex T3 als Dielektrikum konnte auf  $1,7 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$  bei einer Drain-Source Spannung  $V_{DS}$  von  $-5 \text{ V}$  bestimmt werden.

Inverter in Einkanaltechnologie wurden realisiert und bezüglich ihrer statischen und dynamischen Eigenschaften charakterisiert. Eine Erhöhung der  $V/V$  Verstärkung der Inverter mit sinkender Betriebsspannung sowie mit zunehmender Widerstandsdifferenz zwischen dem aktivem und dem Lasttransistor wurde ersichtlich. Die geringe *Noise Margin* indizierte eine signifikante Störanfälligkeit der Schaltung gegenüber verrauschten Signalen. Ferner zeigten die dynamischen Eigenschaften der integrierten TFTs mit inoflex T3 als Dielektrikum, dass Applikationen im niedrigen Hz-Bereich möglich sind. Dieses Verhalten konnte auf Polarisierungseffekte im Dielektrikum zurückgeführt werden.

Komplementäre Inverter, bestehend aus einem DNTT-basierten TFT als *pull-up* sowie einem ZnO-basierten TFT als *pull-down* Element auf Foliensubstraten wurden realisiert. Die Inverter-Schaltung zeigte eine Schaltschwelle  $V_M$  nahe dem ideal Wert  $V_{DD}/2$  sowie eine signifikante Reduzierung der Störanfälligkeit verglichen mit der Einkanaltechnologie. Aufgrund der geringen Schaltgeschwindigkeit der zuvor integrierten TFTs wurde das per-

fluorierte Polymer SX AR-PC-5060 als Dielektrikum verwendet. Das Polymer weist eine geringe, nahezu frequenzunabhängige dielektrische Konstante  $k$  von 2,1 @ 50 Hz auf.

Erstmals wurden DNNT-basierte TFTs mit SX AR-PC-5060 in *Top Gate Bottom Contact* Architektur für Anwendungen im niedrigen Betriebsspannungsbereich integriert. Die Oberflächentopologie des Substrats beeinflusst die Depositionsqualität der dünnen polymeren Dielektrikumsschicht signifikant. Eine Optimierung der Dielektrikumsqualität konnte durch das planarisieren der Source- und Drain-Elektroden erreicht werden. Hierdurch wurde die Anzahl der Fallenzustände sowie das Leckstromsverhalten signifikant reduziert und die Strommodulation  $I_{on}/I_{off}$  um nahezu eine Dekade verbessert. Erneut erfolgte die dynamische Charakterisierung von hergestellten Inverter-Strukturen, wobei eine maßgebliche Verbesserung der Schaltfrequenz ersichtlich wurde.

Eine weitere Optimierung der Schaltgeschwindigkeit kann mit einer weiteren Verringerung der TFT-Kanallänge  $L$  erreicht werden. Voruntersuchungen zeigten eine Realisierung von Strukturgrößen  $< 1 \mu\text{m}$  mittels einer Kombination bestehend aus konventioneller Lithographie und einem Trockenätzprozess. Hierfür wurde die Strukturgröße einer entwickelten Lackschicht mittels eines  $\text{O}_2$ -Plasmas reduziert. Die so definiert Lackstruktur konnte erfolgreich in eine Al-Schicht übertragen werden. Ferner zeigten UV-Belichtungsexperimente an integrierten TFTs mit SX AR-PC-5060 als Dielektrikum, dass trotz intensiver UV-Bestrahlung die Transistorfunktion erhalten blieb. Diese Voruntersuchungen dienen als Grundlage für weiterführende Integrationsprozesse.

Abschließend lässt sich urteilen, dass die Applikation von TFTs mit inoflex T3 als Dielektrikum lediglich in Schaltelementen mit niedrigen Anforderungen an die Schaltgeschwindigkeit, wie beispielsweise Sensorarrays, möglich ist. Eine Anwendung im Bereich der Sensorik stellt aufgrund der reproduzierbaren Leistungsfähigkeit ein vielversprechendes Anwendungsfeld dar. Im Gegensatz dazu zeigen TFTs mit SX AR-PC-5060, trotz des frühen experimentellen Stadiums der Integrationsroutine, das Potential für eine Anwendung in der höherfrequenten digitalen Schaltungstechnik.

## 8.1 Ausblick

Für die Anwendung des Polymers SX AR-PC-5060 in die digitalen Schaltungstechnik ist eine signifikante Optimierung der bisherigen Integrationsroutine unabdingbar. Einen ersten Hinweis auf das Potential des Dielektrikums im Bereich der TFT-Technologie zeigt

eine Betrachtung des artverwandten Polymers CYTOP. Aus der Literatur ist bekannt, dass Ringoszillatoren auf Basis eines organischen Halbleitermaterials in *Top Gate Bottom Contact* Architektur mit CYTOP als Dielektrikum mit einer Betriebsfrequenz von 1 MHz bei einer Laufzeitverzögerung pro Stufe von 93 ns hergestellt werden konnten [OMF<sup>+</sup>18]. Im Zuge dieser Arbeit wurde ersichtlich, dass die Depositionsqualität von SX AR-PC-5060 auf rauen Oberflächen nicht ausreichend ist, um leistungsfähige organische TFTs herzustellen. Da in der *Top Gate Bottom Contact* Architektur die Deposition des Dielektrikums direkt auf dem zuvor aufgebrauchten Halbleiter stattfindet, ist eine Verwendung von homogenen Halbleiterschichten unabdingbar. Bei einer gerichteten Deposition einer Halbleiterlösung, bestehend aus C<sub>8</sub>-BTBT in 1, 2-Dichlorbenzol, zeigte sich, dass homogene Bereiche über die vollständige TFT-Struktur entstehen. Daher stellt die gemeinsame Verwendung der Materialsysteme SX AR-PC-5060 und C<sub>8</sub>-BTBT einen potentiellen Ansatz dar, um die Homogenität der Halbleiter-Dielektrikum-Grenzfläche zu optimieren. Aus der Literatur ist bekannt, dass in den letzten Jahren organischen, lösungsmittelbasierenden n-Kanal Halbleitermaterialien mit einer vielversprechenden Elektronenbeweglichkeit entwickelt wurden [SOS<sup>+</sup>09], [KLJ10], [DKI14], [KKL<sup>+</sup>16], [SGF20]. In Naphthalindiimid-Benzothiadiazol (NDI)-basierten TFTs konnte diese bereits auf 8,5 cm<sup>2</sup>V<sup>-1</sup>s<sup>-1</sup> bestimmt werden [ZYC<sup>+</sup>17]. Daher stellen diese Materialsysteme zusammen mit lösungsmittelbasierten p-Halbleitern wie C<sub>8</sub>-BTBT einen potentiellen Ansatz dar, um leistungsfähige komplementäre Schaltungselemente mit SX AR-PC-5060 als Dielektrikum herzustellen. Der Transfer der Optimierungsprozesse, die für das Material inoflex T3 entwickelt wurden, auf das Materialsystem SX AR-PC-5060 scheint ebenso möglich. Neben der Adaptierung des Selbstjustierungsprozesses unter Verwendung der Source- und Drain-Elektroden als Maskenebene bietet die Verwendung aller integrierten Elektroden als Maske für die Definition des Transistorbereichs mittels Rückseitenbelichtung Potential für die Übertragung auf zukünftige Materialsysteme. Dies ermöglicht die simultane, anisotrope Strukturierung sowohl des Dielektrikums als auch der Halbleiterschicht. Ferner wären die Leiterbahnbereiche durch die strukturierte Lackmaske vor den verwendeten Ätzprozessen geschützt. Voraussetzung für die Adaptierung dieser Prozesse ist allerdings eine ausreichende optische Transmission aller verwendeten Materialkomponenten im Wellenlängenbereich der für die Integration verwendeten Belichtungsanlage.

Ebenso steht eine Implementierung des Lackschrumpf-Prozesses in die bisherige Integrationsroutine aus, sodass organische TFTs mit einer Kanallänge  $L < 1 \mu\text{m}$  integriert werden können. Da speziell bei geringer werdenden Kanallängen die Kontakteffekte an der

Metall-Halbleiter-Grenzfläche die elektrischen Charakteristiken des TFTs dominieren, ist eine Anpassung der Austrittsarbeit der verwendeten Metall-Elektroden essentiell.

Neben der Schaltungstechnik stellt der Bereich der Sensortechnologie ein weiteres Anwendungsfeld für Dünnschichttransistoren dar. Aus der Literatur ist bekannt, dass organische TFTs bereits bezüglich ihrer Applizierung als Sensorelemente im Bereich der Messtechnik für die Luftfeuchtigkeit [GPK20], [LLT20], der Temperatur [CVL<sup>+</sup>14], [RSL<sup>+</sup>20], des Drucks [SSI<sup>+</sup>04], [JLYZ20], des pH-Werts [NSL11], [TJL<sup>+</sup>16], der Gasanalyse [KYN<sup>+</sup>20], [SXZ<sup>+</sup>20] sowie Anwendungen als biologische Sensoren [BMM<sup>+</sup>19] analysiert wurden. Aufgrund der reproduzierbaren Leistungsfähigkeit der in dieser Arbeit integrierten TFTs mit inoflex T3 als Dielektrikum, scheint eine Anwendung dieser als Sensor vielversprechend. So konnte bereits eine Applizierung von integrierten ZnO-basierten TFTs mit inoflex T3 als Dielektrikum als Sensorelement nachgewiesen werden [15]. Je nach Applikation ist eine Anpassung der aktiven halbleitenden Schicht für die Funktionsfähigkeit des Bauelements essentiell. Weiterführend könnten diese und ähnliche Sensorelemente eine Anwendung in der flexiblen, hybriden Elektronik finden. Neben der Si-basierten Mikrotechnologie, die als leistungsstarke Auswerteelektronik benötigt wird, bilden im Idealfall vornehmlich vollständig gedruckte Systeme wie Sensoren, Bildschirme [CLL<sup>+</sup>16], Batterien [KWL<sup>+</sup>15], [MM19] und Solarzellen [GMG19] die Grundlage des Systems. Die in dieser Arbeit verwendeten lösungsmittelbasierten Materialsysteme können schließlich zur Entwicklung dieser vollständig gedruckten Bauelementen beitragen.



## LITERATURVERZEICHNIS

- [AHL71] AMBEGAOKAR, V.; HALPERIN, B. I.; LANGER, J. S.: Hopping Conductivity in Disordered Systems. In: *Physical Review B* 4 (1971), no. 8, pp. 2612–2620. <http://dx.doi.org/10.1103/PhysRevB.4.2612>
- [AIM10] ATZORI, L.; IERA, A.; MORABITO, G.: The Internet of Things: A survey. In: *Computer Networks* 54 (2010), no. 15, pp. 2787–2805. <http://dx.doi.org/10.1016/j.comnet.2010.05.010>
- [AKMB13] AMERI, T.; KHORAM, P.; MIN, J.; BRABEC, C. J.: Organic ternary solar cells: a review. In: *Advanced Materials* 25 (2013), no. 31, pp. 4245–4266. <http://dx.doi.org/10.1002/adma.201300623>
- [All20] ALLRESIST GMBH: *SX AR-PC-5060 F-Protect (Cytop-Ersatz)*. 2020. <https://www.allresist.de/sx-ar-pc-5060-f-protect-cytop-ersatz/>
- [Asa] ASAHI GLASS CO., LTD.: *Technical Brochure: Amorphous Fluoropolymer CYTOP*. Tokio, Japan,
- [Bäs93] BÄSSLER, H.: Charge Transport in Disordered Organic Photoconductors a Monte Carlo Simulation Study. In: *physica status solidi (b)* 175 (1993), no. 1, pp. 15–56. <http://dx.doi.org/10.1002/pssb.2221750102>
- [BBJ+95] BRÖMS, P.; BIRGERSSON, J.; JOHANSSON, N.; LÖGDLUND, M.; SALANECK, W. R.: Calcium electrodes in polymer LEDs. In: *Synthetic Metals* 74 (1995), no. 2, pp. 179–181. [http://dx.doi.org/10.1016/0379-6779\(95\)03375-0](http://dx.doi.org/10.1016/0379-6779(95)03375-0)

- [BBS97] BRÖMS, P.; BIRGERSON, J.; SALANECK, W.R: Magnesium as electrode in polymer LEDs. In: *Synthetic Metals* 88 (1997), no. 3, pp. 255–258. [http://dx.doi.org/10.1016/S0379-6779\(97\)03864-2](http://dx.doi.org/10.1016/S0379-6779(97)03864-2)
- [BEH<sup>+</sup>03] BAUDE, P. F.; ENDER, D. A.; HAASE, M. A.; KELLEY, T. W.; MUYRES, D. V.; THEISS, S. D.: Pentacene-based radio-frequency identification circuitry. In: *Applied Physics Letters* 82 (2003), no. 22, pp. 3964–3966. <http://dx.doi.org/10.1063/1.1579554>
- [BHM<sup>+</sup>05] BOER, B. de; HADIPOUR, A.; MANDOC, M. M.; VAN WOUDEBERGH, T.; BLOM, P. W. M.: Tuning of Metal Work Functions with Self-Assembled Monolayers. In: *Advanced Materials* 17 (2005), no. 5, pp. 621–625. <http://dx.doi.org/10.1002/adma.200401216>
- [BHT97] BRINKMAN, W. F.; HAGGAN, D. E.; TROUTMAN, W. W.: A history of the invention of the transistor and where it will lead us. In: *IEEE Journal of Solid-State Circuits* 32 (1997), no. 12, pp. 1858–1865. <http://dx.doi.org/10.1109/4.643644>
- [BK08] BENOR, A.; KNIPP, D.: Contact effects in organic thin film transistors with printed electrodes. In: *Organic Electronics* 9 (2008), no. 2, pp. 209–219. <http://dx.doi.org/10.1016/j.orgel.2007.10.012>
- [BL07] BAO, Z. (ed.); LOCKLIN, J. (ed.): *Optical science and engineering*. vol. 128: *Organic field-effect transistors*. Boca Raton : CRC Press, 2007. – ISBN 9780849380808. <http://www.loc.gov/catdir/enhancements/fy0704/2006038167-d.html>
- [BMM<sup>+</sup>19] BOILEAU, N. T.; MELVILLE, O. A.; MIRKA, B.; CRANSTON, R.; LESSARD, B. H.: P and N type copper phthalocyanines as effective semiconductors in organic thin-film transistor based DNA biosensors at elevated temperatures. In: *RSC Advances* 9 (2019), no. 4, pp. 2133–2142. <http://dx.doi.org/10.1039/C8RA08829B>
- [BPSM89] BUSTA, H. H.; POGEMILLER, J. E.; STANDLEY, R. W.; MACKENZIE, K. D.: Self-aligned bottom-gate submicrometer-channel-length a-Si:H thin-film transistors. In: *IEEE Transactions on Electron Devices* 36 (1989), no. 12, pp. 2883–2888. <http://dx.doi.org/10.1109/16.40950>

- [Bra93] BRACK, M.: The physics of simple metal clusters: self-consistent jellium model and semiclassical approaches. In: *Reviews of Modern Physics* 65 (1993), no. 3, pp. 677–732. <http://dx.doi.org/10.1103/RevModPhys.65.677>
- [BRFS03] BÜRGI, L.; RICHARDS, T. J.; FRIEND, R. H.; SIRRINGHAUS, H.: Close look at charge carrier injection in polymer field-effect transistors. In: *Journal of Applied Physics* 94 (2003), no. 9, pp. 6129–6137. <http://dx.doi.org/10.1063/1.1613369>
- [Bru97] BRUCE, P. Y.: *Organic chemistry*. Englewood Cliffs : Prentice-Hall, 1997. – ISBN 0–13–014952–7
- [BSF02] BÜRGI, L.; SIRRINGHAUS, H.; FRIEND, R. H.: Noncontact potentiometry of polymer field-effect transistors. In: *Applied Physics Letters* 80 (2002), no. 16, pp. 2913–2915. <http://dx.doi.org/10.1063/1.1470702>
- [BSF09] BRAUN, S.; SALANECK, W. R.; FAHLMAN, M.: Energy-Level Alignment at Organic/Metal and Organic/Organic Interfaces. In: *Advanced Materials* 21 (2009), no. 14-15, pp. 1450–1472. <http://dx.doi.org/10.1002/adma.200802893>
- [BTS<sup>+</sup>12] BRONDIJK, J. J.; TORRICELLI, F.; SMITS, E.C.P.; BLOM, P.W.M.; LEEUW, D. M.: Gate-bias assisted charge injection in organic field-effect transistors. In: *Organic Electronics* 13 (2012), no. 9, pp. 1526–1531. <http://dx.doi.org/10.1016/j.orgel.2012.04.029>
- [BZL<sup>+</sup>20] BORCHERT, J. W.; ZSCHIESCHANG, U.; LETZKUS, F.; GIORGIO, M.; WEITZ, R. T.; CAIRONI, M.; BURGHARTZ, J. N.; LUDWIGS, S.; KLAUK, H.: Flexible low-voltage high-frequency organic thin-film transistors. In: *Science advances* 6 (2020), no. 21, pp. eaaz5156. <http://dx.doi.org/10.1126/sciadv.aaz5156>
- [CBLJ08] CHEON, J. H.; BAE, J. H.; LEE, W. G.; JANG, J.: Coplanar Poly-Si TFT on Flexible Metal Foil Using Spin-On Glass as Gate Insulator and Planarization. In: *Electrochemical and Solid-State Letters* 11 (2008), no. 4, pp. H77. <http://dx.doi.org/10.1149/1.2836740>
- [CCF84] CHEN, Y. C.; CUNNINGHAM, J. E.; FLYNN, C. P.: Dependence of rare-gas-adsorbate dipole moment on substrate work function. In: *Physical review. B*,

- Condensed matter* 30 (1984), no. 12, pp. 7317–7319. <http://dx.doi.org/10.1103/PhysRevB.30.7317>
- [CCN<sup>+</sup>10] CHENG, X.; CAIRONI, M.; NOH, Y.-Y.; WANG, J.; NEWMAN, C.; YAN, H.; FACCHETTI, A.; SIRRINGHAUS, H.: Air Stable Cross-Linked Cytop Ultrathin Gate Dielectric for High Yield Low-Voltage Top-Gate Organic Field-Effect Transistors. In: *Chemistry of Materials* 22 (2010), no. 4, pp. 1559–1566. <http://dx.doi.org/10.1021/cm902929b>
- [CCPL<sup>+</sup>08] CAI, Q. J.; CHAN-PARK, M. B.; LU, Z. S.; LI, C. M.; ONG, B. S.: Bottom-contact poly(3,3'-didodecylquaterthiophene) thin-film transistors with gold source-drain electrodes modified by alkanethiol monolayers. In: *Langmuir : the ACS journal of surfaces and colloids* 24 (2008), no. 20, pp. 11889–11894. <http://dx.doi.org/10.1021/la8009942>
- [CFH<sup>+</sup>97] CAMPBELL, I. H.; FERRARIS, J. P.; HAGLER, T. W.; JOSWICK, M. D.; PARKER, I. D.; SMITH, D. L.: Measuring internal electric fields in organic light-emitting diodes using electroabsorption spectroscopy. In: *Polymers for Advanced Technologies* 8 (1997), no. 7, pp. 417–423. [http://dx.doi.org/10.1002/\(SICI\)1099-1581\(199707\)8:7<T1>textless417::AID-PAT665\T1\textgreater3.0.CO;2-5](http://dx.doi.org/10.1002/(SICI)1099-1581(199707)8:7<T1>textless417::AID-PAT665\T1\textgreater3.0.CO;2-5)
- [CHH<sup>+</sup>12] CIUCHI, S.; HATCH, R. C.; HÖCHST, H.; FABER, C.; BLASE, X.; FRATINI, S.: Molecular fingerprints in the electronic properties of crystalline organic semiconductors: from experiment to theory. In: *Physical review letters* 108 (2012), no. 25, pp. 256401. <http://dx.doi.org/10.1103/PhysRevLett.108.256401>
- [CHSF04] CHUA, L.-L.; HO, P. K. H.; SIRRINGHAUS, H.; FRIEND, R. H.: High-stability ultrathin spin-on benzocyclobutene gate dielectric for polymer field-effect transistors. In: *Applied Physics Letters* 84 (2004), no. 17, pp. 3400–3402. <http://dx.doi.org/10.1063/1.1710716>
- [CKH08] CHOI, M.-C.; KIM, Y.; HA, C.-S.: Polymers for flexible displays: From material selection to device applications. In: *Progress in Polymer Science* 33 (2008), no. 6, pp. 581–630. <http://dx.doi.org/10.1016/j.progpolymsci.2007.11.004>

- [CKL<sup>+</sup>06] CHENG, I-C.; KATTAMIS, A. Z.; LONG, K.; STURM, J. C.; WAGNER, S.: Self-aligned amorphous-silicon TFTs on clear plastic substrates. In: *IEEE Electron Device Letters* 27 (2006), no. 3, pp. 166–168. <http://dx.doi.org/10.1109/LED.2006.870247>
- [CLH<sup>+</sup>08] CHO, J. H.; LEE, J.; HE, Y.; KIM, B. S.; LODGE, T. P.; FRISBIE, C. D.: High-Capacitance Ion Gel Gate Dielectrics with Faster Polarization Response Times for Organic Thin Film Transistors. In: *Advanced Materials* 20 (2008), no. 4, pp. 686–690. <http://dx.doi.org/10.1002/adma.200701069>
- [CLL<sup>+</sup>16] CAO, X.; LAU, C.; LIU, Y.; WU, F.; GUI, H.; LIU, Q.; MA, Y.; WAN, H.; AMER, M. R.; ZHOU, C.: Fully Screen-Printed, Large-Area, and Flexible Active-Matrix Electrochromic Displays Using Carbon Nanotube Thin-Film Transistors. In: *ACS nano* 10 (2016), no. 11, pp. 9816–9822. <http://dx.doi.org/10.1021/acsnano.6b05368>
- [CLM<sup>+</sup>20] CASULA, G.; LAI, S.; MATINO, L.; SANTORO, F.; BONFIGLIO, A.; COSSEDDU, P.: Printed, Low-Voltage, All-Organic Transistors and Complementary Circuits on Paper Substrate. In: *Advanced Electronic Materials* 6 (2020), no. 5, pp. 1901027. <http://dx.doi.org/10.1002/aelm.201901027>
- [CMTG98] CHOONG, V.-E.; MASON, M. G.; TANG, C. W.; GAO, Y.: Investigation of the interface formation between calcium and tris-(8-hydroxy quinoline) aluminum. In: *Applied Physics Letters* 72 (1998), no. 21, pp. 2689–2691. <http://dx.doi.org/10.1063/1.121100>
- [CTMB13] COSSEDDU, P.; TIDDIA, G.; MILITA, S.; BONFIGLIO, A.: Continuous tuning of the mechanical sensitivity of Pentacene OTFTs on flexible substrates: From strain sensors to deformable transistors. In: *Organic Electronics* 14 (2013), no. 1, pp. 206–211. <http://dx.doi.org/10.1016/j.orgel.2012.10.033>
- [CVL<sup>+</sup>14] COSSEDDU, P.; VIOLA, F.; LAI, S.; RAFFO, L.; BONFIGLIO, A.: A Temperature Transducer Based on a Low-Voltage Organic Thin-Film Transistor Detecting Pyroelectric Effect. In: *IEEE Electron Device Letters* 35 (2014), no. 12, pp. 1296–1298. <http://dx.doi.org/10.1109/LED.2014.2363045>
- [Deb29] DEBYE, P.: *Polare Molekeln*. Leipzig : S. Hirzel, 1929

- [DHG] DAS, R.; HE, X.; GHAFARZADEH, K.; IDTECHEX RESEARCH (ed.): *Flexible, Printed and Organic Electronics 2020-2030: Forecasts, Technologies, Markets: Market data and technology and application appraisal: providing the complete picture*. <https://www.idtechex.com/de/research-report/flexible-printed-and-organic-electronics-2020-2030-forecasts-technologies-markets/687>
- [Die07] DIEKMANN, T.: *Polymere Dielektrika für organische Feldeffekt-Transistoren mit Pentacen auf Foliensubstraten*. Paderborn, Universität Paderborn, Dissertation, 2007
- [DKI14] DEY, A.; KALITA, A.; IYER, P. K.: High-performance n-channel organic thin-film transistor based on naphthalene diimide. In: *ACS applied materials & interfaces* 6 (2014), no. 15, pp. 12295–12301. <http://dx.doi.org/10.1021/am503871k>
- [DM01] DIMITRAKOPOULOS, C. D.; MASCARO, D. J.: Organic thin-film transistors: A review of recent advances. In: *IBM Journal of Research and Development* 45 (2001), no. 1, pp. 11–27. <http://dx.doi.org/10.1147/rd.451.0011>
- [DM02] DIMITRAKOPOULOS, C. D.; MALENFANT, P.R.L.: Organic Thin Film Transistors for Large Area Electronics. In: *Advanced Materials* 14 (2002), no. 2, pp. 99–117. [http://dx.doi.org/10.1002/1521-4095\(20020116\)14:2<T1>textless99::AID-ADMA99<T1>textgreater3.0.CO;2-9](http://dx.doi.org/10.1002/1521-4095(20020116)14:2<T1>textless99::AID-ADMA99<T1>textgreater3.0.CO;2-9)
- [DPK<sup>+</sup>99] DIMITRAKOPOULOS, C. D.; PURUSHOTHAMAN, S.; KYMISSIS, J.; CALLEGARI, A.; SHAW, M.: Low-voltage organic transistors on plastic comprising high-dielectric constant gate insulators. In: *Science (New York, N.Y.)* 283 (1999), no. 5403, pp. 822–824. <http://dx.doi.org/10.1126/science.283.5403.822>
- [Dre01] DRESSELHAUS, M. S.: *Topics in Applied Physics*. vol. 80: *Carbon nanotubes: Synthesis, structure, properties, and applications*. [Elektronische Ressource]. Berlin : Springer, 2001. – ISBN 9783540410867. <http://dx.doi.org/10.1007/3-540-39947-X>

- [Dre07] DRECHSEL, J.: Herstellung funktionaler organischer Dünnschichten durch Vakuumverdampfung. In: *Vakuum in Forschung und Praxis* 19 (2007), no. 3, pp. 16–21. <http://dx.doi.org/10.1002/vipr.200700319>
- [Dro09] DROBNY, J. G.: *Technology of fluoropolymers*. 2. ed. Boca Raton, Fla. : CRC Press, 2009. – ISBN 9781420063172
- [DSBM14] DIAO, Y.; SHAW, L.; BAO, Z.; MANNSFELD, S. C. B.: Morphology control strategies for solution-processed organic semiconductor thin films. In: *Energy Environ. Sci.* 7 (2014), no. 7, pp. 2145–2159. <http://dx.doi.org/10.1039/C4EE00688G>
- [EIM+07] EBATA, H.; IZAWA, T.; MIYAZAKI, E.; TAKIMIYA, K.; IKEDA, M.; KUWABARA, H.; YUI, T.: Highly soluble [1]benzothieno[3,2-b]benzothiophene (BTBT) derivatives for high-performance, solution-processed organic field-effect transistors. In: *Journal of the American Chemical Society* 129 (2007), no. 51, pp. 15732–15733. <http://dx.doi.org/10.1021/ja074841i>
- [EKH+04] EDER, F.; KLAUK, H.; HALIK, M.; ZSCHIESCHANG, U.; SCHMID, G.; DEHM, C.: Organic electronics on paper. In: *Applied Physics Letters* 84 (2004), no. 14, pp. 2673–2675. <http://dx.doi.org/10.1063/1.1690870>
- [Elo02] ELOUNDOU, J. P.: Dipolar relaxations in an epoxy–amine system. In: *European Polymer Journal* 38 (2002), no. 3, pp. 431–438. [http://dx.doi.org/10.1016/S0014-3057\(01\)00200-2](http://dx.doi.org/10.1016/S0014-3057(01)00200-2)
- [Fac07] FACCHETTI, A.: Semiconductors for organic transistors. In: *Materials Today* 10 (2007), no. 3, pp. 28–37. [http://dx.doi.org/10.1016/S1369-7021\(07\)70017-2](http://dx.doi.org/10.1016/S1369-7021(07)70017-2)
- [FBM12] FORTUNATO, E.; BARQUINHA, P.; MARTINS, R.: Oxide semiconductor thin-film transistors: a review of recent advances. In: *Advanced Materials* 24 (2012), no. 22, pp. 2945–2986. <http://dx.doi.org/10.1002/adma.201103228>
- [FCC+07] FAHLMAN, M.; CRISPIN, A.; CRISPIN, X.; HENZE, S. K. M.; JONG, M. P.; OSIKOWICZ, W.; TENGSTEDT, C.; SALANECK, W. R.: Electronic structure of hybrid interfaces for polymer-based electronics. In: *Journal of physics*.

- Condensed matter : an Institute of Physics journal* 19 (2007), no. 18, 183202.  
<http://dx.doi.org/10.1088/0953-8984/19/18/183202>
- [FDN<sup>+</sup>01] FRANK, D. J.; DENNARD, R. H.; NOWAK, E.; SOLOMON, P. M.; TAUR, Y.; WONG, Hon-Sum P.: Device scaling limits of Si MOSFETs and their application dependencies. In: *Proceedings of the IEEE* 89 (2001), no. 3, pp. 259–288. <http://dx.doi.org/10.1109/5.915374>
- [FKF05] FRITZ, S. E.; KELLEY, T. W.; FRISBIE, C. D.: Effect of dielectric roughness on performance of pentacene TFTs and restoration of performance with a polymeric smoothing layer. In: *The journal of physical chemistry. B* 109 (2005), no. 21, pp. 10574–10577. <http://dx.doi.org/10.1021/jp044318f>
- [FLLC13] FAN, C.-L.; LIN, Y.-Z.; LIN, Y.-Y.; CHEN, S.-C.: High performance submicrometer pentacene-based organic thin-film transistor using planar bottom-contact structure. In: *Organic Electronics* 14 (2013), no. 12, pp. 3147–3151. <http://dx.doi.org/10.1016/j.orgel.2013.09.015>
- [FNS<sup>+</sup>08] FUMAGALLI, L.; NATALI, D.; SAMPIETRO, M.; PERON, E.; PERISSINOTTI, F.; TALLARIDA, G.; FERRARI, S.: Al<sub>2</sub>O<sub>3</sub> as gate dielectric for organic transistors: Charge transport phenomena in poly-(3-hexylthiophene) based devices. In: *Organic Electronics* 9 (2008), no. 2, pp. 198–208. <http://dx.doi.org/10.1016/j.orgel.2007.11.001>
- [Fow64] FOWKES, F. M.: Attractive Forces at Interfaces. In: *Industrial & Engineering Chemistry* 56 (1964), no. 12, pp. 40–52. <http://dx.doi.org/10.1021/ie50660a008>
- [FT07] FORREST, S. R.; THOMPSON, M. E.: Introduction: Organic Electronics and Optoelectronics. In: *Chemical Reviews* 107 (2007), no. 4, pp. 923–925. <http://dx.doi.org/10.1021/cr0501590>
- [FTM<sup>+</sup>14] FUKUDA, K.; TAKEDA, Y.; MIZUKAMI, M.; KUMAKI, D.; TOKITO, S.: Fully solution-processed flexible organic thin film transistor arrays with high mobility and exceptional uniformity. In: *Scientific reports* 4 (2014), pp. 3947. <http://dx.doi.org/10.1038/srep03947>
- [FTY<sup>+</sup>14] FUKUDA, K.; TAKEDA, Y.; YOSHIMURA, Y.; SHIWAKU, R.; TRAN, L. T.; SEKINE, T.; MIZUKAMI, M.; KUMAKI, D.; TOKITO, S.: Fully-printed high-



- performance organic thin-film transistors and circuitry on one-micron-thick polymer films. In: *Nature Communications* 5 (2014), pp. 4147. <http://dx.doi.org/10.1038/ncomms5147>
- [FWY<sup>+</sup>02] FENG, B.; WENG, J.; YANG, B.C; CHEN, J.Y; ZHAO, J.Z; HE, L.; QI, S.K; ZHANG, X.D: Surface characterization of titanium and adsorption of bovine serum albumin. In: *Materials Characterization* 49 (2002), no. 2, pp. 129–137. [http://dx.doi.org/10.1016/S1044-5803\(02\)00341-8](http://dx.doi.org/10.1016/S1044-5803(02)00341-8)
- [FYM05] FACCHETTI, A.; YOON, M.-H.; MARKS, T. J.: Gate Dielectrics for Organic Field-Effect Transistors: New Opportunities for Organic Electronics. In: *Advanced Materials* 17 (2005), no. 14, pp. 1705–1725. <http://dx.doi.org/10.1002/adma.200500517>
- [FZJ<sup>+</sup>13] FAN, C.; ZOOMBELT, A. P.; JIANG, H.; FU, W.; WU, J.; YUAN, W.; WANG, Y.; LI, H.; CHEN, H.; BAO, Z.: Solution-grown organic single-crystalline p-n junctions with ambipolar charge transport. In: *Advanced Materials* 25 (2013), no. 40, pp. 5762–5766. <http://dx.doi.org/10.1002/adma.201302605>
- [GB07] GI CHOI, C.; BAE, B.-S.: Effects of Hydroxyl Groups in Gate Dielectrics on the Hysteresis of Organic Thin Film Transistors. In: *Electrochemical and Solid-State Letters* 10 (2007), no. 11, pp. H347. <http://dx.doi.org/10.1149/1.2779946>
- [GHPF90] GARNIER, F.; HOROWITZ, G.; PENG, X.; FICHO, D.: An all-organic "soft" thin film transistor with very high carrier mobility. In: *Advanced Materials* 2 (1990), no. 12, pp. 592–594. <http://dx.doi.org/10.1002/adma.19900021207>
- [GKG09] GUPTA, D.; KATIYAR, M.; GUPTA, D.: An analysis of the difference in behavior of top and bottom contact organic thin film transistors using device simulation. In: *Organic Electronics* 10 (2009), no. 5, pp. 775–784. <http://dx.doi.org/10.1016/j.orgel.2009.03.012>
- [GMG19] GANESAN, S.; MEHTA, S.; GUPTA, D.: Fully printed organic solar cells – a review of techniques, challenges and their solutions. In: *Opto-Electronics Review* 27 (2019), no. 3, pp. 298–320. <http://dx.doi.org/10.1016/j.opelre.2019.09.002>

- [GOK<sup>+</sup>10] GSÄNGER, M.; OH, J. H.; KÖNEMANN, M.; HÖFFKEN, H. W.; KRAUSE, A.-M.; BAO, Z.; WÜRTHNER, F.: A Crystal-Engineered Hydrogen-Bonded Octachloroperylene Diimide with a Twisted Core: An n-Channel Organic Semiconductor. In: *Angewandte Chemie* 122 (2010), no. 4, pp. 752–755. <http://dx.doi.org/10.1002/ange.200904215>
- [GPK20] GAUTAM, A.; PAL, S.; KUMAR, B.: Performance Analysis of Single and Dual Gate OTFT Based Humidity Sensors. In: SONI, S. K. (ed.): *ICE3-2020*. [Piscataway, New Jersey] : [IEEE], 2020. – ISBN 978–1–7281–5846–4, pp. 620–624
- [GS06] GÖBEL, H.; SIEMUND, H.: *Einführung in die Halbleiter-Schaltungstechnik*. 2., bearb. und erw. Aufl. Berlin : Springer, 2006 (Springer-Lehrbuch). – ISBN 9783540340294. <http://dx.doi.org/10.1007/978-3-540-34030-0>
- [G XO<sup>+</sup>17] GUO, X.; XU, Y.; OGIER, S.; NG, T. N.; CAIRONI, M.; PERINOT, A.; LI, L.; ZHAO, J.; TANG, W.; SPOREA, R. A.; NEJIM, A.; CARRABINA, J.; CAIN, P.; YAN, F.: Current Status and Opportunities of Organic Thin-Film Transistor Technologies. In: *IEEE Transactions on Electron Devices* 64 (2017), no. 5, pp. 1906–1921. <http://dx.doi.org/10.1109/TED.2017.2677086>
- [GZN<sup>+</sup>06] GUNDLACH, D. J.; ZHOU, L.; NICHOLS, J. A.; JACKSON, T. N.; NECLIUDOV, P. V.; SHUR, M. S.: An experimental study of contact effects in organic thin film transistors. In: *Journal of Applied Physics* 100 (2006), no. 2, pp. 024509. <http://dx.doi.org/10.1063/1.2215132>
- [Hau93] HAUSER, J. R.: Noise margin criteria for digital logic circuits. In: *IEEE Transactions on Education* 36 (1993), no. 4, pp. 363–368. <http://dx.doi.org/10.1109/13.241612>
- [HFX<sup>+</sup>06] HULEA, I. N.; FRATINI, S.; XIE, H.; MULDER, C. L.; IOSSAD, N. N.; RASTELLI, G.; CIUCHI, S.; MORPURGO, A. F.: Tunable Fröhlich polarons in organic single-crystal transistors. In: *Nature materials* 5 (2006), no. 12, pp. 982–986. <http://dx.doi.org/10.1038/nmat1774>
- [HGv<sup>+</sup>02] HUITEMA, H.E.A.; GELINCK, G. H.; VAN DER PUTTEN, J.B.P.H.; KUIJK, K. E.; HART, C. M.; CANTATORE, E.; LEEUW, D. M.: Active-Matrix

- Displays Driven by Solution-Processed Polymeric Transistors. In: *Advanced Materials* 14 (2002), no. 17, pp. 1201–1204. [http://dx.doi.org/10.1002/1521-4095\(20020903\)14:17<T1>textless1201::AID-ADMA1201<T1>textgreater3.0.CO;2-5](http://dx.doi.org/10.1002/1521-4095(20020903)14:17<T1>textless1201::AID-ADMA1201<T1>textgreater3.0.CO;2-5)
- [HHB<sup>+</sup>98] HOROWITZ, G.; HAJLAOUI, R.; BOUCHRIHA, H.; BOURGUIGA, R.; HAJLAOUI, M.: The Concept of “Threshold Voltage” in Organic Field-Effect Transistors. In: *Advanced Materials* 10 (1998), no. 12, pp. 923–927. [http://dx.doi.org/10.1002/\(SICI\)1521-4095\(199808\)10:12<T1>textless923::AID-ADMA923<T1>textgreater3.0.CO;2-W](http://dx.doi.org/10.1002/(SICI)1521-4095(199808)10:12<T1>textless923::AID-ADMA923<T1>textgreater3.0.CO;2-W)
- [HHD95] HOROWITZ, G.; HAJLAOUI, R.; DELANNOY, P.: Temperature Dependence of the Field-Effect Mobility of Sexithiophene. Determination of the Density of Traps. In: *Journal de Physique III* 5 (1995), no. 4, pp. 355–371. <http://dx.doi.org/10.1051/jp3:1995132>
- [Hil05] HILL, I. G.: Numerical simulations of contact resistance in organic thin-film transistors. In: *Applied Physics Letters* 87 (2005), no. 16, pp. 163505. <http://dx.doi.org/10.1063/1.2112189>
- [Hil14] HILLERINGMANN, U.: *Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik*. 6., korr. und verb. Aufl. Wiesbaden : Springer Vieweg, 2014. – ISBN 9783834813350. <http://dx.doi.org/10.1007/978-3-8348-2085-3>
- [HJK<sup>+</sup>18] HO, D.; JEON, M.; KIM, H.; GIDRON, O.; KIM, C.; SEO S.Y.: Solution-processable dithieno[3,2-b:2',3'-d]thiophene derivatives for organic thin-film transistors and complementary-like inverters. In: *Organic Electronics* 52 (2018), pp. 356–363. <http://dx.doi.org/10.1016/j.orgel.2017.11.023>
- [HK06] HÄDENER, A.; KAUFMANN, H.: *Grundlagen der organischen Chemie*. 11., überarb. und erw. Aufl. Basel : Birkhäuser, 2006. – ISBN 9783764370404. <http://dx.doi.org/10.1007/978-3-7643-7420-4>
- [HKL<sup>+</sup>07] HWANG, J.; KIM, E.-G.; LIU, J.; BRÉDAS, J.-L.; DUGGAL, A.; KAHN, A.: Photoelectron Spectroscopic Study of the Electronic Band Structure of Polyfluorene and Fluorene-Arylamine Copolymers at Interfaces. In: *The Journal*

- of Physical Chemistry C* 111 (2007), no. 3, pp. 1378–1384. <http://dx.doi.org/10.1021/jp067004w>
- [HMN<sup>+</sup>04] HYODO, T.; MORITA, F.; NAKA, S.; OKADA, H.; ONNAGAWA, H.: Self-Aligned Organic Field-Effect Transistors Using Back-Surface Exposure Method. In: *Japanese Journal of Applied Physics* 43 (2004), no. 4B, pp. 2323–2325. <http://dx.doi.org/10.1143/JJAP.43.2323>
- [HMT<sup>+</sup>17] HAYASAKA, K.; MATSUI, H.; TAKEDA, Y. SHIWAKU, R.; TANAKA, Y.; SHIBATA, T.; KUMAKI, D.; TOKITO, S.: Compact Organic Complementary D-Type Flip-Flop Circuits Fabricated with Inkjet Printing. In: *Advanced Electronic Materials* 3 (2017), no. 9, pp. 1700208. <http://dx.doi.org/10.1002/aelm.201700208>
- [Hor98] HOROWITZ, G.: Organic Field-Effect Transistors. In: *Advanced Materials* 10 (1998), no. 5, pp. 365–377. [http://dx.doi.org/10.1002/\(SICI\)1521-4095\(199803\)10:5<T1>textless365::AID-ADMA365<T1>textgreater3.0.CO;2-U](http://dx.doi.org/10.1002/(SICI)1521-4095(199803)10:5<T1>textless365::AID-ADMA365<T1>textgreater3.0.CO;2-U)
- [Hor04] HOROWITZ, G.: Organic thin film transistors: From theory to real devices. In: *Journal of Materials Research* 19 (2004), no. 7, pp. 1946–1962. <http://dx.doi.org/10.1557/JMR.2004.0266>
- [HRG<sup>+</sup>07] HAMADANI, B. H.; RICHTER, C. A.; GUNDLACH, D. J.; KLINE, R. J.; MCCULLOCH, I.; HEENEY, M.: Influence of source-drain electric field on mobility and charge transport in organic field-effect transistors. In: *Journal of Applied Physics* 102 (2007), no. 4, pp. 044503. <http://dx.doi.org/10.1063/1.2769782>
- [HWK09] HWANG, J.; WAN, A.; KAHN, A.: Energetics of metal–organic interfaces: New experiments and assessment of the field. In: *Materials Science and Engineering: R: Reports* 64 (2009), no. 1-2, pp. 1–31. <http://dx.doi.org/10.1016/j.mser.2008.12.001>
- [HYC<sup>+</sup>08] HONG, D.; YERUBANDI, G.; CHIANG, H. Q.; SPIEGELBERG, M. C.; WAGER, J. F.: Electrical Modeling of Thin-Film Transistors. In: *Critical Reviews in Solid State and Materials Sciences* 33 (2008), no. 2, pp. 101–132. <http://dx.doi.org/10.1080/10408430701384808>

- [IEE] 1620-2008 IEEE Standard for Test Methods for the Characterization of Organic Transistors and Materials - Redline. s.l. : IEEE / Institute of Electrical and Electronics Engineers Incorporated. – ISBN 9780738169514. <http://ieeexplore.ieee.org/servlet/opac?punumber=5982061>
- [IMT08] IZAWA, T.; MIYAZAKI, E.; TAKIMIYA, K.: Molecular Ordering of High-Performance Soluble Molecular Semiconductors and Re-evaluation of Their Field-Effect Transistor Characteristics. In: *Advanced Materials* 20 (2008), no. 18, pp. 3388–3392. <http://dx.doi.org/10.1002/adma.200800799>
- [ISIS99] ISHII, H.; SUGIYAMA, K.; ITO, E.; SEKI, K.: Energy Level Alignment and Interfacial Electronic Structures at Organic/Metal and Organic/Organic Interfaces. In: *Advanced Materials* 11 (1999), no. 8, pp. 605–625. [http://dx.doi.org/10.1002/\(SICI\)1521-4095\(199906\)11:8<T1>textless605::AID-ADMA605<T1>textgreater3.0.CO;2-Q](http://dx.doi.org/10.1002/(SICI)1521-4095(199906)11:8<T1>textless605::AID-ADMA605<T1>textgreater3.0.CO;2-Q)
- [ITM07] IVERS-TIFFÉE, E.; MÜNCH, W. von: *Werkstoffe der Elektrotechnik: Mit 40 Tabellen*. 10., überarb. und erw. Aufl. Wiesbaden : Teubner, 2007 (Lehrbuch Elektrotechnik). – ISBN 9783835100527. <http://dx.doi.org/10.1007/978-3-8351-9088-7>
- [JAB<sup>+</sup>13] JACOB, S.; ABDINIA, S.; BENWADIH, M.; BABLET, J.; CHARTIER, I.; GWOZIECKI, R.; CANTATORE, E.; VAN ROERMUND, A.H.M.; MADDIONA, L.; TRAMONTANA, F.; MAIELLARO, G.; MARIUCCI, L.; RAPISARDA, M.; PALMISANO, G.; COPPARD, R.: High performance printed N and P-type OTFTs enabling digital and analog complementary circuits on flexible plastic substrate. In: *Solid-State Electronics* 84 (2013), pp. 167–178. <http://dx.doi.org/10.1016/j.sse.2013.02.022>
- [JBP04] JURCHESCU, O. D.; BAAS, J.; PALSTRA, T. T. M.: Effect of impurities on the mobility of single crystal pentacene. In: *Applied Physics Letters* 84 (2004), no. 16, pp. 3061–3063. <http://dx.doi.org/10.1063/1.1704874>
- [JKPK08] JANG, J.; KIM, J. W.; PARK, N.; KIM, J.-J.: Air stable C<sub>60</sub> based n-type organic field effect transistor using a perfluoropolymer insulator. In: *Organic Electronics* 9 (2008), no. 4, 481–486. <http://dx.doi.org/10.1016/j.orgel.2008.02.011>

- [JKS<sup>+</sup>10] JUNG, K.-D.; KIM, Y. C.; SHIN, H.; PARK, B.-G.; LEE, J. D.; CHO, E. S.; KWON, S. J.: A study on the carrier injection mechanism of the bottom-contact pentacene thin film transistor. In: *Applied Physics Letters* 96 (2010), no. 10, pp. 103305. <http://dx.doi.org/10.1063/1.3339877>
- [JLW13] JIANG, W.; LI, Y.; WANG, Z.: Heteroarenes as high performance organic semiconductors. In: *Chemical Society reviews* 42 (2013), no. 14, pp. 6113–6127. <http://dx.doi.org/10.1039/c3cs60108k>
- [JLYZ20] JIANG, Y.; LIU, Z.; YIN, Z.; ZHENG, Q.: Sandwich structured dielectrics for air-stable and flexible low-voltage organic transistors in ultrasensitive pressure sensing. In: *Materials Chemistry Frontiers* 4 (2020), no. 5, pp. 1459–1470. <http://dx.doi.org/10.1039/D0QM00062K>
- [JYL<sup>+</sup>04] JIN, S. H.; YU, J.; LEE, C.; KIM, J.; PARK, B.-G.; LEE, J.: Pentacene OTFTs with PVA Gate Insulators on a Flexible Substrate. In: *J. Korean Phy. Soc. (Journal of the Korean Physical Society)* 44 (2004)
- [Kag03] KAGAN, C. R. (ed.): *Thin-film transistors*. New York : Dekker, 2003. – ISBN 0824709594. <http://www.loc.gov/catdir/enhancements/fy0647/2003043759-d.html>
- [Kah16] KAHN, A.: Fermi level, work function and vacuum level. In: *Materials Horizons* 3 (2016), no. 1, pp. 7–10. <http://dx.doi.org/10.1039/C5MH00160A>
- [Kai17] KAISER, C.; MEYERS, T. (ed.): *Produkt SX AR-PC-5060: E-Mail*. 28.09.2017
- [Kai18] KAISER, C.; MEYERS, T. (ed.): *Cytop Ersatz: E-Mail*. 27.08.2018
- [KAS00] KARRER, U.; AMBACHER, O.; STUTZMANN, M.: Influence of crystal polarity on the properties of Pt/GaN Schottky diodes. In: *Applied Physics Letters* 77 (2000), no. 13, pp. 2012–2014. <http://dx.doi.org/10.1063/1.1313275>
- [Kaw02] KAWAMOTO, H.: The history of liquid-crystal displays. In: *Proceedings of the IEEE* 90 (2002), no. 4, pp. 460–500. <http://dx.doi.org/10.1109/JPROC.2002.1002521>
- [KB10] KALB, W. L.; BATLOGG, B.: Calculating the trap density of states in organic field-effect transistors from experiment: A comparison of different me-

- thods. In: *Physical Review B* 81 (2010), no. 3. <http://dx.doi.org/10.1103/PhysRevB.81.035327>
- [KCH<sup>+</sup>00] KANE, M. G.; CAMPI, J.; HAMMOND, M. S.; CUOMO, F. P.; GREENING, B.; SHERAW, C. D.; NICHOLS, J. A.; GUNDLACH, D. J.; HUANG, J. R.; KUO, C. C.; JIA, L.; KLAUK, H.; JACKSON, T. N.: Analog and digital circuits using organic thin-film transistors on polyester substrates. In: *IEEE Electron Device Letters* 21 (2000), no. 11, pp. 534–536. <http://dx.doi.org/10.1109/55.877202>
- [KCK<sup>+</sup>08] KIM, S. H.; CHEON, J. H.; KIM, E. B.; BAE, J. H.; HUR, J. H.; JANG, J.: High-performance hydrogenated amorphous silicon TFT on flexible metal foil with polyimide planarization. In: *Journal of Non-Crystalline Solids* 354 (2008), no. 19-25, pp. 2529–2533. <http://dx.doi.org/10.1016/j.jnoncrysol.2007.09.034>
- [KDP02] KYMISSIS, I.; DIMITRAKOPOULOS, C. D.; PURUSHOTHAMAN, S.: Patterning pentacene organic thin film transistors. In: *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures* 20 (2002), no. 3, pp. 956. <http://dx.doi.org/10.1116/1.1477427>
- [Kee15] KEESOM, W. H.: The second virial coefficient for rigid spherical molecules, whose mutual attraction is equivalent to that of a quadruplet placed at their centre. In: *Proc. R. Acad. Sci* 18 (1915), no. 1, pp. 636–646
- [KHZ<sup>+</sup>02] KLAUK, H.; HALIK, M.; ZSCHIESCHANG, U.; SCHMID, G.; RADLIK, W.; WEBER, W.: High-mobility polymer gate dielectric pentacene thin film transistors. In: *Journal of Applied Physics* 92 (2002), no. 9, pp. 5259–5263. <http://dx.doi.org/10.1063/1.1511826>
- [KHZ<sup>+</sup>03] KLAUK, H.; HALIK, M.; ZSCHIESCHANG, U.; EDER, F.; SCHMID, G.; DEHM, C.: Pentacene organic transistors and ring oscillators on glass and on flexible polymeric substrates. In: *Applied Physics Letters* 82 (2003), no. 23, pp. 4175–4177. <http://dx.doi.org/10.1063/1.1579870>
- [Kim19] KIM, C.-H.: Theoretical frequency limit of organic field-effect transistors. In: *Flexible and Printed Electronics* 4 (2019), no. 4, pp. 044005. <http://dx.doi.org/10.1088/2058-8585/ab59cc>

- [Kit05] KITTEL, C.: *Introduction to solid state physics*. 8. ed. Hoboken, NJ : Wiley, 2005. – ISBN 047141526X
- [KK64] KLASSENS, H. A.; KOELMANS, H.: A tin oxide field-effect transistor. In: *Solid-State Electronics* 7 (1964), no. 9, pp. 701–702. [http://dx.doi.org/10.1016/0038-1101\(64\)90057-7](http://dx.doi.org/10.1016/0038-1101(64)90057-7)
- [KKG03] KAHN, A.; KOCH, N.; GAO, W.: Electronic structure and electrical properties of interfaces between metals and films  $\pi$ -conjugated molecular films. In: *Journal of Polymer Science Part B: Polymer Physics* 41 (2003), no. 21, pp. 2529–2548. <http://dx.doi.org/10.1002/polb.10642>
- [KKGJ06] KEMERINK, M.; KRAMER, J. M.; GOMMANS, H. H. P.; JANSSEN, R. A. J.: Temperature-dependent built-in potential in organic semiconductor devices. In: *Applied Physics Letters* 88 (2006), no. 19, pp. 192108. <http://dx.doi.org/10.1063/1.2205007>
- [KKH<sup>+</sup>13] KOBAYASHI, H.; KOBAYASHI, N.; HOSOI, S.; KOSHITANI, N.; MURAKAMI, D.; SHIRASAWA, R.; KUDO, Y.; HOBARA, D.; TOKITA, Y.; ITABASHI, M.: Hopping and band mobilities of pentacene, rubrene, and 2,7-dioctyl[1]benzothieno[3,2-b]benzothiophene (C8-BTBT) from first principle calculations. In: *The Journal of chemical physics* 139 (2013), no. 1, pp. 014707. <http://dx.doi.org/10.1063/1.4812389>
- [KKL<sup>+</sup>16] KANG, B.; KIM, R.; LEE, S. B.; KWON, S.-K.; KIM, Y.-H.; CHO, K.: Side-Chain-Induced Rigid Backbone Organization of Polymer Semiconductors through Semifluoroalkyl Side Chains. In: *Journal of the American Chemical Society* 138 (2016), no. 11, pp. 3679–3686. <http://dx.doi.org/10.1021/jacs.5b10445>
- [KKN<sup>+</sup>13] KUMAR, B.; KAUSHIK, B. K.; NEGI, Y. S.; SAXENA, S.; VARMA, G. D.: Analytical modeling and parameter extraction of top and bottom contact structures of organic thin film transistors. In: *Microelectronics Journal* 44 (2013), no. 9, pp. 736–743. <http://dx.doi.org/10.1016/j.mejo.2013.06.004>
- [KKRJ11] KANG, D. H.; KANG, I.; RYU, S. H.; JANG, J.: Self-Aligned Coplanar a-IGZO TFTs and Application to High-Speed Circuits. In: *IEEE Electron*



- Device Letters* 32 (2011), no. 10, pp. 1385–1387. <http://dx.doi.org/10.1109/LED.2011.2161568>
- [Kla10] KLAUK, H.: Organic thin-film transistors. In: *Chemical Society reviews* 39 (2010), no. 7, pp. 2643–2666. <http://dx.doi.org/10.1039/b909902f>
- [Kla18] KLAUK, H.: Will We See Gigahertz Organic Transistors? In: *Advanced Electronic Materials* 4 (2018), no. 10, pp. 1700474. <http://dx.doi.org/10.1002/aelm.201700474>
- [KLD15] KHAN, S.; LORENZELLI, L.; DAHIYA, R. S.: Technologies for Printing Sensors and Electronics Over Large Flexible Substrates: A Review. In: *IEEE Sensors Journal* 15 (2015), no. 6, pp. 3164–3185. <http://dx.doi.org/10.1109/JSEN.2014.2375203>
- [KLJ10] KIM, S. H.; LEE, S. H.; JANG, J.: High-Performance n-Channel Organic Thin-Film Transistor for CMOS Circuits Using Electron-Donating Self-Assembled Layer. In: *IEEE Electron Device Letters* 31 (2010), no. 9, pp. 1044–1046. <http://dx.doi.org/10.1109/LED.2010.2052092>
- [KM11] KOJIMA, H.; MORI, T.: Dihedral Angle Dependence of Transfer Integrals in Organic Semiconductors with Herringbone Structures. In: *Bulletin of the Chemical Society of Japan* 84 (2011), no. 10, pp. 1049–1056. <http://dx.doi.org/10.1246/bcsj.20110176>
- [KMH<sup>+</sup>07] KALB, W. L.; MATHIS, T.; HAAS, S.; STASSEN, A. F.; BATLOGG, B.: Organic small molecule field-effect transistors with Cytop<sup>TM</sup> gate dielectric: Eliminating gate bias stress effects. In: *Applied Physics Letters* 90 (2007), no. 9, pp. 092104. <http://dx.doi.org/10.1063/1.2709894>
- [KN99] KWOK, D. Y.; NEUMANN, A. W.: Contact angle measurement and contact angle interpretation. In: *Advances in Colloid and Interface Science* 81 (1999), no. 3, pp. 167–249. [http://dx.doi.org/10.1016/S0001-8686\(98\)00087-6](http://dx.doi.org/10.1016/S0001-8686(98)00087-6)
- [KNF<sup>+</sup>03] KIGUCHI, M.; NAKAYAMA, M.; FUJIWARA, K.; UENO, K.; SHIMADA, T.; SAIKI, K.: Accumulation and Depletion Layer Thicknesses in Organic Field Effect Transistors. In: *Japanese Journal of Applied Physics* 42 (2003), no.

- Part 2, No. 12A, pp. L1408–L1410. <http://dx.doi.org/10.1143/JJAP.42.L1408>
- [KOKF07] KAWASAKI, N.; OHTA, Y.; KUBOZONO, Y.; FUJIWARA, A.: Hole-injection barrier in pentacene field-effect transistor with Au electrodes modified by C16H33SH. In: *Applied Physics Letters* 91 (2007), no. 12, pp. 123518. <http://dx.doi.org/10.1063/1.2789699>
- [Kru10] KRUEGER, A.: *Carbon materials and nanotechnology*. Weinheim : Wiley-VCH-Verl., 2010. – ISBN 9783527318032. <http://dx.doi.org/10.1002/9783527629602>
- [KSVH03] KNIPP, D.; STREET, R. A.; VÖLKELE, A.; HO, J.: Pentacene thin film transistors on inorganic dielectrics: Morphology, structural properties, and electronic transport. In: *Journal of Applied Physics* 93 (2003), no. 1, pp. 347–355. <http://dx.doi.org/10.1063/1.1525068>
- [KTA87] KOEZUKA, H.; TSUMURA, A.; ANDO, T.: Field-effect transistor with polythiophene thin film. In: *Synthetic Metals* 18 (1987), no. 1-3, pp. 699–704. [http://dx.doi.org/10.1016/0379-6779\(87\)90964-7](http://dx.doi.org/10.1016/0379-6779(87)90964-7)
- [KTK<sup>+</sup>82] KODAMA, T.; TAKAGI, N.; KAWAI, S.; NASU, Y.; YANAGISAWA, S.; ASAMA, K.: A self-alignment process for amorphous silicon thin film transistors. In: *IEEE Electron Device Letters* 3 (1982), no. 7, pp. 187–189. <http://dx.doi.org/10.1109/EDL.1982.25532>
- [Kuo13] KUO, Y.: Thin Film Transistor Technology - Past, Present, and Future. In: *The Electrochemical Society Interface* 22 (2013), no. 1, pp. 55–61
- [KWL<sup>+</sup>15] KIM, B.; WINSLOW, R.; LIN, I.; GURURANGAN, K.; EVANS, J.; WRIGHT, P.: Layer-by-layer fully printed Zn-MnO<sub>2</sub> batteries with improved internal resistance and cycle life. In: *Journal of Physics: Conference Series* 660 (2015), pp. 012009. <http://dx.doi.org/10.1088/1742-6596/660/1/012009>
- [KYN<sup>+</sup>20] KWON, H.; YOO, H.; NAKANO, M.; TAKIMIYA, K.; KIM, J.-J.; KIM, J. K.: Gate-tunable gas sensing behaviors in air-stable ambipolar organic thin-film transistors. In: *RSC Advances* 10 (2020), no. 4, pp. 1910–1916. <http://dx.doi.org/10.1039/C9RA09195E>

- [Lan81] LANG, N. D.: Interaction between Closed-Shell Systems and Metal Surfaces. In: *Physical Review Letters* 46 (1981), no. 13, pp. 842–845. <http://dx.doi.org/10.1103/PhysRevLett.46.842>
- [LC17] LI, S.; CHU, D.: A review of thin-film transistors/circuits fabrication with 3D self-aligned imprint lithography. In: *Flexible and Printed Electronics* 2 (2017), no. 1, pp. 013002. <http://dx.doi.org/10.1088/2058-8585/aa5c6d>
- [LEK<sup>+</sup>05] LOVE, J. C.; ESTROFF, L. A.; KRIEBEL, J. K.; NUZZO, R. G.; WHITESIDES, G. M.: Self-assembled monolayers of thiolates on metals as a form of nanotechnology. In: *Chemical Reviews* 105 (2005), no. 4, pp. 1103–1169. <http://dx.doi.org/10.1021/cr0300789>
- [LHP<sup>+</sup>17] LIU, C.; HUANG, K.; PARK, W.-T.; LI, M.; YANG, T.; LIU, X.; LIANG, L.; MINARI, T.; NOH, Y.-Y.: A unified understanding of charge transport in organic semiconductors: the importance of attenuated delocalization for the carriers. In: *Materials Horizons* 4 (2017), no. 4, pp. 608–618. <http://dx.doi.org/10.1039/C7MH00091J>
- [LKI04] LEE, J.; KIM, J. H.; IM, S.: Effects of substrate temperature on the device properties of pentacene-based thin film transistors using Al<sub>2</sub>O<sub>3+x</sub> gate dielectric. In: *Journal of Applied Physics* 95 (2004), no. 7, pp. 3733–3736. <http://dx.doi.org/10.1063/1.1650886>
- [LKK<sup>+</sup>07] LIM, S. C.; KIM, S. H.; KOO, J. B.; LEE, J. H.; KU, C. H.; YANG, Y. S.; ZYUNG, T.: Hysteresis of pentacene thin-film transistors and inverters with cross-linked poly(4-vinylphenol) gate dielectrics. In: *Applied Physics Letters* 90 (2007), no. 17, pp. 173512. <http://dx.doi.org/10.1063/1.2733626>
- [LKK08] LATSCHA, H. P.; KAZMAIER, U.; KLEIN, H. A.: *Organische Chemie: Chemie-Basiswissen II ; mit 66 Tab.* 6., vollst. überarb. Aufl. Berlin : Springer Berlin, 2008 (Springer-Lehrbuch). – ISBN 9783540771067. <http://dx.doi.org/10.1007/978-3-540-77107-4>
- [LKK<sup>+</sup>16] LÜSSEM, B.; KEUM, C.-M.; KASEMANN, D.; NAAB, B.; BAO, Z.; LEO, K.: Doped Organic Transistors. In: *Chemical Reviews* 116 (2016), no. 22, pp. 13714–13751. <http://dx.doi.org/10.1021/acs.chemrev.6b00329>

- [LKS<sup>+</sup>06] LEE, S.; KOO, B.; SHIN, J.; LEE, E.; PARK, H.; KIM, H.: Effects of hydroxyl groups in polymeric dielectrics on organic transistor performance. In: *Applied Physics Letters* 88 (2006), no. 16, pp. 162109. <http://dx.doi.org/10.1063/1.2196475>
- [LLGL18] LU, N.; LI, L.; GENG, D.; LIU, M.: A review for polaron dependent charge transport in organic semiconductor. In: *Organic Electronics* 61 (2018), pp. 223–234. <http://dx.doi.org/10.1016/j.orgel.2018.05.053>
- [LLK<sup>+</sup>12] LI, Y.; LIU, C.; KUMATANI, A.; DARMAWAN, P.; MINARI, T.; TSUKAGOSHI, K.: Large plate-like organic crystals from direct spin-coating for solution-processed field-effect transistor arrays with high uniformity. In: *Organic Electronics* 13 (2012), no. 2, pp. 264–272. <http://dx.doi.org/10.1016/j.orgel.2011.11.012>
- [LLR93] LIVI, A.; LEVITA, G.; ROLLA, P. A.: Dielectric behavior at microwave frequencies of an epoxy resin during crosslinking. In: *Journal of Applied Polymer Science* 50 (1993), no. 9, pp. 1583–1590. <http://dx.doi.org/10.1002/app.1993.070500912>
- [LLT20] LI, B.; LAI, P. T.; TANG, W. M.: Temperature Dependence of Sensing Characteristics for OTFT-Based Hydrogen Sensor. In: *IEEE Transactions on Electron Devices* 67 (2020), no. 4, pp. 1776–1780. <http://dx.doi.org/10.1109/TED.2020.2973288>
- [LLX<sup>+</sup>12] LI, Y.; LIU, C.; XU, Y.; MINARI, T.; DARMAWAN, P.; TSUKAGOSHI, K.: Solution-processed organic crystals for field-effect transistor arrays with smooth semiconductor/dielectric interface on paper substrates. In: *Organic Electronics* 13 (2012), no. 5, pp. 815–819. <http://dx.doi.org/10.1016/j.orgel.2012.01.021>
- [LMLZ11] LI, J.; MENG, Q.; LI, W.; ZHANG, Z.: Influence of crystalline properties on the dielectric and energy storage properties of poly(vinylidene fluoride). In: *Journal of Applied Polymer Science* 122 (2011), no. 3, pp. 1659–1668. <http://dx.doi.org/10.1002/app.34020>

- [LMNT71] LECHNER, B. J.; MARLOWE, F. J.; NESTER, E. O.; TULTS, J.: Liquid crystal matrix displays. In: *Proceedings of the IEEE* 59 (1971), no. 11, pp. 1566–1579. <http://dx.doi.org/10.1109/PROC.1971.8489>
- [Lon37] LONDON, F.: The General Theory of Molecular Forces. In: *Transactions of the Faraday Society* 33 (1937), pp. 8–26
- [LPJT14] LAI, H.-C.; PEI, Z.; JIAN, J.-R.; TZENG, B.-J.: Alumina nanoparticle/polymer nanocomposite dielectric for flexible amorphous indium-gallium-zinc oxide thin film transistors on plastic substrate with superior stability. In: *Applied Physics Letters* 105 (2014), no. 3, pp. 033510. <http://dx.doi.org/10.1063/1.4891426>
- [LS70] LE COMBER, P. G.; SPEAR, W. E.: Electronic Transport in Amorphous Silicon Films. In: *Physical Review Letters* 25 (1970), no. 8, pp. 509–511. <http://dx.doi.org/10.1103/PhysRevLett.25.509>
- [LXN15] LIU, C.; XU, Y.; NOH, Y.-Y.: Contact engineering in organic field-effect transistors. In: *Materials Today* 18 (2015), no. 2, pp. 79–96. <http://dx.doi.org/10.1016/j.mattod.2014.08.037>
- [LXZ15] LI, S.; XU, L. D.; ZHAO, S.: The internet of things: a survey. In: *Information Systems Frontiers* 17 (2015), no. 2, pp. 243–259. <http://dx.doi.org/10.1007/s10796-014-9492-7>
- [MA12] METZGER, R. M.; ALLARA, D. L.: *Topics in current chemistry*. vol. 312: *Unimolecular and supramolecular electronics: Chemistry and physics meet at metal-molecule interfaces*. Heidelberg : Springer, 2012. – ISBN 9783642272837. <http://dx.doi.org/10.1007/978-3-642-27284-4>
- [MCM16] MAJI, P.; CHOUDHARY, R. B.; MAJHI, M.: Structural, optical and dielectric properties of ZrO<sub>2</sub> reinforced polymeric nanocomposite films of polymethylmethacrylate (PMMA). In: *Optik* 127 (2016), no. 11, pp. 4848–4853. <http://dx.doi.org/10.1016/j.ijleo.2016.02.025>
- [MCZ<sup>+</sup>16] MAITI, T. K.; CHEN, L.; ZENITANI, H.; MIYAMOTO, H.; MIURAMATTAUSCH, M.; MATTAUSCH, H. J.: Physically Based Compact Mobility Model for Organic Thin-Film Transistor. In: *IEEE Transactions on Electron*

- Devices* 63 (2016), no. 5, pp. 2057–2065. <http://dx.doi.org/10.1109/TED.2016.2540653>
- [MDHZ11] MENG, Q.; DONG, H.; HU, W.; ZHU, D.: Recent progress of high performance organic thin film field-effect transistors. In: *Journal of Materials Chemistry* 21 (2011), no. 32, pp. 11708. <http://dx.doi.org/10.1039/c1jm10243e>
- [MH12] MACHADO, W. S.; HUMMELGEN, I. A.: Low-Voltage Poly(3-Hexylthiophene)/Poly(Vinyl Alcohol) Field-Effect Transistor and Inverter. In: *IEEE Transactions on Electron Devices* 59 (2012), no. 5, pp. 1529–1533. <http://dx.doi.org/10.1109/TED.2012.2187904>
- [MHI+06] MIZUKAMI, M.; HIROHATA, N.; ISEKI, T.; OHTAWARA, K.; TADA, T.; YAGYU, S.; ABE, T.; SUZUKI, T.; FUJISAKI, Y.; INOUE, Y.; TOKITO, S.; KURITA, T.: Flexible AM OLED panel driven by bottom-contact OTFTs. In: *IEEE Electron Device Letters* 27 (2006), no. 4, pp. 249–251. <http://dx.doi.org/10.1109/LED.2006.870413>
- [MITa] MITSUBISHI POLYESTER FILM GMBH: *Technisches Datenblatt: Hostaphan DOKO*. E-Mail:Dr.KlausPetersen
- [MITb] MITSUBISHI POLYESTER FILM GMBH: *Technisches Datenblatt: Hostaphan GN*. <https://www.m-petfilm.de/wp-content/uploads/GN.pdf>
- [MITc] MITSUBISHI POLYESTER FILM GMBH: *Technisches Datenblatt: Hostaphan RNK*. <https://www.m-petfilm.de/wp-content/uploads/RNK.pdf>
- [MLM+07] MACDONALD, W. A.; LOONEY, M. K.; MACKERRON, D.; EVESON, R.; ADAM, R.; HASHIMOTO, K.; RAKOS, K.: Latest advances in substrates for flexible electronics. In: *Journal of the Society for Information Display* 15 (2007), no. 12, pp. 1075. <http://dx.doi.org/10.1889/1.2825093>
- [MM19] MA, T.; MACKENZIE, J. D.: Fully printed, high energy density flexible zinc-air batteries based on solid polymer electrolytes and a hierarchical catalyst current collector. In: *Flexible and Printed Electronics* 4 (2019), no. 1, pp. 015010. <http://dx.doi.org/10.1088/2058-8585/ab0b91>

- [MMT<sup>+</sup>07] MINARI, T.; MIYADERA, T.; TSUKAGOSHI, K.; AOYAGI, Y.; ITO, H.: Charge injection process in organic field-effect transistors. In: *Applied Physics Letters* 91 (2007), no. 5, pp. 053508. <http://dx.doi.org/10.1063/1.2759987>
- [MNI06] MINARI, T.; NEMOTO, T.; ISODA, S.: Temperature and electric-field dependence of the mobility of a single-grain pentacene field-effect transistor. In: *Journal of Applied Physics* 99 (2006), no. 3, pp. 034506. <http://dx.doi.org/10.1063/1.2169872>
- [Mot68] MOTT, N. F.: Conduction in non-crystalline systems. In: *Philosophical Magazine* 17 (1968), no. 150, pp. 1259–1268. <http://dx.doi.org/10.1080/14786436808223200>
- [Mot87] MOTT, N.: The mobility edge since 1967. In: *Journal of Physics C: Solid State Physics* 20 (1987), no. 21, pp. 3075–3102. <http://dx.doi.org/10.1088/0022-3719/20/21/008>
- [MTB<sup>+</sup>02] MEIJER, E. J.; TANASE, C.; BLOM, P. W. M.; VAN VEENENDAAL, E.; HUISMAN, B.-H.; LEEUW, D. M.; KLAPWIJK, T. M.: Switch-on voltage in disordered organic field-effect transistors. In: *Applied Physics Letters* 80 (2002), no. 20, pp. 3838–3840. <http://dx.doi.org/10.1063/1.1479210>
- [MTH<sup>+</sup>01] MASON, M. G.; TANG, C. W.; HUNG, L.-S.; RAYCHAUDHURI, P.; MADATHIL, J.; GIESEN, D. J.; YAN, L.; LE, Q. T.; GAO, Y.; LEE, S.-T.; LIAO, L. S.; CHENG, L. F.; SALANECK, W. R.; DOS SANTOS, D. A.; BRÉDAS, J. L.: Interfacial chemistry of Alq<sub>3</sub> and LiF with reactive metals. In: *Journal of Applied Physics* 89 (2001), no. 5, pp. 2756–2765. <http://dx.doi.org/10.1063/1.1324681>
- [MTR11] MAS-TORRENT, M.; ROVIRA, C.: Role of molecular order and solid-state structure in organic field-effect transistors. In: *Chemical reviews* 111 (2011), no. 8, pp. 4833–4856. <http://dx.doi.org/10.1021/cr100142w>
- [NEX20] <https://www.nextflex.us/about/about-fhe/>
- [NFS07] NATALI, D.; FUMAGALLI, L.; SAMPIETRO, M.: Modeling of organic thin film transistors: Effect of contact resistances. In: *Journal of Applied Physics* 101 (2007), no. 1, pp. 014501. <http://dx.doi.org/10.1063/1.2402349>

- [NGJ03] NICHOLS, J. A.; GUNDLACH, D. J.; JACKSON, T. N.: Potential imaging of pentacene organic thin-film transistors. In: *Applied Physics Letters* 83 (2003), no. 12, pp. 2366–2368. <http://dx.doi.org/10.1063/1.1611278>
- [Nob20] NOBEL MEDIA AB 2020 (ed.): *The Nobel Prize in Chemistry 2020*. 31.07.2020. <https://www.nobelprize.org/prizes/chemistry/2000/summary/>
- [NSGJ00] NECLIUDOV, P. V.; SHUR, M. S.; GUNDLACH, D. J.; JACKSON, T. N.: Modeling of organic thin film transistors of different designs. In: *Journal of Applied Physics* 88 (2000), no. 11, pp. 6594–6597. <http://dx.doi.org/10.1063/1.1323534>
- [NSL11] NGUYEN, T.N.T.; SEOL, Y. G.; LEE, N.-E.: Organic field-effect transistor with extended indium tin oxide gate structure for selective pH sensing. In: *Organic Electronics* 12 (2011), no. 11, pp. 1815–1821. <http://dx.doi.org/10.1016/j.orgel.2011.07.009>
- [NYN18] NKETIA-YAWSON, B.; NOH, Y.-Y.: Recent Progress on High-Capacitance Polymer Gate Dielectrics for Flexible Low-Voltage Transistors. In: *Advanced Functional Materials* 28 (2018), no. 42, pp. 1802201. <http://dx.doi.org/10.1002/adfm.201802201>
- [NYSL06] NOH, Y. H.; YOUNG PARK, S.; SEO, S.-M.; LEE, H. H.: Root cause of hysteresis in organic thin film transistor with polymer dielectric. In: *Organic Electronics* 7 (2006), no. 5, pp. 271–275. <http://dx.doi.org/10.1016/j.orgel.2006.03.006>
- [OJB<sup>+</sup>06] OSIKOWICZ, W.; JONG, M. P.; BRAUN, S.; TENGSTEDT, C.; FAHLMAN, M.; SALANECK, W. R.: Energetics at Au top and bottom contacts on conjugated polymers. In: *Applied Physics Letters* 88 (2006), no. 19, pp. 193504. <http://dx.doi.org/10.1063/1.2201627>
- [OMF<sup>+</sup>18] OGIER, S. D.; MATSUI, H.; FENG, L.; SIMMS, M.; MASHAYEKHI, M.; CARRABINA, J.; TERÉS, L.; TOKITO, S.: Uniform, high performance, solution processed organic thin-film transistors integrated in 1 MHz frequency ring oscillators. In: *Organic Electronics* 54 (2018), pp. 40–47. <http://dx.doi.org/10.1016/j.orgel.2017.12.005>



- [ON94] OLEFJORD, I.; NYLUND, A.: Surface analysis of oxidized aluminium. 2. Oxidation of aluminium in dry and humid atmosphere studied by ESCA, SEM, SAM and EDX. In: *Surface and Interface Analysis* 21 (1994), no. 5, pp. 290–297. <http://dx.doi.org/10.1002/sia.740210505>
- [OW69] OWENS, D. K.; WENDT, R. C.: Estimation of the surface free energy of polymers. In: *Journal of Applied Polymer Science* 13 (1969), no. 8, pp. 1741–1747. <http://dx.doi.org/10.1002/app.1969.070130815>
- [Pan06] PANNEMANN, C.: *Prozesstechnik für organische Feldeffekt-Transistoren: Kontakte, Dielektrika und Oberflächenpassivierungen*. Paderborn, Universität Paderborn, Dissertation, 2006
- [PCNF04] PESAVENTO, P. V.; CHESTERFIELD, R. J.; NEWMAN, Ch. R.; FRISBIE, C. D.: Gated four-probe measurements on pentacene thin-film transistors: Contact resistance as a function of gate voltage and temperature. In: *Journal of Applied Physics* 96 (2004), no. 12, pp. 7312–7324. <http://dx.doi.org/10.1063/1.1806533>
- [PDH04] PANNEMANN, C.; DIEKMANN, T.; HILLERINGMANN, U.: Degradation of organic field-effect transistors made of pentacene. In: *Journal of Materials Research* 19 (2004), no. 7, pp. 1999–2002. <http://dx.doi.org/10.1557/JMR.2004.0267>
- [Pet20] PETERSEN, K.; MEYERS, T. (ed.): *Oberflächenrauigkeit RNK: E-Mail*. 20.01.2020
- [PLZ<sup>+</sup>17] PANG, Y.; LI, J.; ZHOU, T.; YANG, Z.; LUO, J.; ZHANG, L.; DONG, G.; ZHANG, C.; WANG, Z. L.: Flexible transparent tribotronic transistor for active modulation of conventional electronics. In: *Nano Energy* 31 (2017), pp. 533–540. <http://dx.doi.org/10.1016/j.nanoen.2016.11.042>
- [PPP96] POIRIER, P.; PYLANT, E. D.: The Self-Assembly Mechanism of Alkanethiols on Au(111). In: *Science (New York, N.Y.)* 272 (1996), no. 5265, pp. 1145–1148. <http://dx.doi.org/10.1126/science.272.5265.1145>
- [PRL<sup>+</sup>01] PY, C.; ROTH, D.; LÉVESQUE, I.; STAPLEDON, J.; DONAT-BOUILLUD, A.: An integrated shadow-mask based on a stack of inorganic insulators for high-

- resolution OLEDs using evaporated or spun-on materials. In: *Synthetic Metals* 122 (2001), no. 1, pp. 225–227. [http://dx.doi.org/10.1016/S0379-6779\(00\)01344-8](http://dx.doi.org/10.1016/S0379-6779(00)01344-8)
- [PS99] POPE, M.; SWENBERG, C. E.: *Monographs on the physics and chemistry of materials*. vol. 56: *Electronic processes in organic crystals and polymers*. 2. ed. New York : Oxford Univ. Press, 1999. – ISBN 9780195129632. <http://www.loc.gov/catdir/enhancements/fy0605/98034710-d.html>
- [Rab71] RABEL, W.: Einige Aspekte der Benetzungstheorie und ihre Anwendung auf die Untersuchung und Veränderung der Oberflächeneigenschaften von Polymeren. In: *Farbe und Lack* 77 (1971), pp. 997–1005
- [Rab96] RABAEY, J. M.: *Digital integrated circuits: A design perspective*. Upper Saddle River, NJ : Prentice Hall, 1996 (Prentice Hall electronics and VLSI series). – ISBN 0131786091
- [RNE<sup>+</sup>13] REDDY, A. S. G.; NARAKATHU, B. B.; ESHKEITI, A.; BAZUIN, B. J.; JOYCE, M.; ATASHBAR, M. Z.: Fully printed organic thin film transistors (OTFT) based flexible humidity sensors. In: *2013 IEEE sensors*. Piscataway, NJ : IEEE, 2013. – ISBN 978-1-4673-4642-9, pp. 1–4
- [Röd15] RÖDEL, R.: *Contact resistance effects in organic n-channel thin-film transistors*. Lausanne, École Polytechnique Fédérale de Lausanne, Dissertation, 2015
- [RRVR15] RAIHAN, R.; RABBI, F.; VADLAMUDI, V.; REIFSNIDER, K.: Composite Materials Damage Modeling Based on Dielectric Properties. In: *Materials Sciences and Applications* 06 (2015), no. 11, 1033–1053. <http://dx.doi.org/10.4236/msa.2015.611103>
- [RSL<sup>+</sup>20] RULLYANI, C.; SINGH, M.; LI, S.-H.; SUNG, C.-F.; LIN, H.-C.; CHU, C.-W.: Stimuli-responsive polymer as gate dielectric for organic transistor sensors. In: *Organic Electronics* 85 (2020), pp. 105818. <http://dx.doi.org/10.1016/j.orgel.2020.105818>
- [SAa] SIGMA-ALDRICH: *Sicherheitsdatenblatt gemäß Verordnung (EG) Nr. 1907/2006: 2,7-Dioctyl[1]benzothieno[3,2-b][1]benzothiophene (C8-BTBT)*.

- <https://www.sigmaaldrich.com/catalog/product/aldrich/747092?lang=de&region=DE>
- [SAb] SIGMA-ALDRICH: *Sicherheitsdatenblatt gemäß Verordnung (EG) Nr. 1907/2006: Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene (DNFTT)*. <https://www.sigmaaldrich.com/catalog/product/aldrich/767638?lang=de&region=DE>
- [Sal91] SALANECK, W. R.: Photoelectron spectroscopy of polyconjugated polymer surfaces and interfaces. In: *Reports on Progress in Physics* 54 (1991), no. 9, pp. 1215–1249. <http://dx.doi.org/10.1088/0034-4885/54/9/002>
- [SCH] SCHOTT TECHNICAL GLASS SOLUTION GMBH: *Optical Properties: BO-ROFLOAT 33*. Jena,
- [Sch00] SCHREIBER, F.: Structure and growth of self-assembling monolayers. In: *Progress in Surface Science* 65 (2000), no. 5-8, pp. 151–257. [http://dx.doi.org/10.1016/S0079-6816\(00\)00024-1](http://dx.doi.org/10.1016/S0079-6816(00)00024-1)
- [Sch01] SCHWARTZ, D. K.: Mechanisms and kinetics of self-assembled monolayer formation. In: *Annual review of physical chemistry* 52 (2001), pp. 107–137. <http://dx.doi.org/10.1146/annurev.physchem.52.1.107>
- [Ser12] [https://de.wikipedia.org/wiki/Server#/media/Datei:Wikimedia\\_Foundation\\_Servers-8055\\_35.jpg](https://de.wikipedia.org/wiki/Server#/media/Datei:Wikimedia_Foundation_Servers-8055_35.jpg)
- [SF01] SESHADRI, K.; FRISBIE, C. D.: Potentiometry of an operating organic semiconductor field-effect transistor. In: *Applied Physics Letters* 78 (2001), no. 7, pp. 993–995. <http://dx.doi.org/10.1063/1.1345805>
- [SGF20] SUN, H.; GUO, X.; FACCHETTI, A.: High-Performance n-Type Polymer Semiconductors: Applications, Recent Development, and Challenges. In: *Chem* 6 (2020), no. 6, pp. 1310–1326. <http://dx.doi.org/10.1016/j.chempr.2020.05.012>
- [SGM<sup>+</sup>10] SIMONETTI, O.; GIRAUDET, L.; MAUREL, T.; NICOLAS, J.-L.; BELKHIR, A.: Organic transistor model with nonlinear injection: Effects of uneven source contact on apparent mobility and threshold voltage. In: *Organic Electronics*

- 11 (2010), no. 8, pp. 1381–1393. <http://dx.doi.org/10.1016/j.orgel.2010.06.001>
- [Sir05] SIRRINGHAUS, H.: Device Physics of Solution-Processed Organic Field-Effect Transistors. In: *Advanced Materials* 17 (2005), no. 20, pp. 2411–2425. <http://dx.doi.org/10.1002/adma.200501152>
- [Sir09] SIRRINGHAUS, H.: Reliability of Organic Field-Effect Transistors. In: *Advanced Materials* 21 (2009), no. 38-39, pp. 3859–3873. <http://dx.doi.org/10.1002/adma.200901136>
- [Sir14] SIRRINGHAUS, H.: 25th anniversary article: organic field-effect transistors: the path beyond amorphous silicon. In: *Advanced materials (Deerfield Beach, Fla.)* 26 (2014), no. 9, pp. 1319–1335. <http://dx.doi.org/10.1002/adma.201304346>
- [SK17] SIDHU, G. K.; KUMAR, R.: Role of anionic and cationic surfactants on the structural and dielectric properties of ZrO<sub>2</sub> nanoparticles. In: *Applied Surface Science* 392 (2017), pp. 598–607. <http://dx.doi.org/10.1016/j.apsusc.2016.09.084>
- [SLF<sup>+</sup>01] SALANECK, W. R.; LÖGDLUND, M.; FAHLMAN, M.; GRECZYNSKI, G.; KUGLER, Th.: The electronic structure of polymer–metal interfaces studied by ultraviolet photoelectron spectroscopy. In: *Materials Science and Engineering: R: Reports* 34 (2001), no. 3, pp. 121–146. [http://dx.doi.org/10.1016/S0927-796X\(01\)00036-5](http://dx.doi.org/10.1016/S0927-796X(01)00036-5)
- [SLJ<sup>+</sup>95] SLATER, D. B.; LIPKIN, L. A.; JOHNSON, G. M.; SUVOROV, A. V.; PALMOUR, J. W.: High temperature enhancement-mode NMOS and PMOS devices and circuits in 6H-SiC. In: MISHRA, Umesh (ed.): *Digest / 1995 53rd Annual Device Research Conference, [June 19 - 21, 1995, University of Virginia, Charlottesville, Virginia]*. Piscataway, NJ : IEEE Service Center, 1995. – ISBN 0-7803-2788-8, pp. 100–101
- [SLM<sup>+</sup>77] SHIRAKAWA, H.; LOUIS, E. J.; MACDIARMID, A. G.; CHIANG, C. K.; HEEGER, A. J.: Synthesis of electrically conducting organic polymers: halogen derivatives of polyacetylene, (CH)<sub>x</sub>. In: *Journal of the Chemical Society*,

- Chemical Communications* (1977), no. 16, pp. 578. <http://dx.doi.org/10.1039/c39770000578>
- [SMH10] SHIM, C.-H.; MARUOKA, F.; HATTORI, R.: Structural Analysis on Organic Thin-Film Transistor With Device Simulation. In: *IEEE Transactions on Electron Devices* 57 (2010), no. 1, pp. 195–200. <http://dx.doi.org/10.1109/TED.2009.2035540>
- [SN07] SZE, S. M.; NG, Kwok K.: *Physics of semiconductor devices*. Third edition. Hoboken, NJ : Wiley-Interscience, 2007. – ISBN 9780471143239. <http://dx.doi.org/10.1002/0470068329>
- [SOM<sup>+</sup>11] SHINAMURA, S.; OSAKA, I.; MIYAZAKI, E.; NAKAO, A.; YAMAGISHI, M.; TAKEYA, J.; TAKIMIYA, K.: Linear- and angular-shaped naphthodithiophenes: selective synthesis, properties, and application to organic field-effect transistors. In: *Journal of the American Chemical Society* 133 (2011), no. 13, pp. 5024–5035. <http://dx.doi.org/10.1021/ja110973m>
- [SOS<sup>+</sup>09] SCHMIDT, R.; OH, J. H.; SUN, Y.-S.; DEPPISCH, M.; KRAUSE, A.-M.; RADACKI, K.; BRAUNSCHWEIG, H.; KÖNEMANN, M.; ERK, P.; BAO, Z.; WÜRTHNER, F.: High-performance air-stable n-channel organic thin film transistors based on halogenated perylene bisimide semiconductors. In: *Journal of the American Chemical Society* 131 (2009), no. 17, pp. 6215–6228. <http://dx.doi.org/10.1021/ja901077a>
- [SPBF03] SHTEIN, M.; PEUMANS, P.; BENZIGER, J. B.; FORREST, S. R.: Micropatterning of small molecular weight organic semiconductor thin films using organic vapor phase deposition. In: *Journal of Applied Physics* 93 (2003), no. 7, pp. 4005–4016. <http://dx.doi.org/10.1063/1.1557783>
- [SPBP07] SCHEINERT, S.; PERNSTICH, K. P.; BATLOGG, B.; PAASCH, G.: Determination of trap distributions from current characteristics of pentacene field-effect transistors with surface modified gate oxide. In: *Journal of Applied Physics* 102 (2007), no. 10, 104503. <http://dx.doi.org/10.1063/1.2803742>
- [SS02] STREET, R. A.; SALLES, A.: Contact effects in polymer transistors. In: *Applied Physics Letters* 81 (2002), no. 15, pp. 2887–2889. <http://dx.doi.org/10.1063/1.1512950>

- [SSI<sup>+</sup>04] SOMEYA, T.; SEKITANI, T.; IBA, S.; KATO, Y.; KAWAGUCHI, H.; SAKURAI, T.: A large-area, flexible pressure sensor matrix with organic field-effect transistors for artificial skin applications. In: *Proceedings of the National Academy of Sciences of the United States of America* 101 (2004), no. 27, pp. 9966–9970. <http://dx.doi.org/10.1073/pnas.0401918101>
- [ST08] SINGHA, S.; THOMAS, M.: Dielectric properties of epoxy nanocomposites. In: *IEEE Transactions on Dielectrics and Electrical Insulation* 15 (2008), no. 1, pp. 12–23. <http://dx.doi.org/10.1109/T-DEI.2008.4446732>
- [Sta11] STALLINGA, P.: Electronic transport in organic materials: comparison of band theory with percolation/(variable range) hopping theory. In: *Advanced Materials* 23 (2011), no. 30, pp. 3356–3362. <http://dx.doi.org/10.1002/adma.201101129>
- [STM09] SUN, Y.; THOMAS, M.; MASOUNAVE, J.: An experimental investigation of the dielectric properties of electrorheological fluids. In: *Smart Materials and Structures* 18 (2009), no. 2, pp. 024004. <http://dx.doi.org/10.1088/0964-1726/18/2/024004>
- [STMT20] SINGH, S.; TAKEDA, Y.; MATSUI, H.; TOKITO, S.: Flexible PMOS Inverter and NOR Gate Using Inkjet-Printed Dual-Gate Organic Thin Film Transistors. In: *IEEE Electron Device Letters* 41 (2020), no. 3, pp. 409–412. <http://dx.doi.org/10.1109/LED.2020.2969275>
- [SVJ<sup>+</sup>04] STEUDEL, S.; VUSSER, S. de; JONGE, S. de; JANSSEN, D.; VERLAAK, S.; GENOE, J.; HEREMANS, P.: Influence of the dielectric roughness on the performance of pentacene transistors. In: *Applied Physics Letters* 85 (2004), no. 19, pp. 4400. <http://dx.doi.org/10.1063/1.1815042>
- [SXZ<sup>+</sup>20] SUN, Y.; XIE, Q.; ZHU, Y.; WANG, L.; SUN, Q.; WANG, L.: High recovery NO<sub>2</sub> sensors of  $\alpha$ -6T organic thin film transistors based on interface inducing growth. In: *Applied Surface Science* 505 (2020), pp. 144436. <http://dx.doi.org/10.1016/j.apsusc.2019.144436>
- [SYY<sup>+</sup>06] SHIN, K.; YANG, C.; YANG, S. Y.; JEON, H.; PARK, C. E.: Effects of polymer gate dielectrics roughness on pentacene field-effect transistors. In: *Applied*

- Physics Letters* 88 (2006), no. 7, pp. 072109. <http://dx.doi.org/10.1063/1.2176858>
- [SZH<sup>+</sup>02] SHERAW, C. D.; ZHOU, L.; HUANG, J. R.; GUNDLACH, D. J.; JACKSON, T. N.; KANE, M. G.; HILL, I. G.; HAMMOND, M. S.; CAMPI, J.; GREENING, B. K.; FRANCL, J.; WEST, J.: Organic thin-film transistor-driven polymer-dispersed liquid crystal displays on flexible polymeric substrates. In: *Applied Physics Letters* 80 (2002), no. 6, pp. 1088–1090. <http://dx.doi.org/10.1063/1.1448659>
- [TES<sup>+</sup>06] TAKIMIYA, K.; EBATA, H.; SAKAMOTO, K.; IZAWA, T.; OTSUBO, T.; KUNUGI, Y.: 2,7-Diphenyl[1]benzothieno[3,2-b]benzothiophene, a new organic semiconductor for air-stable organic field-effect transistors with mobilities up to  $2.0 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ . In: *Journal of the American Chemical Society* 128 (2006), no. 39, pp. 12604–12605. <http://dx.doi.org/10.1021/ja0640521>
- [TGCKV14] TORRICELLI, F.; GHITTORELLI, M.; COLALONGO, L.; KOVACS-VAJNA, Z.-M.: Single-transistor method for the extraction of the contact and channel resistances in organic field-effect transistors. In: *Applied Physics Letters* 104 (2014), no. 9, pp. 093303. <http://dx.doi.org/10.1063/1.4868042>
- [TJL<sup>+</sup>16] TANG, W.; JIANG, C.; LI, Q.; HU, W.; FENG, L.; HUANG, Y.; ZHAO, J.; CHEN, S.; GUO, X.: Low-Voltage pH Sensor Tag Based on All Solution Processed Organic Field-Effect Transistor. In: *IEEE Electron Device Letters* 37 (2016), no. 8, pp. 1002–1005. <http://dx.doi.org/10.1109/LED.2016.2580565>
- [TKA86] TSUMURA, A.; KOEZUKA, H.; ANDO, T.: Macromolecular electronic device: Field-effect transistor with a polythiophene thin film. In: *Applied Physics Letters* 49 (1986), no. 18, pp. 1210–1212. <http://dx.doi.org/10.1063/1.97417>
- [TMIS<sup>+</sup>16] TIXIER-MITA, A.; IHIDA, S.; SÉGARD, B.-D.; CATHCART, G. A.; TAKAHASHI, T.; FUJITA, H.; TOSHIYOSHI, H.: Review on thin-film transistor technology, its applications, and possible new applications to biological cells. In: *Japanese Journal of Applied Physics* 55 (2016), no. 4S, pp. 04EA08. <http://dx.doi.org/10.7567/JJAP.55.04EA08>

- [TRP<sup>+</sup>05] TAL, O.; ROSENWAKS, Y.; PREEZANT, Y.; TESSLER, N.; CHAN, C. K.; KAHN, A.: Direct determination of the hole density of states in undoped and doped amorphous organic films with high lateral resolution. In: *Physical Review Letters* 95 (2005), no. 25, pp. 256405. <http://dx.doi.org/10.1103/PhysRevLett.95.256405>
- [TTB98] TERRILL, R. H.; TANZER, T. A.; BOHN, P. W.: Structural Evolution of Hexadecanethiol Monolayers on Gold during Assembly: Substrate and Concentration Dependence of Monolayer Structure and Crystallinity. In: *Langmuir: the ACS journal of surfaces and colloids* 14 (1998), no. 4, pp. 845–854. <http://dx.doi.org/10.1021/la970508o>
- [TYEI07] TAKIMIYA, K.; YAMAMOTO, T.; EBATA, H.; IZAWA, T.: Design strategy for air-stable organic semiconductors applicable to high-performance field-effect transistors. In: *Science and Technology of Advanced Materials* 8 (2007), no. 4, pp. 273–276. <http://dx.doi.org/10.1016/j.stam.2007.02.010>
- [TYS<sup>+</sup>18] TAKEDA, Y.; YOSHIMURA, Y.; SHIWAKU, R.; HAYASAKA, K. SEKINE, T.; OKAMOTO, T.; MATSUI, H.; KUMAKI, D.; KATAYAMA, Y.; TOKITO, S.: Organic Complementary Inverter Circuits Fabricated with Reverse Offset Printing. In: *Advanced Electronic Materials* 4 (2018), no. 1, pp. 1700313. <http://dx.doi.org/10.1002/aelm.201700313>
- [UGY<sup>+</sup>08] UCURUM, C.; GOEBEL, H.; YILDIRIM, F. A.; BAUHOFFER, W.; KRAUTSCHNEIDER, W.: Hole trap related hysteresis in pentacene field-effect transistors. In: *Journal of Applied Physics* 104 (2008), no. 8, pp. 084501. <http://dx.doi.org/10.1063/1.2999643>
- [UHU<sup>+</sup>09] UEMURA, T.; HIROSE, Y.; UNO, M.; TAKIMIYA, K.; TAKEYA, J.: Very High Mobility in Solution-Processed Organic Thin-Film Transistors of Highly Ordered [1]Benzothieno[3,2-b]benzothiophene Derivatives. In: *Applied Physics Express* 2 (2009), no. 11, pp. 111501. <http://dx.doi.org/10.1143/APEX.2.111501>
- [UKT08] UMEDA, T.; KUMAKI, D.; TOKITO, S.: High air stability of threshold voltage on gate bias stress in pentacene TFTs with a hydroxyl-free and amorphous fluoropolymer as gate insulators. In: *Organic Electronics* 9 (2008), no. 4, pp. 545–549. <http://dx.doi.org/10.1016/j.orgel.2008.02.015>



- [Ulm96] ULMAN, A.: Formation and Structure of Self-Assembled Monolayers. In: *Chemical Reviews* 96 (1996), no. 4, pp. 1533–1554. <http://dx.doi.org/10.1021/cr9502357>
- [UTY<sup>+</sup>09] UNO, M.; TOMINARI, Y.; YAMAGISHI, M.; DOI, I.; MIYAZAKI, E.; TAKIMIYA, K.; TAKEYA, J.: Moderately anisotropic field-effect mobility in dinaphtho[2,3-b:2' 3'-f]thiopheno[3,2-b]thiophenes single-crystal transistors. In: *Applied Physics Letters* 94 (2009), no. 22, pp. 223308. <http://dx.doi.org/10.1063/1.3153119>
- [Vid17] VIDOR, F. F.: *ZnO thin-film transistors for cost-efficient flexible electronics*. Paderborn, Universität Paderborn, Dissertation, 2017
- [VM98] VISSENBERG, M. C. J. M.; MATTERS, M.: Theory of the field-effect mobility in amorphous organic transistors. In: *Physical review. B, Condensed matter* 57 (1998), no. 20, pp. 12964–12967. <http://dx.doi.org/10.1103/PhysRevB.57.12964>
- [VMBS10] VIRKAR, A. A.; MANNSFELD, S.; BAO, Z.; STINGELIN, N.: Organic semiconductor growth and morphology considerations for organic thin-film transistors. In: *Advanced Materials* 22 (2010), no. 34, pp. 3857–3875. <http://dx.doi.org/10.1002/adma.200903193>
- [VNS<sup>+</sup>14] VENKATESHVARAN, D.; NIKOLKA, M.; SADHANALA, A.; LEMAUR, V.; ZELAZNY, M.; KEPA, M.; HURHANGEE, M.; KRONEMEIJER, A. J.; PECUNIA, V.; NASRALLAH, I.; ROMANOV, I.; BROCH, K.; MCCULLOCH, I.; EMIN, D.; OLIVIER, Y.; CORNIL, J.; BELJONNE, D.; SIRRINGHAUS, H.: Approaching disorder-free transport in high-mobility conjugated polymers. In: *Nature* 515 (2014), no. 7527, pp. 384–388. <http://dx.doi.org/10.1038/nature13854>
- [VOL<sup>+</sup>03] VERES, J.; OGIER, S. D.; LEEMING, S. W.; CUPERTINO, D. C.; MOHIALDIN KHAFFAF, S.: Low-k Insulators as the Choice of Dielectrics in Organic Field-Effect Transistors. In: *Advanced Functional Materials* 13 (2003), no. 3, pp. 199–204. <http://dx.doi.org/10.1002/adfm.200390030>
- [VOLL04] VERES, J.; OGIER, S.; LLOYD, G.; LEEUW, D. de: Gate Insulators in Organic Field-Effect Transistors. In: *Chemistry of Materials* 16 (2004), no. 23, pp. 4543–4555. <http://dx.doi.org/10.1021/cm049598q>

- [VSM<sup>+</sup>06] VUSSER, S. de; STEUDEL, S.; MYNY, K.; GENOE, J.; HEREMANS, P.: Integrated shadow mask method for patterning small molecule organic semiconductors. In: *Applied Physics Letters* 88 (2006), no. 10, pp. 103501. <http://dx.doi.org/10.1063/1.2182008>
- [VWR<sup>+</sup>06] VOLLMER, A.; WEISS, H.; RENTENBERGER, S.; SALZMANN, I.; RABE, J. P.; KOCH, N.: The interaction of oxygen and ozone with pentacene. In: *Surface Science* 600 (2006), no. 18, pp. 4004–4007. <http://dx.doi.org/10.1016/j.susc.2005.11.067>
- [WDJH18] WANG, C.; DONG, H.; JIANG, L.; HU, W.: Organic semiconductor crystals. In: *Chemical Society reviews* 47 (2018), no. 2, pp. 422–500. <http://dx.doi.org/10.1039/c7cs00490g>
- [Wei62] WEIMER, P.: The TFT A New Thin-Film Transistor. In: *Proceedings of the IRE* 50 (1962), no. 6, pp. 1462–1469. <http://dx.doi.org/10.1109/JRPROC.1962.288190>
- [WFBD07] WANG, L.; FINE, D.; BASU, D.; DODABALAPUR, A.: Electric-field-dependent charge transport in organic thin-film transistors. In: *Journal of Applied Physics* 101 (2007), no. 5, pp. 054515. <http://dx.doi.org/10.1063/1.2496316>
- [WH84] WANDEL, K.; HULSE, J. E.: Xenon adsorption on palladium. I. The homogeneous (110), (100), and (111) surfaces. In: *The Journal of chemical physics* 80 (1984), no. 3, pp. 1340–1352. <http://dx.doi.org/10.1063/1.446815>
- [WH11] WOLFF, K.; HILLERGMANN, U.: Solution processed inverter based on zinc oxide nanoparticle thin-film transistors with poly(4-vinylphenol) gate dielectric. In: *Solid-State Electronics* 62 (2011), no. 1, pp. 110–114. <http://dx.doi.org/10.1016/j.sse.2011.01.046>
- [WK85] WARTA, K.: Hot holes in naphthalene: High, electric-field-dependent mobilities. In: *Physical review. B, Condensed matter* 32 (1985), no. 2, pp. 1172–1182. <http://dx.doi.org/10.1103/physrevb.32.1172>
- [WKM<sup>+</sup>09] WALSER, M. P.; KALB, W. L.; MATHIS, T.; BRENNER, T. J.; BATLOGG, B.: Stable complementary inverters with organic field-effect transistors on Cytop fluoropolymer gate dielectric. In: *Applied Physics Letters* 94 (2009), no. 5, pp. 053303. <http://dx.doi.org/10.1063/1.3077192>

- [WKMB09] WALSER, M. P.; KALB, W. L.; MATHIS, T.; BATLOGG, B.: Low-voltage organic transistors and inverters with ultrathin fluoropolymer gate dielectric. In: *Applied Physics Letters* 95 (2009), no. 23, pp. 233301. <http://dx.doi.org/10.1063/1.3267055>
- [WMG+06] WATKINS, N. J.; MÄKINEN, A. J.; GAO, Y.; UCHIDA, M.; KAFABI, Z. H.: Direct observation of the evolution of occupied and unoccupied energy levels of two silole derivatives at their interfaces with magnesium. In: *Journal of Applied Physics* 100 (2006), no. 10, pp. 103706. <http://dx.doi.org/10.1063/1.2365710>
- [Wol11] WOLFF, K.: *Integrationstechniken für Feldeffekttransistoren mit halbleitenden Nanopartikeln : Einzel- und Multipartikel-Bauelemente*. Paderborn, Universität Paderborn, Dissertation, 2011
- [WS09] WONG, W. S. (ed.); SALLEO, A. (ed.): *Flexible electronics: Materials and applications*. New York : Springer, 2009 (Electronic materials : science & technology). – ISBN 9781441944948
- [WSY19] WANG, Cancan; SUN, Hongwen; YIN, Minqi: Recent Progress in Ultraviolet Nanoimprint Lithography and Its Applications. In: *Journal of Nanoelectronics and Optoelectronics* 14 (2019), no. 3, pp. 297–309. <http://dx.doi.org/10.1166/jno.2019.2495>
- [Wu71] WU, S.: Calculation of interfacial tension in polymer systems. In: *Journal of Polymer Science Part C: Polymer Symposia* 34 (1971), no. 1, pp. 19–30. <http://dx.doi.org/10.1002/polc.5070340105>
- [XCDG+98] XU, S.; CRUCHON-DUPEYRAT, S. J. N.; GARNO, J. C.; LIU, G.-Y.; JENNINGS, K. G.; YONG, T.-H.; LAIBINIS, P. E.: In situ studies of thiol self-assembly on gold from solution using atomic force microscopy. In: *The Journal of chemical physics* 108 (1998), no. 12, pp. 5002–5012. <http://dx.doi.org/10.1063/1.475908>
- [XOW+15] XIE, Y.; OUYANG, S.; WANG, D.; LEE, W.-Y.; BAO, Z.; MATTHEWS, J. R.; NIU, W.; BELLMAN, R. A.; HE, M.; FONG, H. H.: High performance top contact fused thiophene–diketopyrrolopyrrole copolymer transistors using a

- photolithographic metal lift-off process. In: *Organic Electronics* 20 (2015), pp. 55–62. <http://dx.doi.org/10.1016/j.orgel.2015.01.002>
- [XSL<sup>+</sup>17] XU, Y.; SUN, H.; LI, W.; LIN, Y.-F.; BALESTRA, F.; GHIBAUDO, G.; NOH, Y.-Y.: Exploring the Charge Transport in Conjugated Polymers. In: *Advanced Materials* 29 (2017), no. 41. <http://dx.doi.org/10.1002/adma.201702729>
- [XWW<sup>+</sup>13] XIE, W.; WILLA, K.; WU, Y.; HÄUSERMANN, R.; TAKIMIYA, K.; BATLOGG, B.; FRISBIE, C. D.: Temperature-independent transport in high-mobility dinaphtho-thieno-thiophene (DNTT) single crystal transistors. In: *Advanced Materials* 25 (2013), no. 25, pp. 3478–3484. <http://dx.doi.org/10.1002/adma.201300886>
- [YB10] YOON, W.-J.; BERGER, P. R.: Atomic layer deposited HfO<sub>2</sub> gate dielectrics for low-voltage operating, high-performance poly-(3-hexythiophene) organic thin-film transistors. In: *Organic Electronics* 11 (2010), no. 11, 1719–1722. <http://dx.doi.org/10.1016/j.orgel.2010.07.026>
- [YGA<sup>+</sup>14] YUAN, Y.; GIRI, G.; AYZNER, A. L.; ZOOMBELT, A. P.; MANNSFELD, S. C. B.; CHEN, J.; NORDLUND, D.; TONEY, M. F.; HUANG, J.; BAO, Z.: Ultra-high mobility transparent organic thin film transistors grown by an off-centre spin-coating method. In: *Nature Communications* 5 (2014), pp. 3005. <http://dx.doi.org/10.1038/ncomms4005>
- [YMT<sup>+</sup>13] YAGI, H.; MIYAZAKI, T.; TOKUMOTO, Y.; AOKI, Y.; ZENKI, M.; ZAIMA, T.; OKITA, S.; YAMAMOTO, T.; MIYAZAKI, E.; TAKIMIYA, K.; HINO, S.: Ultraviolet photoelectron spectra of 2,7-diphenyl[1]benzothieno[3,2-b][1]benzothiophene and dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophene. In: *Chemical Physics Letters* 563 (2013), pp. 55–57. <http://dx.doi.org/10.1016/j.cplett.2013.02.011>
- [You05] YOUNG, T.: III. An essay on the cohesion of fluids. In: *Philosophical Transactions of the Royal Society of London* 95 (1805), pp. 65–87. <http://dx.doi.org/10.1098/rstl.1805.0005>
- [YSP05] YANG, S. Y.; SHIN, K.; PARK, C. E.: The Effect of Gate-Dielectric Surface Energy on Pentacene Morphology and Organic Field-Effect Transistor

- Characteristics. In: *Advanced Functional Materials* 15 (2005), no. 11, pp. 1806–1814. <http://dx.doi.org/10.1002/adfm.200400486>
- [YT07] YAMAMOTO, T.; TAKIMIYA, K.: Facile synthesis of highly  $\pi$ -extended heteroarenes, dinaphtho[2,3-b:2',3'-f]chalcogenopheno[3,2-b]chalcogenophenes, and their application to field-effect transistors. In: *Journal of the American Chemical Society* 129 (2007), no. 8, pp. 2224–2225. <http://dx.doi.org/10.1021/ja068429z>
- [ZC09] ZAN, H.-W.; CHOU, C.-W.: Effect of Surface Energy on Pentacene Thin-Film Growth and Organic Thin Film Transistor Characteristics. In: *Japanese Journal of Applied Physics* 48 (2009), no. 3, pp. 031501. <http://dx.doi.org/10.1143/JJAP.48.031501>
- [ZHF<sup>+</sup>07] ZIRKL, M.; HAASE, A.; FIAN, A.; SCHÖN, H.; SOMMER, C.; JAKOPIC, G.; LEISING, G.; STADLOBER, B.; GRAZ, I.; GAAR, N.; SCHWÖDIAUER, R.; BAUER-GOGONEA, S.; BAUER, S.: Low-Voltage Organic Thin-Film Transistors with High-k Nanocomposite Gate Dielectrics for Flexible Electronics and Optothermal Sensors. In: *Advanced Materials* 19 (2007), no. 17, pp. 2241–2245. <http://dx.doi.org/10.1002/adma.200700831>
- [ZIS75] ZISMAN, W. A.: Relation of the Equilibrium Contact Angle to Liquid and Solid Constitution. 1975. <http://dx.doi.org/10.1021/ba-1964-0043.ch001>. In: HULBURT, H. M. (ed.): *Chemical Reaction Engineering—II* vol. 43. WASHINGTON, D. C. : American Chemical Society, 1975. – ISBN 0-8412-0044-0, pp. 1–51
- [ZK19] ZSCHIESCHANG, U.; KLAUK, H.: Organic transistors on paper: a brief review. In: *Journal of Materials Chemistry C* 7 (2019), no. 19, pp. 5522–5533. <http://dx.doi.org/10.1039/C9TC00793H>
- [ZKW<sup>+</sup>20] ZHANG, K.; KOTADIYA, N. B.; WANG, X.-Y.; WETZELAER, G.-J. A. H.; MARSZALEK, T.; PISULA, W.; BLOM, P. W. M.: Interlayers for Improved Hole Injection in Organic Field-Effect Transistors. In: *Advanced Electronic Materials* 6 (2020), no. 6, pp. 1901352. <http://dx.doi.org/10.1002/aelm.201901352>

- [ZS07] ZAUMSEIL, J.; SIRRINGHAUS, H.: Electron and ambipolar transport in organic field-effect transistors. In: *Chemical Reviews* 107 (2007), no. 4, pp. 1296–1323. <http://dx.doi.org/10.1021/cr0501543>
- [ZYC<sup>+</sup>17] ZHAO, Z.; YIN, Z.; CHEN, H.; ZHENG, L.; ZHU, C.; ZHANG, L.; TAN, S.; WANG, H.; GUO, Y.; TANG, Q.; LIU, Y.: High-Performance, Air-Stable Field-Effect Transistors Based on Heteroatom-Substituted Naphthalenediimide-Benzothiadiazole Copolymers Exhibiting Ultrahigh Electron Mobility up to  $8.5 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ . In: *Advanced Materials* 29 (2017), no. 4. <http://dx.doi.org/10.1002/adma.201602410>
- [ZZW<sup>+</sup>96] ZHANG, L. D.; ZHANG, H. F.; WANG, G. Z.; MO, C. M.; ZHANG, Y.: Dielectric behaviour of nano-TiO<sub>2</sub> bulks. In: *Physica Status Solidi (a)* 157 (1996), no. 2, pp. 483–491. <http://dx.doi.org/10.1002/pssa.2211570232>

## FORMELZEICHEN UND ABKÜRZUNGEN

### Formelzeichen

$A^*$	Richardson-Konstante
$C_{diel}$	Kapazität des Gate-Dielektrikums
$C_G$	Gate-Kapazität
$C_i$	Kapazität pro Einheitsfläche eines Kondensators
$d$	Dicke des Dielektrikums
$d_S$	Dicke des Halbleiters
$EA$	Elektronenaffinität des organischen Halbleiter
$E_F$	Fermi-Energie
$E_G$	Energielücke des organischen Halbleiters
$E_{ICT\pm}$	Energie der ICT Zustände
$E_T$	Energieniveau der lokalisierten Zustände
$f_T$	Transitfrequenz
$g_{m/O}$	Trans-/ Ausgangskonduktanz
$GND$	Massepotential
$IE$	Ionisationsenergie des organischen Halbleiters
$I_D$	Drain-Strom

---

$i_{D/G}$	.....	Klein-Signal Drain/ Gate-Strom
$I_{DD}$	.....	Schaltungsstrom
$I_{DS}$	.....	Drain-Source-Strom
$I_{GS}$	.....	Gate-Source-Strom, Leckstrom
$I_{off}$	.....	minimaler Drain-Strom einer Eingangskennlinie
$I_{on}$	.....	maximaler Drain-Strom einer Eingangskennlinie
$J$	.....	Stromdichte
$J_0$	.....	Sättigungsstromdichte
$k$	.....	dielektrische Konstante des Dielektrikums
$k_B$	.....	Boltzmann-Konstante ( $1,381 \cdot 10^{-23} \text{ m}^2\text{s}^{-2}\text{K}^{-1}\text{kg}$ )
$L$	.....	Kanallänge des Transistors
$L_{ov,GS/GD}$	.....	parasitäre Überlappungen (Gate-zu-Source, Gate-zu-Drain)
$m^*$	.....	effektive Masse der Ladungsträger
$n$	.....	Emissionskoeffizienten
$N_D$	.....	Dotierstoffkonzentration
$N_{it}$	.....	Dichte an Fallenzuständen an der Halbleiter-Dielektrikum-Grenzfläche
$n_0$	.....	Ladungsträgerdichte
$q$	.....	Elementarladung ( $1,602 \cdot 10^{-19} \text{ C}$ )
$Q_{ideal}$	.....	akkumulierte Ladungen einer idealen MIS-Struktur
$Q_{mob}$	.....	Anzahl der freien Ladungen pro Einheitsfläche
$RA$	.....	Rauheit
$R_C$	.....	Kontaktwiderstand
$R_{Ch}$	.....	Kanalwiderstand
$R_S$	.....	parasitärer Widerstand
$R_{Total}$	.....	Gesamtwiderstand eines Systems
$S$	.....	Subschwelligenspannungsstromanstieg
$V_C$	.....	Spannungsabfall am Kontakt
$v_D$	.....	Driftgeschwindigkeit



---

$V_{DD}$ .....	Betriebsspannung
$V_{DS}$ .....	Drain-Source-Spannung
$V_{FB}$ .....	Flachbandspannung
$V_{GS}$ .....	Gate-Source-Spannung
$V_{in}$ .....	Eingangssignal
$V_{inj}$ .....	Kontaktpotential für die Ladungsträgerinjektion
$V_M$ .....	Schaltsschwelle
$V_{on}$ .....	Einschaltspannung
$V_{out}$ .....	Ausgangssignal
$V_{Th}$ .....	Schwellenspannung
$W$ .....	Kanalweite des Transistors
$\beta$ .....	geometrisches Verhältnis
$\Delta V_{on}$ .....	Hysterese bezüglich der Einschaltspannung
$\Delta V_{Th}$ .....	Hysterese bezüglich der Schwellenspannung
$\varepsilon$ .....	relative Permittivität des Halbleiters
$\gamma_{sl}$ .....	freie Oberflächenenergie
$\hbar$ .....	Planck'sche Wirkungsquantum
$\mu_{eff}$ .....	effektiven Ladungsträgermobilität
$\mu_{FET}$ .....	Feldeffekt-Mobilität
$\mu_{lin/sat}$ .....	Ladungsträgermobilität im linearen Bereich/ Sättigungsbereich
$\mu_0$ .....	intrinsische Ladungsträgermobilität des Halbleitermaterials
$\varphi_B$ .....	Höhe der Schottky-Barriere
$\varphi_{Bn}$ .....	Elektroneninjektionsbarriere
$\varphi_{Bp}$ .....	Lochinjektionsbarriere
$\varphi_M$ .....	Austrittsarbeit des Metalls
$\varphi_0$ .....	elektrische Feldkonstante ( $8,854 \cdot 10^{-12} \text{ AsV}^{-1}\text{m}^{-1}$ )
$\sigma_{s/l}$ .....	Oberflächenspannung feste/ flüssige Phase
$\theta$ .....	Kontaktwinkel zwischen fester und flüssiger Phase

## Abkürzungen

AFM	.....	<i>atomic force microscope</i>
FET	.....	Feldeffekttransistor
HOMO	.....	<i>highest occupied molecular orbital</i>
ICT	.....	<i>Integer Charge Transfer</i>
IEEE	.....	Institute of Electrical and Electronics Engineers
IoT	.....	<i>Internet of Things</i>
LCD	.....	<i>Liquid Crystal Display</i>
LED	.....	lichtemittierende Dioden
LUMO	.....	<i>lowest unoccupied molecular orbital</i>
MEC	.....	<i>maximum equal criteria</i>
MIS	.....	<i>Metal-Insulator-Semiconductor</i>
MOSFET	.....	<i>Metal Oxid Semiconductor Field-Effect Transistor</i>
MTR	.....	<i>Multiple-Trapping-and-Release</i>
NM	.....	<i>Noise Margin</i>
REM	.....	Rasterelektronenmikroskop
RFID	.....	<i>Radio-Frequency IDentification</i>
RMS	.....	<i>root-mean-square roughness</i>
SAM	.....	<i>self-assembled monolayers</i>
TFT	.....	<i>Thin-Film Transistor</i>
TLM	.....	Transferlängen-Methode
Vias	.....	<i>vertical interconnect access</i>
VRH	.....	<i>Variable-Range-Hopping</i>

## ANHANG A

### A.1 Ätzlösungen

Zusammensetzung der Lösung für das Ätzen von Aluminium (Al):

- 150 ml H<sub>2</sub>O
- 1200 ml H<sub>3</sub>PO<sub>3</sub>
- 75 ml HNO<sub>3</sub>
- 75 ml CH<sub>3</sub>COOH

Zusammensetzung der Lösung für das Ätzen von Gold (Au):

- 50 ml H<sub>2</sub>O
- 0,1875 g I
- 0,75 g KI

Zusammensetzung der Lösung für das Ätzen von Titan (Ti):

- 300 ml H<sub>2</sub>O
- 180 ml H<sub>2</sub>O<sub>2</sub>
- 60 ml NH<sub>4</sub>OH

Zusammensetzung der Lösung für das Ätzen von Siliziumdioxid ( $\text{SiO}_2$ ):

- 450 ml  $\text{H}_2\text{O}$
- 450 g  $\text{NH}_4\text{F}$
- 210 ml HF

## A.2 Fototechnikparameter

Tabelle A.1: Fototechnik auf verschiedenen Substraten

Ausheizen des Substrats	1 h, 110 °C
Aufbringen von HMDS	
Aufbringen des Fotolacks ( <i>Spin-Coating</i> )	<i>Blow</i> : 5 s, 1000 U/min <i>Low Spin</i> : 10 s, 800 U/min <i>High Spin</i> : 45 s, 4000 U/min
Softbake	60 s bei 110 °C, Heizplatte (Si) 5 min bei 110 °C, Heizplatte (BOROFLOAT) 15 min bei 115 °C, Umluftofen (PET)
Rehydrierung	30 min
Belichtung	2, 7 s

Tabelle A.2: Fototechnik für den Selbstjustierungsprozess bzw. Strukturierung des Dielektrikums

Ausheizen des Substrats	1 h, 110 °C
Aufbringen von HMDS	
Aufbringen des Fotolacks ( <i>Spin-Coating</i> )	<i>Blow</i> : 5 s, 1000 U/min <i>Low Spin</i> : 10 s, 800 U/min <i>High Spin</i> : 45 s, 4000 U/min
Softbake	5 min bei 110 °C, Heizplatte (BOROFLOAT)
Rehydrierung	30 min
Belichtung	11 s (Rückseite) 1 s (Frontseite)

## A.3 Trockenätzprozess

Ätzparameter für den Lackschrumpfprozess:

- Elektrode: Kohlenstoff
- Leistung 50 W
- Ätzgas: Sauerstoff (O<sub>2</sub>, 100 %)
- Durchflussrate: 20 sccm



### Artikel in wissenschaftlichen Journalen

- [1] VOLLBRECHT, J.; OECHSLE, P.; STEPEN, A.; HOFFMANN, F.; PARADIES, J.; Meyers, T.; HILLERINGMANN, U.; SCHMIDTKE, J.; KITZEROW, H.: Liquid crystal-line dithienothiophene derivatives for organic electronics. In: *Organic Electronics* 61 (2018), pp. 266-275. <http://dx.doi.org/10.1016/j.orgel.2018.06.002>
- [2] Meyers, T.; VIDOR, F. F.; BRASSAT, K.; LINDNER, J. K. N.; HILLERINGMANN, U.: Low-voltage DNTT-based thin-film transistors and inverters for flexible electronics. In: *Microelectronic Engineering* 174 (2017), pp. 35-39. <http://dx.doi.org/10.1016/j.mee.2016.12.018>
- [3] Meyers, T.; VIDOR, F. F.; PULS, C.; HILLERINGMANN, U.: Low-voltage C<sub>8</sub>-BTBT thin-film transistors for flexible electronics. In: *Materials Today: Proceedings* 4 (2017), pp. S232-S236. <http://dx.doi.org/10.1016/j.matpr.2017.09.192>
- [4] VIDOR, F. F.; Meyers, T.; MÜLLER, K.; WIRTH, G. I.; HILLERINGMANN, U.: Inverter circuits on freestanding flexible substrate using ZnO nanoparticles for cost-efficient electronics. In: *Solid-State Electronics* 137 (2017), pp. 16-21. <http://dx.doi.org/10.1016/j.sse.2017.07.011>
- [5] VIDOR, F. F.; Meyers, T.; HILLERINGMANN, U.: Inverter circuits using ZnO nanoparticle based thin-film transistors for flexible electronic applications. In: *Nanomaterials* 6 (2016), no. 9, pp. 154. <http://dx.doi.org/10.3390/nano6090154>

- [6] VIDOR, F. F.; **Meyers, T.**; WIRTH, G. I.; HILLERINGMANN, U.: ZnO nanoparticle thin-film transistors on flexible substrate using spray-coating technique. In: *Micro-electronic Engineering* 159 (2016), pp. 155-158. <http://dx.doi.org/10.1016/j.mee.2016.02.059>
- [7] VIDOR, F. F.; **Meyers, T.**; HILLERINGMANN, U.: Flexible electronics: Integration processes for organic and inorganic semiconductor-based thin-film transistors. In: *Electronics* 4 (2015), no. 3, pp. 480-506. <http://dx.doi.org/10.3390/electronics4030480>

## Tagungsbände

- [8] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Metallization technique for drain/source electrodes for complementary organic and ZnO nanoparticle inverter circuits. In: *The 45<sup>th</sup> International Conference on Micro and Nano Engineering (MNE2019)*, 23–26 Sept. 2019, Rhodes, Greece.
- [9] **Meyers, T.**; REKER, J.; TEMME, J.; VIDOR, F. F.; HILLERINGMANN, U.: Self-aligned organic thin-film transistors for flexible electronics. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500673>
- [10] **Meyers, T.**; REKER, J.; TEMME, J.; VIDOR, F. F.; VOLLBRECHT, J.; KITZEROW, H.; PARADIES, J.; HILLERINGMANN, U.: Improved organic thin-film transistor performance by dielectric layer patterning. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500286>
- [11] HILLERINGMANN, U.; REKER, J.; **Meyers, T.**; VIDOR, F. F.; BEZUIDENHOUT, P.; JOUBERT, T.-H.: Nanoparticles and organic semiconductors for flexible electronics. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500218>
- [12] VIDOR, F. F.; **Meyers, T.**; REKER, J.; MÜLLER, K.; WIRTH, G. I.; HILLERINGMANN, U.: Mechanical deformation on nanoparticle-based thin-film transistors. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2502393>



- [13] PETROV, D.; **Meyers, T.**; REKER, J.; HILLERINGMANN, U.: Doctor blade system for the deposition of thin semiconducting films. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2501307>
- [14] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Inorganic p-channel thin-film transistors using CuO nanoparticles. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500644>
- [15] SCHWABE, T.; BALKE, A.; BEZUIDENHOUT, P.; REKER, J.; **Meyers, T.**; JOUBERT, T.-H.; HILLERINGMANN, U.: Oxygen detection with zinc oxide nanoparticle structures. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2501507>
- [16] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Inverter circuits in complementary technology using inorganic nanoparticle-based TFTs. In: *2018 Fall Meeting European Materials Research Society (E-MRS2018)*, 17–20 Sep. 2018, Warsaw, Poland.
- [17] BECKER, T. E.; VIDOR, F. F.; WIRTH, G. I.; **Meyers, T.**; REKER, J.; HILLERINGMANN, U.: Time domain electrical characterization in zinc oxide nanoparticle thin-film transistors. In: *2018 IEEE 19<sup>th</sup> Latin-American Test Symposium (LATS2018)*, IEEE, 12–14 Mar. 2018, Sao Paulo, Brazil. <https://dx.doi.org/10.1109/LATW.2018.8349695>
- [18] **Meyers, T.**; REKER, J.; PETROV, D.; VIDOR, F. F.; HILLERINGMANN, U.: Influence of the electrode material on the performance of BTBT-based thin-film transistors. In: *7<sup>th</sup> GMM-Workshop Mikro-Nano-Integration (MNI2018)*, VDE Verlag, 22–23 Oct. 2018, Dortmund, Germany. ISBN: 978–3–8007–4789–4
- [19] **Meyers, T.**; REKER, J.; VIDOR, F. F.; HILLERINGMANN, U.: Deposition methods for C8-BTBT in flexible TFTs. In: *Smart Systems Integration Conference*, Mesago Messe Frankfurt GmbH, 11–12 Apr. 2018, Dresden, Germany. ISBN: 978–3–95735–082–4
- [20] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Deposition speed optimization for ZnO nanoparticle TFTs using doctor blade process. In: *Smart Sys-*

- tems Integration Conference*, Mesago Messe Frankfurt GmbH, 11–12 Apr. 2018, Dresden, Germany. ISBN: 978–3–95735–082–4
- [21] REKER, J.; **Meyers, T.**; PETROV, D.; VIDOR, F. F.; HILLERINGMANN, U.: Performance Analysis of CuO Nanoparticle-Based Thin-Film Transistors. In: *7<sup>th</sup> GMM-Workshop Mikro-Nano-Integration (MNI2018)*, VDE Verlag, 22–23 Oct. 2018, Dortmund, Germany. ISBN 978–3–8007–4789–4
- [22] **Meyers, T.**; REKER, J.; VIDOR, F. F.; SCHIRMER, M.; MAI, T.; GERNGROSS, M.; KAISER, C.; HILLERINGMANN, U.: Characterization of an amorphous perfluorinated copolymer as dielectric for flexible electronics. In: *The 44<sup>th</sup> International Conference on Micro and Nano Engineering (MNE2017)*, 24–27 Sept. 2018, Copenhagen, Denmark.
- [23] **Meyers, T.**; VOLLBRECHT, J.; VIDOR, F. F.; REKER, J.; KITZEROW, H. HILLERINGMANN, U.: Organic Thin-Film Transistors for AMOLED Applications. In: *MikroSystemTechnik Kongress (MST2017)*, VDE Verlag, 23–25 Oct. 2017, Munich, Germany. ISBN: 978–3–8007–4491–6
- [24] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Integrationstechnik für ZnO-Nanopartikel-Dünnschichttransistoren. In: *MikroSystemTechnik Kongress (MST2017)*, VDE Verlag, 23–25 Oct. 2017, Munich, Germany. ISBN: 978–3–8007–4491–6
- [25] REKER, J.; **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Deposition of ZnO nanoparticles for thin-film transistors by doctor blade process. In: *2017 IEEE AFRICON*, IEEE, 18–20 Sept. 2015, Cape Town, South Africa. pp. 634–638, <http://dx.doi.org/10.1109/AFRCON.2017.8095556>
- [26] VIDOR, F. F.; WIRTH, G. I.; **Meyers, T.**; REKER, J.; HILLERINGMANN, U.: Self-aligned ZnO nanoparticle-based TFTs for flexible electronics. In: *2017 IEEE AFRICON*, IEEE, 18–20 Sept. 2015, Cape Town, South Africa. pp. 634–638, <http://dx.doi.org/10.1109/AFRCON.2017.8095558>
- [27] VIDOR, F. F.; **Meyers, T.**; HILLERINGMANN, U.: Integration of ZnO nanoparticle transistor on freestanding flexible substrates. In: *Proc. SPIE 10036, Fourth Conference on Sensors, MEMS and Electro-Optic Systems*, 100360A (2017), pp. 1–6, <https://doi.org/10.1117/12.2243134>

- [28] HILLERINGMANN, U.; VIDOR, F. F.; **Meyers, T.**: Complementary field-effect transistors for flexible electronics. In: *Proc. SPIE 10036, Fourth Conference on Sensors, MEMS and Electro-Optic Systems*, 100360K (2017), pp. 1–6, <https://dx.doi.org/10.1117/12.22430010>
- [29] **Meyers, T.**; VIDOR, F. F.; REKER, J.; BROCKSCHMIDT, T.; HILLERINGMANN, U.: Electric field-assisted performance improvement of solution-processed organic thin-film transistors. In: *The 4<sup>3rd</sup> International Conference on Micro and Nano Engineering (MNE2017)*, 18–22 Sept. 2017, Braga, Portugal.
- [30] **Meyers, T.**; VIDOR, F. F.; REKER, J.; HILLERINGMANN, U.: Performance enhancement techniques for flexible electronics. In: *The IDTechEx Show!*, 10–11 May 2017, Berlin, Germany.
- [31] HILLERINGMANN, U.; VIDOR, F. F.; **Meyers, T.**: Processing of self-aligned complementary field-effect transistors on glass and foil substrates. In: *7<sup>th</sup> NRW Nano-Conference*, 7–8 Dec. 2016, Münster, Germany.
- [32] VIDOR, F. F.; **Meyers, T.**; WIRTH, G. I.; HILLERINGMANN, U.: Influence of traps on the characteristics of ZnO nanoparticles thin-film transistors. In: *GMM-Fachbericht-Mikro-Nano-Integration (MNI2016)* 86, VDE Verlag, 5–6 Oct. 2016, Duisburg, Germany. ISBN: 978–3–8007–4278–3, pp. 1–6
- [33] **Meyers, T.**; VIDOR, F. F.; KAIJAGE, S. F.; HILLERINGMANN, U.: Self-aligning integration technique for organic electronics. In: *GMM-Fachbericht-Mikro-Nano-Integration (MNI2016)* 86, VDE Verlag, 5–6 Oct. 2016, Duisburg, Germany. ISBN: 978–3–8007–4278–3, pp. 1–4
- [34] VIDOR, F. F.; **Meyers, T.**; MÜLLER, K.; WIRTH, G. I.; HILLERINGMANN, U.: Low-cost inverter on freestanding flexible substrate using ZnO nanoparticles. In: *The 4<sup>2nd</sup> International Conference on Micro and Nano Engineering (MNE2016)*, 19–23 Sept. 2016, Vienna, Austria.
- [35] **Meyers, T.**; VIDOR, F. F.; HILLERINGMANN, U.: Integration process for a self-aligned contact setup for flexible electronics. In: *5<sup>th</sup> Europhotonics Spring School*, 19 Mar. – 1 Apr. 2016, Proquerolles, France.

- [36] VIDOR, F. F.; Meyers, T.; HILLERINGMANN, U.: Low-cost treatment for flexible electronics. In: *Smart Systems Integration Conference*, Mesago Messe Frankfurt GmbH, 9–10 Mar. 2016, Munich, Germany. ISBN: 978–3–9573–5040–4, pp. 1–4
- [37] Meyers, T.; VIDOR, F. F.; HILLERINGMANN, U.: Maskless reduction of crosstalk suitable for flexible electronics. In: *Smart Systems Integration Conference*, Mesago Messe Frankfurt GmbH, 9–10 Mar. 2016, Munich, Germany. ISBN: 978–3–9573–5040–4, pp. 1–4
- [38] Meyers, T.; VIDOR, F. F.; HILLERINGMANN, U.: Thin-film transistors for flexible electronics. In: *13<sup>th</sup> Convention of the Graduate Program 1464*, 24–25 Nov. 2015, Paderborn, Germany.
- [39] Meyers, T.; VIDOR, F. F.; HILLERINGMANN, U.: Integration process for a self-aligned contact setup for flexible electronics. In: *41<sup>st</sup> International Conference on Micro and Nano Engineering (MNE2015)*, 21–24 Sept. 2015, The Hague, The Netherlands.
- [40] VIDOR, F. F.; Meyers, T.; HILLERINGMANN, U.; WIRTH, G. I.: Influence of UV irradiation and humidity on a low-cost ZnO nanoparticle TFT for flexible electronics. In: *2015 IEEE 15<sup>th</sup> International Conference on Nanotechnology (IEEE-NANO)*, IEEE, 27–30 Jul. 2015, Rome, Italy. pp. 1179–1181, <http://dx.doi.org/10.1109/TNANO.2012.2236891>
- [41] Meyers, T.; VIDOR, F. F.; HILLERINGMANN, U.: Integration of self-aligned contacts in organic field-effect transistors for organic light-emitting diode application. In: *4<sup>th</sup> Europhotonics Spring School*, 13–16 Apr. 2015, Paderborn, Germany.
- [42] Meyers, T.; VIDOR, F. F.; HILLERINGMANN, U.: Integration of self-aligned contacts in organic field-effect transistors. In: *11<sup>th</sup> Convention of the Graduate Program 1464*, 8–9 Dec. 2014, Paderborn, Germany.