



UNIVERSITÄT PADERBORN
Die Universität der Informationsgesellschaft

**FAKULTÄT FÜR
ELEKTROTECHNIK,
INFORMATIK UND
MATHEMATIK**

Dünnschichttransistoren mit halbleitenden Nanopartikeln: Integrationstechniken für Einzelbauelemente und komplementäre Schaltungen auf flexiblen Substraten

Von der Fakultät für Elektrotechnik, Informatik und Mathematik
der Universität Paderborn

zur Erlangung des akademischen Grades

Doktor der Ingenieurwissenschaften (Dr.-Ing.)

genehmigte Dissertation

von

M. Sc. Julia Reker

Erster Gutachter: Prof. Dr.-Ing. Ulrich Hilleringmann

Zweiter Gutachter: Prof. Dr. Trudi-Heleen Joubert

Tag der mündlichen Prüfung: 26.01.2023

Paderborn 2023

Diss. EIM-E/369

**Dünnschichttransistoren mit halbleitenden Nanopartikeln:
Integrierungsverfahren für Einzelbauelemente und
komplementäre Schaltungen auf flexiblen Substraten**

von Julia Reker

Unter dem Ausdruck flexible Elektronik werden leichte, biegbare und mitunter transparente Schaltungen zusammengefasst. Die grundlegenden Bausteine dieser Technologie sind Dünnschichttransistoren (TFTs), die den Stromfluss in elektronischen Schaltungen steuern. Dieser Technologiezweig soll keine Konkurrenz zur konventionellen siliziumbasierten Elektronik darstellen, sondern durch die Kombination beider Technologien neuartige Anwendungen ermöglichen.

Die in dieser Arbeit entwickelten TFTs für die flexible Elektronik basieren auf anorganischen Halbleitern. Für einen verlustarmen Betrieb sind Schaltungen in Komplementärtechnik erforderlich. Während der Großteil an Metalloxiden n-leitendes Verhalten aufweisen, ist die Auswahl an intrinsischen p-Halbleitern jedoch begrenzt. Ein p-leitendes Material ist CuO, das in dieser Arbeit untersucht wurde. Für die n-Typ-TFTs wurde ZnO verwendet, das als Halbleiter in der flexiblen Elektronik bereits weit verbreitet ist. Im Hinblick auf eine kostengünstige Integration, die zudem kompatibel mit einer großflächigen Herstellung auf flexiblen Substraten sein soll, wurde in dieser Arbeit die Verwendung lösungsmittelbasierter Prozesse forciert. Die Halbleiter wurden dementsprechend in nanopartikulärer Form in Dispersionen bei niedrigen Temperaturen prozessiert. In diesem Zusammenhang wurde das Rakel-Verfahren als Depositionsmethode für Dispersionen evaluiert. Es wurde gezeigt, dass die kommerziell erhältlichen CuO-Nanopartikel ein p-Typ-Verhalten aufweisen und die resultierenden TFTs eine elektrische Leistungsfähigkeit erzielen, die vergleichbar mit den Eigenschaften der durch vakuumbasierte oder Hochtemperaturprozesse hergestellten TFTs ist. Nichtsdestotrotz sind die elektrischen Charakteristika dieser CuO-TFTs denen von ZnO-TFTs unterlegen. Darüber hinaus wurde eine Analyse des Einflusses des Kontaktmetalls auf das elektrische Verhalten der CuO- sowie der ZnO-TFTs durchgeführt. Des Weiteren wurde eine Integrationsroutine entwickelt, die eine monolithische Integration von komplementären Invertern ermöglicht. Mit dieser Methode lassen sich zwei verschiedene Halbleiter sowie die entsprechenden Kontaktmetalle parallel auf einem gemeinsamen Substrat integrieren. Die Routine wurde anschließend auf ein flexibles Substrat übertragen. Um die Komplexität dieses Herstellungsprozesses zu reduzieren, wurde eine alternative Methode entwickelt, die eine zweilagige Kontaktmetallisierung vorsieht. Im Hinblick auf eine Erhöhung der Transitfrequenzen wurde der bestehende Selbstjustierungsprozess zur Strukturierung der Kontaktelektroden durch die Kombination einer herkömmlichen optischen Fotolithografie mit einem Trockenätzprozess an eine Integration von Kanallängen im Submikrometerbereich angepasst. Mit dem entwickelten Verfahren lassen sich sowohl auf Borosilikatglas-Wafern als auch auf PET-Folien Transistoren mit Kanallängen bis hin zu 500 nm herstellen. Als Gate-Dielektrikum wird bislang ein high- k -Nanokomposit verwendet. Die Analyse der Transistoren im Hinblick auf ihre dynamischen Eigenschaften zeigte, dass dieses Dielektrikum aufgrund von Polarisierungseffekten nur für statische Anwendungen geeignet ist. Abschließend wurden verschiedene Ansätze für die Integration eines alternativen Dielektrikums untersucht.

**Thin-film transistors using semiconducting nanoparticles:
Integration techniques for single devices and
complementary circuits on flexible substrates**

by Julia Reker

The expression flexible electronics is used to describe lightweight, bendable and sometimes transparent circuits. The basic building blocks of this technology are thin-film transistors (TFTs), which control the current flow in electronic circuits. This branch of technology is not intended to compete with conventional silicon-based electronics, but to enable novel applications by combining both technologies.

The TFTs developed in this work are based on inorganic semiconductors. Complementary technology circuits are required for low-loss operation. However, while the majority of metal oxides exhibit n-type behavior, the choice of intrinsic p-type semiconductors is limited. Such a p-type material is CuO, which will be investigated in this work. For the n-type TFTs, ZnO is used, which is already widely applied as a semiconductor in flexible electronics. With regard to low-cost integration, which should also be compatible with large-area fabrication on flexible substrates, this work enforces the use of solvent-based processes. Accordingly, the semiconductors are processed in nanoparticulate form in dispersions at low temperatures. In this context, the doctor blade process is evaluated as a deposition method for dispersions. It is shown that the commercially available CuO nanoparticles exhibit p-type behavior and the resulting TFTs achieve electrical performance comparable to the properties of TFTs fabricated by vacuum-based or high-temperature processes. Nevertheless, the electrical characteristics of these CuO TFTs are inferior to those of ZnO TFTs. Moreover, an analysis of the influence of contact metals on the electrical behavior of both CuO and ZnO TFTs is performed. Furthermore, an integration routine is developed that allows monolithic integration of complementary inverters. With this fabrication method, two different semiconductors as well as the corresponding contact metals can be integrated in parallel on a common substrate. This routine is then transferred to a flexible substrate. In order to reduce the complexity of this fabrication process, an alternative method is developed which provides a two-layer contact metallization. Concerning an increase of transit frequencies, the existing self-alignment process for patterning the contact electrodes is adapted to an integration of channel lengths in the submicrometer range by combining a conventional optical photolithography with a dry etching process. The developed process can be used to produce transistors with channel lengths down to 500 nm on both borosilicate glass wafers and PET films. So far, a high- k nanocomposite has been used as the gate dielectric. The analysis of the transistors with respect to their dynamic properties shows that this dielectric is only suitable for static applications due to polarisation effects. Finally, different approaches for the integration of an alternative dielectric are investigated.

Eidesstattliche Erklärung

Ich erkläre hiermit an Eides statt, dass ich die vorliegende Dissertation zum Thema „Dünnschichttransistoren mit halbleitenden Nanopartikeln: Integrationstechniken für Einzelbauelemente und komplementäre Schaltungen auf flexiblen Substraten“ selbstständig und unter Verwendung der angegebenen Hilfsmittel angefertigt habe; die aus fremden Quellen direkt oder indirekt übernommenen Gedanken sind als solche kenntlich gemacht. Die Arbeit wurde bisher keiner anderen Prüfungsbehörde vorgelegt.

Paderborn, den 13. Juli 2022

Unterschrift

Inhaltsverzeichnis

Kurzfassung	III
Eidesstattliche Erklärung	VII
Danksagung	IX
Inhaltsverzeichnis	XI
1 Einleitung	15
1.1 Zielsetzung	18
1.2 Gliederung	18
2 Physikalische Grundlagen des Dünnschichttransistors	21
2.1 Transistorarchitekturen	22
2.2 Funktionsweise	24
2.3 Ladungstransport	28
2.4 Eigenschaften des Metall-Halbleiter-Kontaktes	30
2.4.1 Der Metall-Halbleiter-Kontakt	30
2.4.2 Kontaktwiderstand	36
2.5 Parameterextraktion	38
2.5.1 Schwellenspannung	38
2.5.2 Einschaltspannung	40
2.5.3 Ladungsträgerbeweglichkeit	40
2.5.4 Strommodulation	42
2.5.5 Subschwelligenspannungsstromanstieg	42
3 Materialien und Integrationstechniken	45
3.1 Metalloxid-Halbleiter	45
3.1.1 n-halbleitendes Zinkoxid	47
3.1.2 p-halbleitendes Kupferoxid	50
3.1.3 CuO-basierte TFTs – Stand der Technik	56
3.2 Gate-Dielektrikum	58
3.2.1 High- <i>k</i> Nanokomposit	59
3.3 Metall-Elektroden	59
3.4 Integrationsprozess	61
3.5 Deposition des Halbleiters	65
3.5.1 Raket-Verfahren	68
3.5.2 Aufbau einer Raketanlage	70

4	Nanopartikel-basierte Dünnschichttransistoren	73
4.1	TFTs mit n-leitendem ZnO	73
4.1.1	Evaluierung des Rakelverfahrens als Nanopartikel-Depositionsmethode	74
4.1.2	Nanopartikel-Deposition durch Tintendruck	83
4.1.3	Einfluss des Kontaktmetalls	85
4.1.4	Einfluss der Gate-Metallisierung	90
4.2	TFTs mit p-leitendem CuO	93
4.2.1	Dünnschichttransistoren mit Kupferoxid-Nanopartikeln	94
4.2.2	Top-Contact-Architektur	113
4.2.3	CuO-TFTs auf Foliensubstrat	115
5	Komplementäre Inverterschaltungen	119
5.1	Funktionsweise und Charakterisierung	120
5.2	Komplementäre Inverter aus separat integrierten TFTs	123
5.3	Monolithische Integration komplementärer Inverter	125
5.4	Hybride Inverter	132
5.4.1	Monolithisch integrierte Inverter mit hybriden Halbleitern	133
5.4.2	Inverter mit hybriden Halbleitern auf Foliensubstrat	136
5.5	Inverter mit zweilagiger Kontaktmetallisierung	140
6	Selbstjustierte TFTs mit sub-μm-Kanallängen	145
6.1	Einfluss der Kanallänge auf das Transistorverhalten	146
6.2	Integration selbstjustierter TFTs	147
6.2.1	Reduzierung der Kanallänge in den Sub- μm -Bereich	150
6.3	Charakterisierung	154
6.4	Sub- μm -TFTs auf Foliensubstraten	159
6.4.1	Reduzierung des Nanopartikeldurchmessers	161
7	Weitere Untersuchungen	165
7.1	Frequenzverhalten unipolarer Inverter mit inofflex T3	165
7.2	Aluminiumoxid als Gate-Dielektrikum	167
7.2.1	Sol-Gel Al_2O_3 -Schicht	168
7.2.2	Anodisches Oxidieren von Aluminium	170
8	Zusammenfassung und Ausblick	177
8.1	Zusammenfassung	177
8.2	Ausblick	179
	Literaturverzeichnis	183
A	Prozesstechnik	221
A.1	Lithografieprozesse	221
A.2	Ätzlösungen	223
A.3	Trockenätzprozess zum Gate-Schrumpfen	224
	Ausgewählte Formelzeichen und Abkürzungen	225

Publikationen	228
Über die Autorin	233

1

Einleitung

Unser Alltag wird durch den rasanten Fortschritt der Technologieentwicklung grundlegend verändert. Die Ausweitung des Internets der Dinge (*Internet of Things*, kurz IoT) führt dazu, dass elektronische Komponenten mittlerweile nahezu alle Aspekte des täglichen Lebens durchdringen. Smartphones, Laptops und diverse digitale Assistenten sorgen heute für eine nie dagewesene Vernetzung von Menschen und Informationen. Der Begriff *Elektronik* wird bislang in erster Linie mit Schaltungen auf Silizium-Basis in Verbindung gebracht. Während solche Geräte starr und sperrig sind, geht der Trend in Richtung leichter, biegsamer und mitunter transparenter Schaltungen. Unter dem Ausdruck *flexible Elektronik* zusammengefasst, wird diese Technologie jedoch nicht als direkte Konkurrenz zur konventionellen Elektronik angesehen, sondern als Möglichkeit, neuartige Anwendungen zu erschließen. Einige potentielle Anwendungsgebiete sind in Abbildung 1.1 zusammengefasst.



Abbildung 1.1: Anwendungsbereiche für die flexible Elektronik, nach [SIR21].

Für einen branchenübergreifenden Einsatz der flexiblen Elektronik ist eine kostengünstige Herstellung von entscheidender Bedeutung. Um hohe Produktionskosten, bedingt durch bisher übliche Vakuumprozesse zu vermeiden, rückt die Verarbeitung aus Lösungen immer mehr in den Fokus. Lösungsmittelbasierte Prozesse vereinen Vorteile wie niedrige Anlagenkosten, eine atmosphärische Prozessierung und die Möglichkeit einer großflächigen Rolle-zu-Rolle-Beschichtung (engl.: *Roll-To-Roll*, kurz R2R). Dies erfordert grundlegende Entwicklungen hinsichtlich der funktionalen Materialien selbst sowie deren Depositionsmethoden, um eine technologische Realisierbarkeit bei gleichzeitig wirtschaftlicher Rentabilität zu erreichen.

Generell kann die flexible Elektronik in zwei verschiedene Technologien unterteilt werden. Zum einen können Dünnschichttransistoren (engl.: *Thin-Film Transistor*, kurz TFT), welche die Grundbausteine von flexiblen elektronischen Schaltungen darstellen, auf organischen Halbleitern (engl.: *Organic Thin-Film Transistor*, kurz OTFT) basieren. Diese OTFTs weisen Vorteile wie geringe Prozesstemperaturen, eine Skalierbarkeit hin zu großflächigen Substraten und eine optische Transparenz im sichtbaren Bereich auf [FBM12], [PMV+16]. Als nachteilig können einerseits die geringen Ladungsträgerbeweglichkeiten und andererseits die begrenzte chemische und thermische Resistenz angesehen werden, welche zu einer Verschlechterung der Leistungsfähigkeit führt [Kla10]. Zum anderen gibt es die Gruppe der anorganischen Halbleiter, zu denen die Metalloxide und Silizium gehören. Letzteres wird im Bereich der Dünnschichttechnologie in amorpher oder polykristalliner Form eingesetzt. Amorphes Silizium (a-Si) dominiert die Aktiv-Matrix-Displaytechnologie (engl.: *Active Matrix Liquid Crystal Display*, kurz AMLCD), weist allerdings maximale Beweglichkeiten von lediglich $1 \text{ cm}^2(\text{Vs})^{-1}$ auf, sodass ein Einsatz in höherfrequenten Anwendungen ausgeschlossen ist [Bro12]. Polykristallines Silizium (Poly-Si) kann durch die Kristallisation von amorphem Silizium mithilfe eines Excimerlasers hergestellt werden. Infolgedessen kommt es zu einer hohen Temperaturbelastung für das Substrat, sodass sich die Integration auf Folien substraten lediglich durch den Einsatz einer thermischen Pufferschicht realisieren lässt [CTC+20]. Poly-Si erreicht zwar deutlich höhere Beweglichkeiten von bis zu $100 \text{ cm}^2(\text{Vs})^{-1}$, jedoch sind die Herstellungskosten höher als bei a-Si und die Skalierbarkeit hin zu einer großflächigen Integration ist aufgrund von Inhomogenitäten unzureichend, weshalb Backplanes basierend auf Poly-Si-TFTs lediglich bei kleinen und mittelgroßen Displays eingesetzt werden [Bro12],[BBC+21]. Im Jahr 2018 wurden 100% der kommerziell hergestellten Aktiv-Matrix-OLED (engl.: *Active Matrix Organic Light Emitting Diode*, kurz AMOLED)-Displays in Smartphones auf der Grundlage von Niedertemperatur-Polysilizium (engl.: *Low-Temperature Poly-Silicon*, kurz LTPS) herge-

Tabelle 1.1: Vergleich von TFT-Eigenschaften basierend auf verschiedenen Halbleitergruppen, [FM11],[FBM12],[PMV+16],[Deu17].

Eigenschaften	Oxide	amorphes Si	Poly-Si	Organik
Leitungstyp	meist n-Typ	ambipolar	ambipolar	meist p-Typ
Optische Transparenz	↑	↓	↓	↑
Beweglichkeit ($\text{cm}^2(\text{Vs})^{-1}$)	1 – 100	1	50 – 100	< 10
Skalierbarkeit	↑	↑	↓	↑
Prozesstemperatur ($^{\circ}\text{C}$)	RT - 200	~ 250	< 500	RT - 200
TFT-Lebensdauer	↑	↓	↑	↓ (an Luft)
Kosten/Fläche	↓	↓	↑	↓

stellt [ZBG+20]. Dünnschichttransistoren auf der Basis von Metalloxiden vereinen die Vorteile einer großflächigen Herstellung transparenter Elektronik sowie von Beweglichkeiten im Bereich zwischen denen von a-Si und Poly-Si. Eine weite Verbreitung erfuhren Metalloxid-TFTs mit dem Halbleiter Indium-Gallium-Zinkoxid (IGZO) seit dem Jahr 2012 infolge der Markteinführung in Flüssigkristall-Displays der Firma Sharp [Sha]. Die Deposition von Oxidschichten kann auf vielfältige Weise erfolgen. Zum einen können vakuumbasierte Technologien eingesetzt werden [PMV+16]. Zum anderen gibt es die Möglichkeit einer lösungsmittelbasierten Integration [JLY22]. Hierbei sind die gängigsten Verfahren im Wesentlichen die Integration von molekularen Präkursoren oder die Verwendung von Nanopartikeln, in der Regel in Form von kolloidalen Dispersionen [FBM12]. Entsprechende Metalloxid-TFTs erzielen Leistungsfähigkeiten, die vergleichbar zu denen von TFTs sind, die durch vakuumbasierte Methoden hergestellt wurden [CK20]. Tabelle 1.1 fasst einige Eigenschaften der unterschiedlichen Halbleitergruppen zusammen.

Bislang ist das Hauptanwendungsgebiet von Metalloxid-TFTs ebenfalls die Display-Technologie. Abhängig von der Bildwiederholrate (engl.: *frame rate*) sind zur Ansteuerung der einzelnen Pixel Transistoren mit Transitfrequenzen von bis zu mehreren zehn Megahertz erforderlich [ZBG+20]. Für eine Datenübertragung mithilfe der RFID (Radio-Frequency Identification)-Technologie wird in der Regel eine Frequenz von 13,56 MHz verwendet. Dieser Frequenzbereich kann zwar bereits durch lösungsmittelbasierte Metalloxid-TFTs erreicht werden [WKT+20]. Allerdings wird die Herstellung von komplexeren, komplementären Schaltungen bislang in erster Linie durch den Mangel an leistungsfähigen anorganischen p-Halbleitern erschwert, der einen flächendeckenden Einsatz über die Display-Anwendungen hinaus verhindert [FM11],[Bar12].

1.1 Zielsetzung

Den zentralen Punkt dieser Arbeit stellen Dünnschichttransistoren basierend auf halbleitenden Metalloxid-Nanopartikeln dar. Sämtliche Materialien und deren Depositionsmethoden, einschließlich der maximalen Temperatur, werden im Hinblick auf die Verwendung von flexiblen Trägersubstraten und einer großflächigen Integration ausgewählt. Die integrierten Transistoren und Schaltungen werden anhand von definierten Parametern bewertet, sodass Rückschlüsse auf Materialeigenschaften und Prozesseinflüsse gezogen werden können. Als Halbleitermaterialien werden in dieser Arbeit die Verbindungshalbleiter Zinkoxid und Kupferoxid eingesetzt. Während es sich bei Zinkoxid um ein bereits vielfach untersuchtes n-Typ-Material handelt, ist der Einsatz von nanopartikulärem Kupferoxid als p-Halbleiter in Dünnschichttransistoren nahezu unbekannt. Letztendlich sollen mit diesen beiden Metalloxiden komplementäre Schaltungen monolithisch integriert werden. Des Weiteren soll der Integrationsprozess weiterentwickelt werden, um Einzeltransistoren mit Kanallängen im Submikrometerbereich hinsichtlich eines gesteigerten Frequenzverhaltens zu realisieren. Dessen Bewertung erfordert eine dynamische Charakterisierung der Bauelemente, die anhand von unipolaren Invertern durchgeführt werden soll. In diesem Kontext soll zudem ein alternatives Dielektrikum evaluiert werden.

1.2 Gliederung

In Kapitel 2 werden zunächst die physikalischen Grundlagen bezüglich eines Dünnschichttransistors erläutert. Zu Beginn werden dazu die verschiedenen Bauteilarchitekturen vorgestellt und die Funktionsweise beschrieben, bevor auf den Ladungstransport und die Eigenschaften von Metall-Halbleiter-Kontakten eingegangen wird. Des Weiteren werden die für die Charakterisierung der Transistoren erforderlichen Parameter eingeführt und deren Extraktion beschrieben.

Im dritten Kapitel werden die in dieser Arbeit eingesetzten Materialien sowie allgemeine Integrationstechniken vorgestellt. In diesem Kontext wird das Rakelverfahren im Detail vorgestellt und der Aufbau der fachgebietsintern entwickelten Rakelanlage beschrieben.

Das vierte Kapitel beschäftigt sich mit der Charakterisierung der integrierten Einzeltransistoren. Dabei befasst sich der erste Teil mit n-Kanal-Transistoren, basierend auf nanopartikulärem Zinkoxid. Im Zuge dessen werden zunächst die Optimierung der Rakelgeschwindigkeit sowie erste Versuche zur Nanopartikel-Deposition mittels Tintendrucks

durchgeführt. Anschließend wird in jeweils einem Abschnitt der Einfluss der Kontakt- beziehungsweise der Gate-Metallisierung auf das Transistorverhalten behandelt. Im zweiten Teil erfolgt die Untersuchung der p-Kanal-Transistoren mit halbleitenden Kupferoxid-Nanopartikeln. Dazu werden zunächst unterschiedliche Kupferoxide und Kontaktmetalle evaluiert, bevor der Herstellungsprozess sowohl auf eine weitere Transistorarchitektur als auch auf Foliensubstrate übertragen wird.

Basierend auf den zuvor gewonnenen Erkenntnissen bezüglich der n- und p-leitenden Einzel-Transistoren wird im fünften Kapitel die Entwicklung einer Routine für die monolithische Integration von komplementären Inverterschaltungen beschrieben. Diese Routine wird anschließend auf flexible Trägersubstrate übertragen. Da es sich hierbei um eine sehr komplexe Prozessfolge handelt, wird eine alternative Integrationsmethode vorgestellt, die sich für Halbleiterpaare mit voneinander abweichenden Schichtdicken eignet.

Im sechsten Kapitel wird zunächst der Einfluss der Kanallänge auf das Transistorverhalten erläutert, bevor die entwickelte Integrationsroutine für die Herstellung von Transistoren mit Kanallängen im Submikrometerbereich erörtert und die entsprechenden Ergebnisse der Transistoren bewertet werden. Abschließend erfolgt auch hier eine Adaption des Prozesses an flexible Substrate und die Charakterisierung der resultierenden Transistoren.

Im ersten Abschnitt des siebten Kapitels wird das bisher verwendete Gate-Dielektrikum inoflex T3 dynamisch charakterisiert. Anhand dessen wird ersichtlich, dass eine adäquate Alternative mit deutlich gesteigertem Frequenzverhalten gefunden werden muss, das einen Einsatz über statische Anwendungen hinaus ermöglicht. Infolge dessen werden zwei verschiedene Ansätze zur Integration von Aluminiumoxid untersucht.

Das letzte Kapitel fasst die grundlegenden Ergebnisse dieser Arbeit zusammen und nennt kurz einige Anknüpfungspunkte und Optimierungsmöglichkeiten für weiterführende Arbeiten.

2

Physikalische Grundlagen des Dünnschichttransistors

Die Geschichte des Feldeffekttransistors erstreckt sich mittlerweile über fast hundert Jahre. Bereits in den 1920er Jahren entwickelte LILIENFELD ein Konzept für das erste elektronische Bauteil basierend auf dem Feldeffekt [Sch99]. Allerdings wird ihm das für die Erklärung benötigte Verständnis für Halbleiter abgesprochen [KA19]. Im Jahr 1935 wies HEIL in seinem Patent zwar ein tieferes Wissen über Halbleiter auf, allerdings handelte es sich auch in diesem Fall wahrscheinlich lediglich um ein Konzept eines Feldeffektbauelements, das keinen Hinweis auf eine tatsächliche Realisierung bietet. In den nächsten Jahren lag der Schwerpunkt der Forschung dann auf Bipolartransistoren, entwickelt von BARDEEN und BRATTAIN, basierend auf SCHOCKLEY'S Untersuchungen an Germanium. Erst in den 1960er Jahren rückten mit der Arbeit von WEIMER Dünnschichttransistoren (engl.: *Thin-Film Transistor*, kurz TFT) in den Fokus, mit der Aussicht auf eine großflächig integrierbare Alternative zu Silizium-basierten Schaltungen [Wei62],[KA19]. Die parallele Entwicklung des Metall-Oxid-Halbleiter-Feldeffekttransistors (engl.: *Metal-Oxide-Semiconductor Fieldeffect-Transistor*, kurz MOSFET), insbesondere durch KAHNG und ATALLA, die den ersten MOSFET demonstrierten [Sch99], und die damit einhergehende Möglichkeit zur Herstellung von Chips mit steigender Leistungsfähigkeit bei immer geringer werdendem Platzbedarf, bremste die TFT-Technologie ein weiteres Mal aus, bis LECHNER ab 1971 TFTs erfolgreich in der Displaytechnologie einsetzte [LMN+71],[KA19]. Seitdem wurden unzählige Untersuchungen hinsichtlich Bauteilarchitekturen, Materialien und Herstellungsmethoden durchgeführt [SMF+06],[Kla10],[FBM12],[KA19]. Im Gegensatz zu MOSFETs oder auch Bipolartransistoren sind Dünnschichttransistoren im Kontext logischer Schaltungen bislang jedoch eher unbekannt.

In diesem Kapitel werden grundlegende Eigenschaften von Dünnschichttransistoren vorgestellt. Dazu werden in Kapitel 2.1 zunächst gängige TFT-Architekturen beschrieben, bevor in Kapitel 2.2 die Funktionsweise des auf dem Feldeffekt basierenden TFTs erläutert

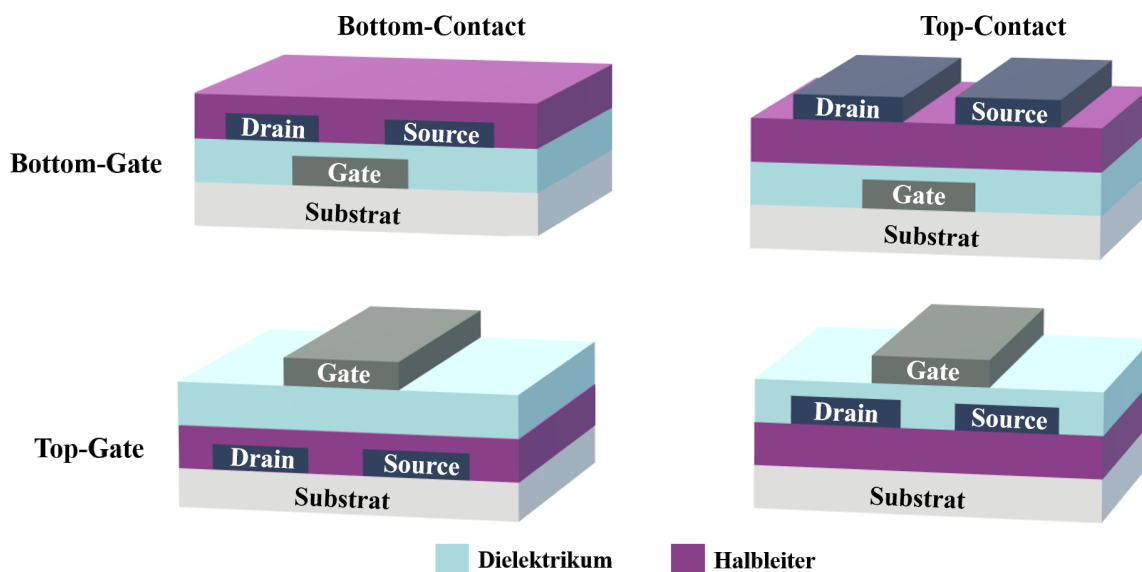


Abbildung 2.1: Schematische Querschnitte der gängigsten Dünnschichttransistor-Architekturen.

wird und anschließend die Transistorgleichungen für die unterschiedlichen Betriebsbereiche hergeleitet werden. Der Ladungstransport durch einen nanopartikulären Halbleiter wird in Kapitel 2.3 beschrieben. Weiterhin erfolgt in Kapitel 2.4 eine detaillierte Betrachtung des Kontaktes zwischen metallischen Elektroden und einem Halbleiter. Abschließend wird in Kapitel 2.5 die Extraktion der in dieser Arbeit angegebenen Parameter vorgestellt.

2.1 Transistorarchitekturen

Dünnschichttransistoren bestehen im Wesentlichen aus drei Komponenten, den Metall-Elektroden (Gate, Drain und Source), dem Gate-Dielektrikum sowie dem Halbleiter. Allgemein wird dabei der Halbleiter durch das Gate-Dielektrikum von der Gate-Elektrode elektrisch isoliert. Die Kontaktierung des Halbleiters erfolgt durch die Drain- und Source-Elektroden, deren Weite W und Abstand L zueinander die geometrischen Abmessungen des TFTs definieren. Die Reihenfolge in der Abscheidung der einzelnen Schichten kann dabei je nach Anforderungen an die Bauteil-Performance oder die verwendeten Materialien variieren. Hinsichtlich der Position der Gate-Elektrode wird zwischen Bottom-Gate und Top-Gate-Architekturen unterschieden (siehe Abbildung 2.1). Bei einem Bottom-Gate-Aufbau erfolgt die Deposition des Gate-Dielektrikums auf der Gate-Elektrode, bevor der Halbleiter und die Kontaktelektroden aufgebracht werden. Folglich können Materialien und Prozesstemperaturen für die Integration der Gate-Elektrode und des Dielektrikums unabhängig vom Halbleiter gewählt werden. Im Falle der Top-Gate-Architektur

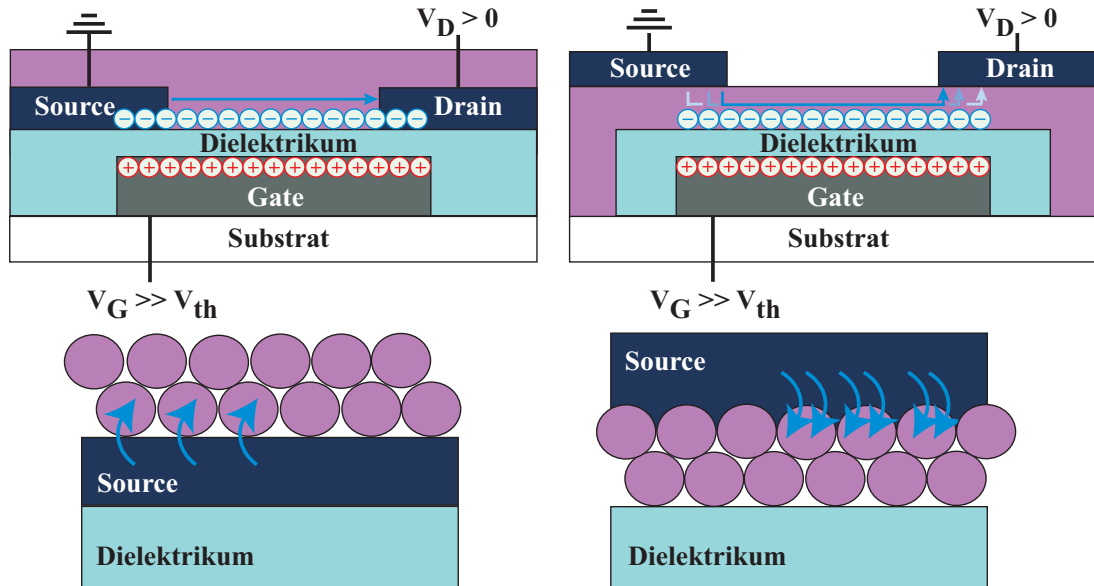


Abbildung 2.2: Darstellung des Ladungstransports (oben) zwischen den Drain-/Source-Elektroden in Bottom-Contact (links) und Top-Contact (rechts) Architekturen, nach [Bor20]. Injektionsverhalten an der Grenzfläche zwischen Kontaktelektrode und nanopartikulärem Halbleiter (unten), nach [Wol11]. V_G und V_D entspricht der Spannung zwischen Gate und Source bzw. zwischen Drain und Source; V_{Th} stellt die Schwellenspannung dar.

wird das Gate-Dielektrikum auf das Halbleitermaterial aufgebracht, gefolgt von der Gate-Elektrode. Das heißt, der weitere Integrationsprozess muss kompatibel zu den Anforderungen des Halbleiters sein. Vorteilhaft ist, dass das nachträglich aufgebraachte Dielektrikum als Passivierung des Halbleiters gegenüber der Umgebung dienen kann [PMV+16]. Des Weiteren bestimmt die Lage der Drain-/Source-Elektroden in Bezug auf die Halbleiter-Dielektrikum-Grenzfläche, ob es sich um eine Bottom-Contact oder Top-Contact Bauweise handelt. In der Bottom-Contact Bauweise erfolgt die Integration der Drain- und Source-Elektroden vor der Halbleiterdeposition, dementsprechend werden bei Top-Contact TFTs die Kontaktelektroden auf dem Halbleiter abgeschieden.

Für diese Arbeit werden in erster Linie die Bottom-Gate Architekturen verwendet (Abbildung 2.1 oben). Dabei hat der Bottom-Contact Aufbau, auch *inverted coplanar* genannt, den Vorteil, dass die Kontakte in einer Ebene mit dem Kanalgebiet liegen, sodass die Ladungsträger direkt in den Kanal, der sich an der Halbleiter-Dielektrikum-Grenzfläche ausbildet, injiziert werden können (siehe Abbildung 2.2 links). Bei der Top-Contact Architektur, auch als *inverted staggered* bezeichnet, sind die Elektroden durch die Dicke des Halbleiters von der Grenzfläche zum Dielektrikum getrennt. Für diese Bauweise ist wiederum vorteilhaft, dass die Ladungsträgerinjektion in den Überlappbereichen der Kontaktelektroden mit der Gate-Elektrode erfolgt anstatt nur über die Elektrodenkanten wie bei

der Bottom-Contact Architektur. Aus dieser vergrößerten Kontaktfläche zwischen Halbleiter und Drain-/Source-Elektroden resultiert ein verringerter Kontaktwiderstand und damit eine erhöhte Leistungsfähigkeit [HYC+08],[VMH16], auch wenn sich die Ladungsträger zunächst vertikal durch die gesamte Dicke der Halbleiterschicht bewegen müssen, um den Kanal an der Grenzfläche zum Dielektrikum zu erreichen (siehe Abbildung 2.2 rechts). Insbesondere bei nanopartikulären Halbleitern ist der Kontakt zu den Drain-/Source-Elektroden kritisch, da die zumeist sphärische Form der Partikel die Kontaktfläche in Bottom-Contact-TFTs zusätzlich reduziert, während beim Top-Contact Aufbau die Räume zwischen einzelnen Partikeln durch das Elektrodenmaterial aufgefüllt werden (siehe Abbildung 2.2 rechts) [Wol11],[Vid17].

Wie bereits verdeutlicht, wird das Halbleitermaterial bei Bottom-Gate, Bottom-Contact TFTs auf den bereits integrierten Drain-/Source-Elektroden abgeschieden. Dies hat einerseits den Vorteil, dass der Halbleiter nicht durch anschließende Prozessschritte chemisch oder mechanisch beansprucht wird, weshalb sich diese Bauweise insbesondere für die Untersuchung neuer Halbleiter-Materialien eignet. Andererseits kann die Schichtabscheidung auf einer strukturierten Oberfläche zu einer ungleichmäßigen Halbleiterschicht, insbesondere an den Strukturkanten, führen, woraus gegebenenfalls Leistungseinbußen resultieren können [GKG09].

Die bei der Top-Contact Architektur erforderliche Deposition der Kontakt-Elektroden auf dem Halbleiter kann zum einen durch die Verwendung einer Schattenmaske erfolgen, was den Vorteil hat, dass der Halbleiter keiner chemischen Belastung ausgesetzt wird. Die minimal erreichbare Kanallänge beträgt bei dieser Methode etwa 5–20 μm [SSJ+04][NSG+00]. Zum anderen kann die Strukturierung der Kontaktelektroden durch einen Lithografieprozess realisiert werden, der eine ausreichend hohe Auflösung bietet und Strukturgrößen bis in den Submikrometer-Bereich ermöglicht [SKY+08],[MPZ+13]. In diesem Fall ist auf eine Kompatibilität zwischen den verwendeten Materialien beziehungsweise Chemikalien zu achten, um unerwünschte Reaktionen mit dem Halbleitermaterial zu vermeiden. Transistoren verschiedener Bauweisen, integriert mit den gleichen Materialien, können folglich aufgrund von variierenden Morphologien der verschiedenen Grenzflächen ein sehr unterschiedliches Verhalten zeigen [ZS07].

2.2 Funktionsweise

Dünnschichttransistoren gehören, ebenso wie die klassischen MOSFETs, zur Familie der Metall-Isolator-Halbleiter Feldeffekttransistoren (engl.: *Metal-Insulator-Semiconductor Field-*

Effect-Transistor, kurz MISFET). Folglich beruht die Funktionsweise des TFTs auf dem Feldeffekt, das heißt allgemein, dass sich Ladungsträger infolge eines elektrischen Feldes im Halbleiter an der Grenzfläche zum Isolator ansammeln und zu einer lokalen Änderung der Ladungsträgerkonzentration und damit der Leitfähigkeit führen. Das elektrische Feld entsteht durch eine an der Gate-Elektrode angelegte Spannung V_G , deren Vorzeichen festlegt, ob Elektronen ($V_G > 0\text{ V}$) oder Löcher ($V_G < 0\text{ V}$) akkumulieren. Im Gegensatz zu MOSFETs, in denen der leitfähige Kanal an der Halbleiter-Dielektrikum-Grenzfläche durch Minoritätsladungsträger aufgrund von Inversion gebildet wird, werden in TFTs Majoritätsladungsträger akkumuliert. Für einen n-Typ Transistor wird dementsprechend ein Material mit Elektronenleitung und für einen p-Typ TFT ein löcherleitender Halbleiter benötigt. Legt man nun eine Spannung V_D zwischen Source (Quelle)- und Drain (Senke)-Elektrode an, erfolgt aufgrund dieses lateralen elektrischen Feldes ein Ladungstransport durch den Kanal, dessen Höhe durch die Gate-Spannung gesteuert werden kann.

Im Folgenden soll ein Ausdruck für den Zusammenhang zwischen dem Stromfluss I_D zwischen Drain- und Source-Elektrode und der Gate-Spannung V_G hergeleitet werden. Dazu wird die sogenannte schrittweise Kanalapproximation (engl.: *Gradual Channel Approximation*) verwendet, bei der angenommen wird, dass das laterale elektrische Feld deutlich kleiner ist als das Vertikale. Dies ist dann der Fall, wenn die Kanallänge L , also der Abstand zwischen Drain- und Source-Elektrode (siehe Abbildung 2.3), viel größer als die Schichtdicke des Dielektrikums t_{Diel} ($L \gg t_{Diel}$) ist [Kla08]. Dadurch kann angenommen werden, dass der Ladungsträgertransport an der Halbleiter-Dielektrikum-Grenzfläche stattfindet, sodass eine eindimensionale Näherung des Potentialverlaufs im Kanalbereich angewendet werden kann [Wei12].

Zunächst wird die Struktur aus Gate-Elektrode, Dielektrikum und Halbleiter als idealer Plattenkondensator mit der Kapazität pro Einheitsfläche C_{Diel} betrachtet, an dessen Grenzsicht sich infolge einer angelegten Gate-Spannung V_G die Ladung pro Einheitsfläche Q_{Int} ansammelt.

$$Q_{Int} = qn = C_{Diel}V_G \quad (2.1)$$

Dabei ist q die Elementarladung und n entspricht der Ladungsträgerkonzentration. Nun wird der Halbleiter durch die Drain- und Source-Elektroden kontaktiert. Ohne eine Spannung V_D kann die Ladungsträgerkonzentration n entlang der Grenzfläche entsprechend Gleichung 2.1 als homogen angenommen werden. Wird nun eine im Vergleich zur Gate-Spannung kleine Drain-Source-Spannung ($V_D < V_G$) angelegt, kommt es gemäß Gleichung

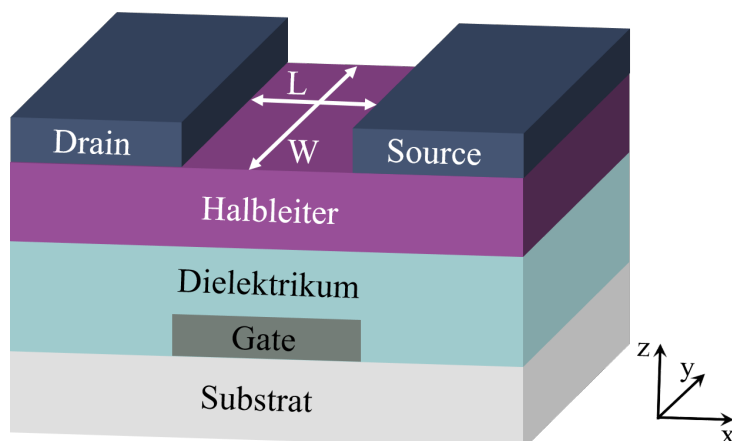


Abbildung 2.3: Querschnitt eines Dünnschichttransistors mit Bottom-Gate, Bottom-Contact Architektur mit Koordinatensystem, sowie der für die Herleitung der Transistorgleichungen benötigten geometrischen Größen.

chung 2.2 entlang des Kanals (x-Achse) zu einer Potentialdifferenz $V(x)$ zwischen Source- ($x = 0 \rightarrow V(0) = 0V$) und Drain-Kontakt ($x = L \rightarrow V(L) = V_D$), sodass sich Formel 2.1 zu folgendem Ausdruck erweitert:

$$Q_{Int}(x) = qn(x) = C_{Diel}(V_G - V(x)). \quad (2.2)$$

Für das Ohmsche Gesetz gilt mit der elektrischen Leitfähigkeit σ , der Elementarladung q und der konstanten Ladungsträgerbeweglichkeit μ allgemein:

$$\sigma = qn\mu. \quad (2.3)$$

Geht man von der elektrischen Leitfähigkeit zum Widerstand über, folgt aus Gleichung 2.3 für den differentiellen Widerstand entlang der x-Achse [Bub10]:

$$dR = \frac{dx}{Wqn(x)\mu} = \frac{dx}{WQ_{Int}(x)\mu}. \quad (2.4)$$

Ersetzt man nun die ortsabhängige Ladung $Q_{Int}(x)$ durch den potentialabhängigen Ausdruck aus Gleichung 2.2, erhält man mit folgender Formel

$$dR = \frac{dx}{W\mu C_{Diel}(V_G - V(x))} \quad (2.5)$$

über die differentielle Form des Ohmschen Gesetzes ($I_D = dV/dR$) nach Formel 2.6 den Zusammenhang zwischen Drain-Strom I_D und der Spannung dV , die über dem Wider-

stand dR abfällt:

$$I_D = W\mu C_{Diel}(V_G - V(x))\frac{dV}{dx}. \quad (2.6)$$

Die Integration über die komplette Kanallänge L mit den oben genannten Randwerten führt zu [Fak14]

$$\int_0^L I_D dx = W\mu C_{Diel} \int_0^{V_D} (V_G - V(x))dV. \quad (2.7)$$

Dadurch erhält man schließlich den folgenden Ausdruck für den Drain-Strom:

$$I_D = \frac{W\mu C_{Diel}}{L} \left(V_G - \frac{V_D}{2}\right)V_D. \quad (2.8)$$

Unter der Annahme, dass die Gate-Spannung deutlich größer als die Drain-Spannung ist ($V_G \gg V_D$), vereinfacht sich Formel 2.8 für den sogenannten linearen Bereich mit der entsprechenden Ladungsträgerbeweglichkeit μ_{lin} zu:

$$I_D = \frac{W\mu_{lin}C_{Diel}}{L} V_G V_D. \quad (2.9)$$

Das heißt, die Ladungsverteilung entlang der Halbleiter-Dielektrikum-Grenzfläche ist nahezu homogen, sodass sich der Drain-Strom bei konstanter Gate-Spannung proportional zur Drain-Spannung verhält (siehe Abbildung 2.4 (b)).

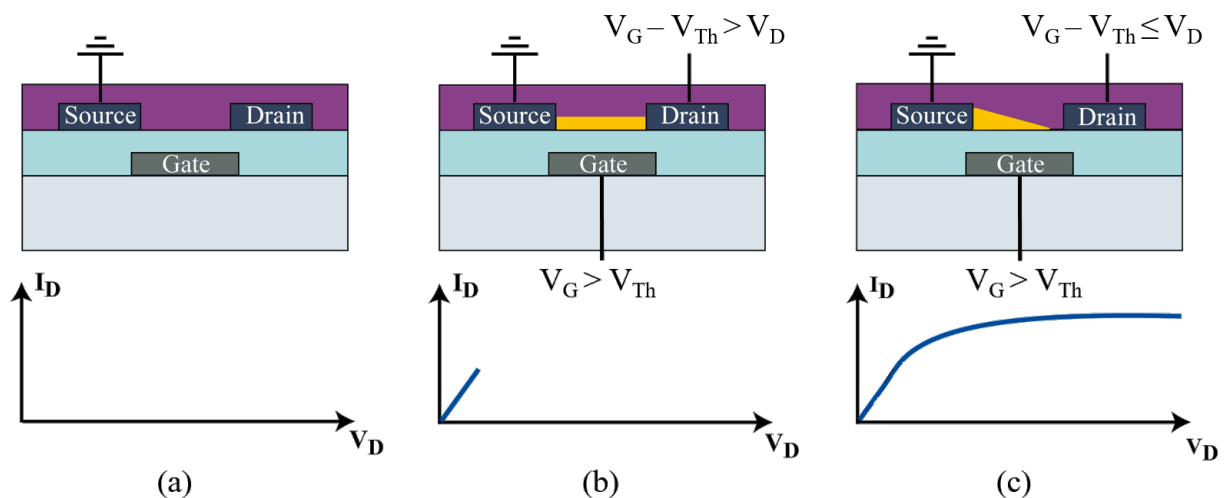


Abbildung 2.4: Darstellung der Betriebsbereiche von Feldeffekt-Transistoren mit den zugehörigen Strom-Spannungsverläufen im (a) Sperrbereich, (b) linearen Bereich und (c) Sättigungsbereich. Der Ladungsträgerkanal ist dabei in gelb dargestellt.

Erhöht sich nun V_D , verringert sich die Ladungsträgerkonzentration im Bereich der Drain-Elektrode bis zu dem Punkt, an dem $V_D = V_G$ ist und der Kanal komplett abgeschnürt wird (engl.: *pinch-off*). Mit steigendem V_D entfernt sich der Abschnürpunkt weiter von der Drain-Elektrode (siehe Abbildung 2.4 (c)) [Hua14]. Der Transistor geht in den Sättigungsbereich über, in dem I_D unabhängig von der Drain-Spannung ist und über die Formel

$$I_D = \frac{W \mu_{sat} C_{Diel}}{2L} V_G^2 \quad (2.10)$$

beschrieben werden kann. Dabei entspricht μ_{sat} der Beweglichkeit im Sättigungsbereich.

Bislang wurde für die Beschreibung ein idealer Transistor angenommen. Allerdings wird in realen Bauteilen die angelegte Gate-Spannung durch Fallenzustände, die zunächst gefüllt werden müssen, sowie durch feste Ladungen im Dielektrikum modifiziert [LCL+08],[SM08]. Die daraus resultierende Verschiebung des Drain-Stromes kann in den zuvor beschriebenen Formeln dadurch berücksichtigt werden, indem die Gate-Spannung um den experimentell ermittelten Wert der sogenannten Schwellenspannung V_{Th} (siehe Kapitel 2.5.1) korrigiert wird. Dadurch ergibt sich für den linearen Bereich die Formel:

$$I_D = \frac{W \mu_{lin} C_{Diel}}{L} (V_G - V_{Th}) V_D, \quad \text{für } V_G - V_{Th} > V_D. \quad (2.11)$$

Für den Sättigungsbereich erhält man entsprechend den Ausdruck:

$$I_D = \frac{W \mu_{sat} C_{Diel}}{L} (V_G - V_{Th})^2, \quad \text{für } V_G - V_{Th} \leq V_D. \quad (2.12)$$

2.3 Ladungstransport

In einem kristallinen Halbleiter findet der Ladungstransport im Leitungsband (Elektronenleitung) beziehungsweise im Valenzband (Löcherleitung) statt. Der Ladungstransport in nanostrukturierten Halbleitern zeigt wesentliche Unterschiede zu dem in kristallinen Materialien. Diese Unterschiede resultieren aus der energetischen und morphologischen Unordnung einer nanopartikulären Schicht (siehe Abbildung 2.5), deren Folge für die elektronische Struktur des Materials das Auftreten von lokalisierten Zuständen innerhalb der Bandlücke ist. Daraus folgen im Vergleich zu kristallinen Festkörpern deutlich geringere Beweglichkeiten.

Eine Unterbrechung der kristallinen Struktur führt zu Defekten im Gitter beziehungsweise zu Haftstellen für Elektronen und Löcher, entweder an den Korngrenzen inner-

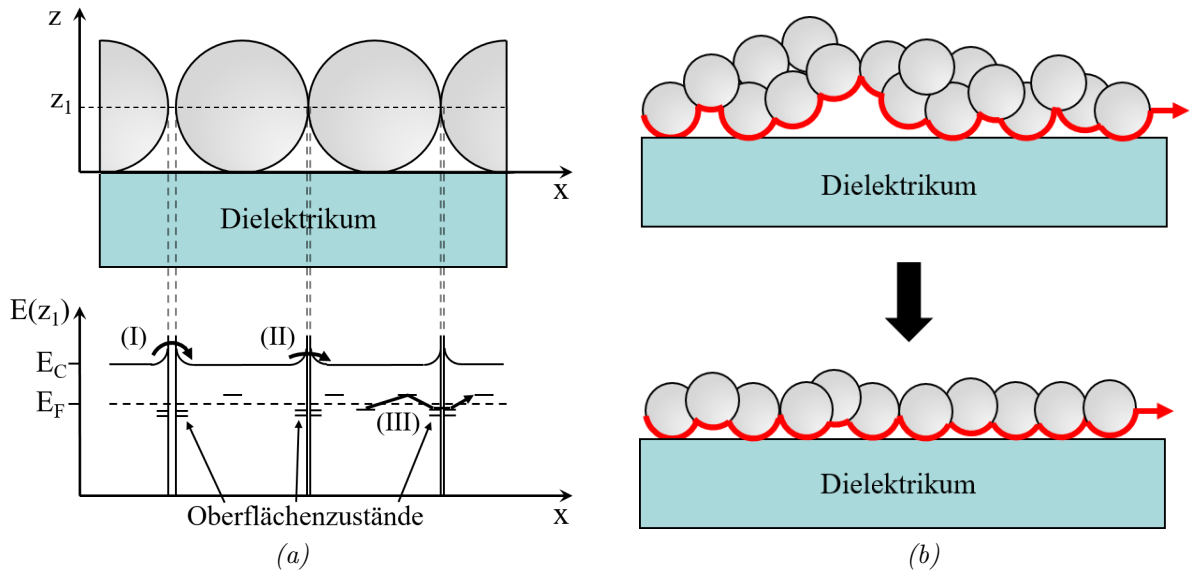


Abbildung 2.5: (a) Schematische Darstellung einer (n-Typ) Nanopartikel-Dielektrikum-Grenzfläche und der Leitungsbandkante im Abstand z_1 . Die interpartikulären Transportmechanismen sind dabei (I) die thermische Emission, (II) das Tunneln und (III) das Hopping zwischen benachbarten Zuständen innerhalb der Bandlücke, nach [PJF16]. (b) Einfluss der Grenzflächenrauheit auf die Kanalausbildung bzw. auf den Ladungstransport (rot eingezeichnet), nach [Bub10].

halb der Nanopartikel oder an den Grenzflächen zwischen einzelnen Partikeln [Ant12]. Durch das Einfangen von Ladungen wird zum einen die Anzahl freier Ladungsträger reduziert und zum anderen werden die Haftstellen elektrisch geladen [Set75]. Lokalisierte Ladungen an der Partikeloberfläche führen dabei zu einer Verarmungszone, die wiederum in einer Aufwölbung des Leitungsbandes resultiert (siehe Abbildung 2.5(a)). Die Höhe dieser Energiebarrieren hängt von der Ladungsträgerkonzentration und der Fallenzustandsdichte ab; sie muss von den Ladungsträgern über- bzw. durchquert werden [PJF16]. Die entstandenen Energiebarrieren führen dazu, dass der Stromfluss über Perkolationspfade stattfindet, in denen der elektrische Widerstand vergleichsweise gering ist [NKO+04],[LGN+11],[VMW+16a].

Der Ladungstransport durch eine nanopartikuläre Schicht kann, abhängig von Temperatur und angelegter Spannung, durch die thermische Emission (bzw. den FRENKEL-POOLE-Effekt [Wol11],[LRM+15],[PJF16]), das Tunneln [BSW+97], das Hopping zwischen benachbarten Zuständen [PJF16],[SNK+19] und den raumladungsbegrenzten Strom [Wol11] beschrieben werden. Abbildung 2.5(a) illustriert die Transportmechanismen durch eine Nanopartikelschicht. Dabei nimmt die Tunnelwahrscheinlichkeit mit abnehmendem Par-

tikelabstand zu und erreicht bei einem direkten Kontakt ein Maximum. Aufgrund dessen wird ersichtlich, dass sich der Kanal durch eine Schicht aus sphärischen Partikeln nicht direkt an der Grenzfläche zum Dielektrikum ausbildet, sondern sich weiter im Inneren der Partikel befindet [PJF16].

Neben dem nanopartikulären Halbleiter selbst hat auch die Morphologie der Grenzfläche zum Dielektrikum einen Einfluss auf den Ladungstransport. Eine hohe Grenzflächenrauheit, wie in Abbildung 2.5 (b) (oben) dargestellt, führt zu einer hohen elektrischen Feldstärke an grenzflächennahen Partikeln, die dadurch als Ladungsträgerfallen agieren. Mit zunehmendem Abstand von der Oberfläche des Dielektrikums nimmt die Feldstärke ab. Durch diese hohen Feldunterschiede kommt es zu geringeren Ladungsträgerbeweglichkeiten [Bub10]. Aus einer gleichmäßigen Anlagerung der Partikel auf dem Dielektrikum bzw. einer abnehmenden Grenzflächenrauheit (siehe Abbildung 2.5 (b), unten) folgt, dass sich der Kanal näher an der Halbleiter-Dielektrikum-Grenzfläche und innerhalb einer homogenen Feldverteilung ausbilden kann. Dadurch verringert sich auch der Tunnelabstand zwischen den Partikeln und Korngrenzen. Bei angelegter Gate-Spannung folgt aus einem grenzflächennahem Kanal zudem eine erhöhte Ladungsträgerkonzentration im Kanalgebiet, die wiederum zu einer Verringerung der Barrierenhöhe und folglich zu einem Anstieg der Mobilität führt [PJF16]. Eine Reduzierung der Oberflächenrauheit kann beispielsweise durch einen Sinterprozess erzielt werden. Allerdings sind die damit verbundenen Temperaturen in der Regel nicht verträglich mit flexiblen Substraten.

2.4 Eigenschaften des Metall-Halbleiter-Kontaktes

Die Eigenschaften des Kontaktes zwischen dem Halbleiter und den metallischen Drain- und Source-Elektroden haben signifikante Auswirkungen auf die Leistungsfähigkeit eines Transistors. Im Folgenden werden zunächst die physikalischen Vorgänge, die bei einem Metall-Halbleiter-Kontakt auftreten, anhand von Banddiagrammen erläutert. Dabei wird der Einfluss der Austrittsarbeiten sowie des SCHOTTKY-Effektes auf die sich ausbildende Energiebarriere betrachtet, die von den Ladungsträgern überwunden werden muss.

2.4.1 Der Metall-Halbleiter-Kontakt

Bringt man ein Metall mit einem Halbleiter in Kontakt, kommt es an deren Grenzfläche im Allgemeinen zu einer Umverteilung von Ladungen, um in ein thermodynamisches Gleichgewicht zu gelangen und die Fermi-Niveaus E_F anzugleichen. Die dadurch entstehende Potentialbarriere $q\phi_B$ beeinflusst das Injektionsverhalten der Ladungsträger von

den Metall-Elektroden in den Halbleiter. Die Höhe dieser Barriere wird durch die Austrittsarbeiten des Metalls und des Halbleiters, die Dichte an Oberflächenzuständen des Halbleiters an der Kontaktstelle, sowie durch die extern angelegte Spannung bestimmt [RM91]. Dadurch lässt sich beeinflussen, ob es sich bei dem Kontakt um einen gleichrichtenden SCHOTTKY¹-Kontakt oder einen Ohmschen Kontakt handelt. Für die Kontaktierung von Dünnschichttransistoren wird ein niederohmiges Verhalten für den Kontakt zwischen den Drain- und Source-Elektroden und dem Halbleiter gefordert, das heißt, die Barrierenhöhe sollte idealerweise 0 eV (geringer Widerstand) und die Strom-Spannungscharakteristik linear und polungsunabhängig sein [RM91]. Die physikalischen Vorgänge, die zur Bildung der Potentialbarriere führen, sollen zunächst anhand eines idealen n-Halbleiters (also ohne Oberflächenzustände) beschrieben werden. Der Halbleiter wird durch die Valenzbandkante E_V , das Fermi-Niveau E_F , die Leitungsbandkante E_C , sowie die Elektronenaffinität $q\chi$ definiert. Das Metall wird energetisch durch die Fermi-Energie $E_{F,M}$ und die Austrittsarbeit $q\phi_M$ beschrieben. Zudem soll die Bedingung gelten, dass die Austrittsarbeit des Metalls größer als die des Halbleiters ist. Die Austrittsarbeit eines Halbleiters wird durch $q(\chi + \phi_n)$ bestimmt, wobei $q\chi$ die erforderliche Energie ist, um ein Elektron aus dem Leitungsband zu lösen und $q\phi_n$ der Energiedifferenz zwischen Leitungsbandkante E_C und Fermi-Energie E_F entspricht [SN07].

In Abbildung 2.6 (a) sind die Banddiagramme eines Metalls und eines n-Halbleiters ohne Kontakt in getrennten Systemen dargestellt. Mit abnehmendem Abstand d zwischen Metall und Halbleiter gelangen Elektronen aus dem Leitungsband des Halbleiters, die sich auf einem höheren energetischen Potential befinden, in das Metall. Aufgrund der bereits vorhandenen großen Menge an Elektronen im Metall ändert sich dort nahezu nichts und die negative Ladung liegt als Oberflächenladung vor. Entsprechend muss im Halbleiter eine gleich große positive Ladung in Folge der verbliebenen Donatorionen existieren, die aufgrund der im Vergleich zum Metall geringen Ladungsträgerdichte als Raumladung vorliegt. Die Folge dieser Ladungsverschiebung ist, dass sich die Fermi-Niveaus angleichen und es zu einer Bandverbiegung im Halbleiter kommt (siehe Abbildung 2.6 (b)), die eine Barriere für Ladungsträger darstellt [Thu11]. Bei einem direkten, idealen Kontakt (siehe Abbildung 2.6 (c)) beträgt die Barrierenhöhe auf der Metallseite für einen n-Halbleiter beziehungsweise analog für einen p-Halbleiter (siehe Abbildung 2.6 (d-f)) ge-

¹Benannt nach dem deutschen Physiker Walter Schottky (1886-1976), der das Prinzip des gleichrichtenden Metall-Halbleiter-Kontakt im Jahre 1938 beschrieb [Thu11].

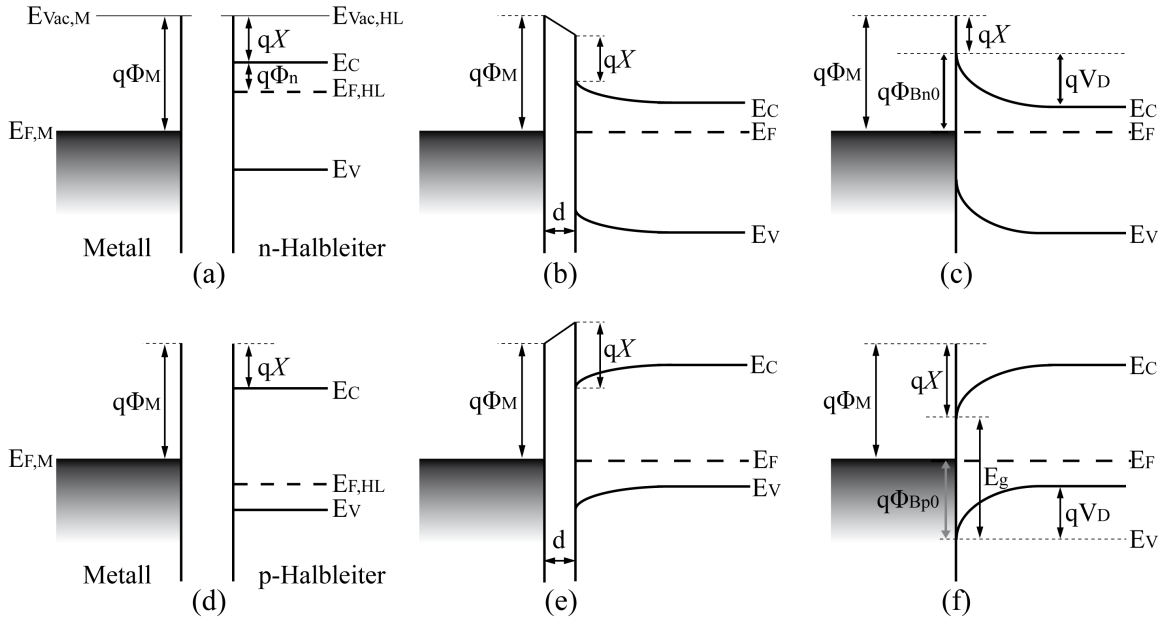


Abbildung 2.6: Banddiagramme (oben) eines Metall-n-Halbleiter-Kontaktes und (unten) eines Metall-p-Halbleiter-Kontaktes (a) & (d) in getrennten Systemen, (b) & (e) mit geringem Abstand und (c) & (f) in direktem Kontakt. V_D bezeichnet dabei das Kontakt- oder Diffusionspotential (für n-Halbleiter: $V_D = \phi_M - (\chi + \phi_n)$), nach [SN07],[RM91].

mäß dem MOTT-SCHOTTKY-Modell

$$q\phi_{Bn0} = q(\phi_M - \chi) \quad (2.13a)$$

$$q\phi_{Bp0} = E_g - q(\phi_M - \chi) \quad (2.13b)$$

mit der Bandlücke E_g zwischen Valenz- und Leitungsband. Die Barrierenhöhe eines idealen Kontaktes entspricht folglich der Differenz zwischen der Austrittsarbeit des Metalls und der Elektronenaffinität des Halbleiters [SN07].

Für reale Bauteile wird die Annahme eines idealen Metall-Halbleiter-Kontaktes in der Regel nicht erfüllt, da adsorbierte Fremdatome sowie nicht abgesättigte Bindungen durch den Abbruch der Gitterstruktur an der Grenzfläche zu Oberflächenzuständen führen, in denen Ladungen gefangen werden können. Diese Oberflächenzustände führen zu Energieniveaus innerhalb der Bandlücke, die bis zum Fermi-Niveau gefüllt sind [Wol11]. Die aus den Oberflächenzuständen resultierende negative Flächenladung des Halbleiters führt ebenfalls zu einer positiv geladenen Raumladung. Folglich entsteht bereits ohne einen Kontakt zum Metall eine Potentialbarriere. Bei einem direkten Kontakt kommt es wiederum zu dem oben beschriebenen Übergang von Elektronen in das Metall, allerdings kommen

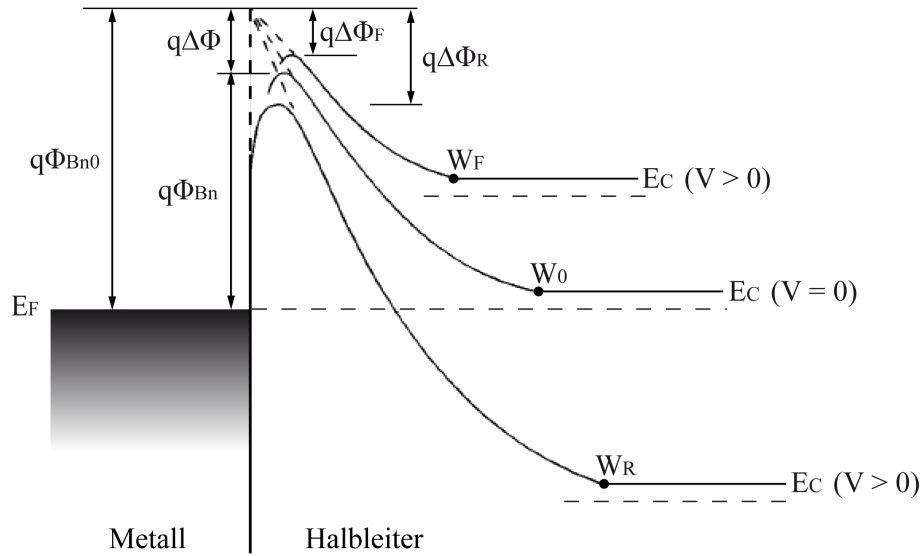


Abbildung 2.7: Veranschaulichung des SCHOTTKY-Effektes anhand des Banddiagrammes eines Metall-Halbleiter-Kontaktes mit n-Typ Halbleiter unter verschiedenen Vorspannungen. $q\phi_{Bn0}$ und $q\phi_{Bn}$ sind die intrinsische Barrierehöhe bzw. die Barrierehöhe im thermischen Gleichgewicht ($\phi_{Bn} = \phi_{Bn0} - \Delta\phi$), nach [SN07].

diese Ladungen in diesem Fall, unter der Annahme einer ausreichend großen Zustandsdichte, aus den Oberflächenzuständen des Halbleiters [RM91]. Die Höhe der Potentialbarriere hängt dementsprechend nicht mehr von der Austrittsarbeit des Metalls ab, sondern von den Eigenschaften des Halbleiters an der Kontaktstelle. Man spricht in diesem Fall vom sogenannten *Fermi-Level Pinning* [Sch06],[WKP08]. Dies gilt insbesondere für Halbleiter mit kovalenten Bindungen, welche die meisten III-V-Halbleiter aufweisen. Halbleiter mit ionischen Bindungen (II-VI-Halbleiter) hingegen weisen in der Regel kein Pinning des Fermi-Niveaus auf, sodass die Barrierehöhe gemäß Formel 2.13 eingestellt werden kann [BL11]. In dieser Arbeit wurden in erster Linie die Halbleiter Zinkoxid (ZnO) und Kupferoxid (CuO) eingesetzt. ZnO befindet sich an der Grenze zwischen einem Halbleiter mit kovalenten und ionischen Bindungen [MM03],[BL11], und auch CuO weist sowohl ionische als auch kovalente Bindungen auf [CXW89],[Mer07],[Gra10]. Der Einfluss des Kontaktmetalls auf die Strom-Spannungscharakteristiken der auf nanopartikulärem ZnO und CuO basierenden Dünnfilmtransistoren wird in Kapitel 4.1.3 bzw. 4.2.1 analysiert.

Die Höhe der Energiebarriere kann durch ein externes, an den Metall-Halbleiter-Kontakt angelegtes, elektrisches Feld beeinflusst werden². Dieser Effekt wird auch als SCHOTTKY-

²Es sei anzumerken, dass aufgrund des Kontaktpotentials im Inneren eines Metall-Halbleiter-Kontaktes auch ohne ein extern angelegtes Potential bereits ein elektrisches Feld existiert [SN07].

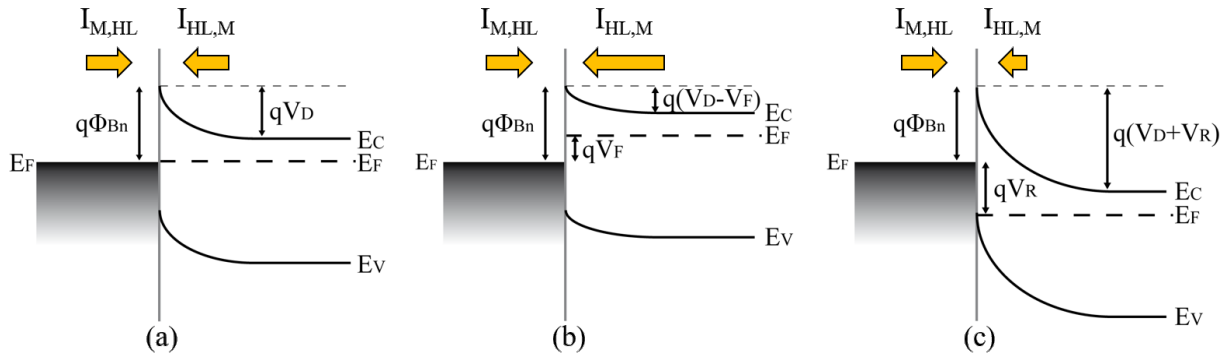


Abbildung 2.8: Banddiagramme einer SCHOTTKY-Diode mit n-Typ Halbleiter (a) ohne Vorspannung, (b) in Flussspannung und (c) in Sperrrichtung. Die Pfeile verdeutlichen die Stromflüsse über den Metall-Halbleiter-Übergang. $I_{M,HL}$ entspricht dem Ladungstransport vom Metall in den Halbleiter, $I_{HL,M}$ dem vom Halbleiter in das Metall, nach [Li93],[Rid75].

Effekt bezeichnet. Die Barrierenabsenkung $\Delta\phi$ kann durch den Ausdruck

$$\Delta\phi = \sqrt{\frac{qE}{4\pi\epsilon_{HL}}}, \quad (2.14)$$

mit der elektrischen Feldstärke E an der Grenzfläche und der Permittivität des Halbleiters ϵ_{HL} , beschrieben werden [SN07]. Dabei entscheidet das Vorzeichen der angelegten Spannung, ob sich die Barriere $q\phi_{Bn}$ um $q\Delta\phi$ erhöht oder verringert. Das Prinzip des SCHOTTKY-Effektes wird in Abbildung 2.7 verdeutlicht. Durch das externe elektrische Feld wird neben der Höhe auch die Weite der Potentialbarriere variiert.

Unter dem Einfluss einer Vorspannung sind die Fermi-Niveaus von Metall und Halbleiter um dieses Potential zueinander verschoben (siehe Abbildung 2.8). Im thermischen Gleichgewicht beträgt die Barrierenhöhe für Elektronen im Halbleiter qV_D und auf der Metallseite $q\phi_{Bn}$. Zudem ist der Netto-Stromfluss (gekennzeichnet durch die gelben Pfeile) zwischen Metall und Halbleiter null (Abbildung 2.8(a)). Eine Spannung in Durchlassrichtung V_F (engl.: *forward-bias*) bewirkt eine Verringerung der Potentialbarriere für Ladungen im Halbleiter um den Wert der angelegten Spannung (Abbildung 2.8(b)). Für Ladungen im Metall bleibt die Potentialbarriere unverändert. Der Stromfluss wird durch den Ladungstransport vom Halbleiter in das Metall dominiert, während der Strom in umgekehrter Richtung nahezu unverändert bleibt. Eine Spannung in Sperrrichtung V_R (engl.: *reverse-bias*) hat dementsprechend den gegenteiligen Effekt (siehe Abbildung 2.8(c)), das heißt, die Energiebarriere erhöht sich für die Elektronen im Halbleiter um qV_R , wodurch der Stromfluss vom Halbleiter in das Metall vernachlässigbar gering wird, verglichen mit dem Stromfluss vom Metall in den Halbleiter (Sperrstrom) [Li93]. Mit steigender Sperrspan-

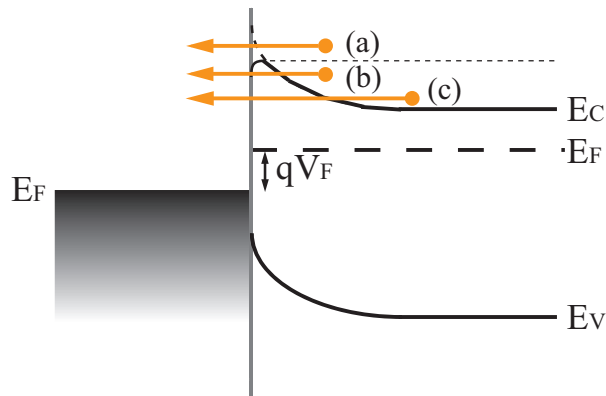


Abbildung 2.9: Mechanismen des Ladungsträgertransports durch einen in Vorwärtsrichtung vorgespannten Metall-n-Halbleiter-Kontakt: (a) Thermische Emission, (b) Feldemission und (c) thermisch unterstützte Feldemission.

nung verringert sich die Weite der SCHOTTKY-Barriere, woraus ein vergrößerter Sperrstrom resultiert [Goß18].

Der Ladungstransport über bzw. durch die Barriere erfolgt anhand von Majoritätsladungsträgern. Die grundlegenden Transfermechanismen durch einen in Flussrichtung vorgespannten Metall-n-Halbleiter-Übergang, dargestellt in Abbildung 2.9, sind:

- (a) Thermische Emission nach BETHE [Bet42], bei der die Elektronen aufgrund ihrer thermischen Energie die Potentialbarriere überwinden können (dominant bei geringen Dotierungen).
- (b) Feldemission, bei der die Elektronen die Energiebarriere quantenmechanisch durchtunneln (dominant bei hohen Dotierungen).
- (c) Thermisch unterstützte Feldemission nach CROWELL & SZE [CS66], die eine Kombination aus den beiden zuvor genannten Mechanismen darstellt (dominant bei mittleren Dotierungen).

Mit zunehmender Dotierung verringert sich die Weite der Energiebarriere, sodass die Tunnelwahrscheinlichkeit zunimmt und der Metall-Halbleiter-Kontakt von einem gleichrichtenden (thermische Emission) zu einem Ohmschen Verhalten ((thermisch unterstützte) Feldemission) übergeht [Rid75]. Neben den genannten Mechanismen können Ströme, resultierend aus Rekombination in der Raumladungszone, sowie Leckströme einen Anteil am Gesamtstrom haben.

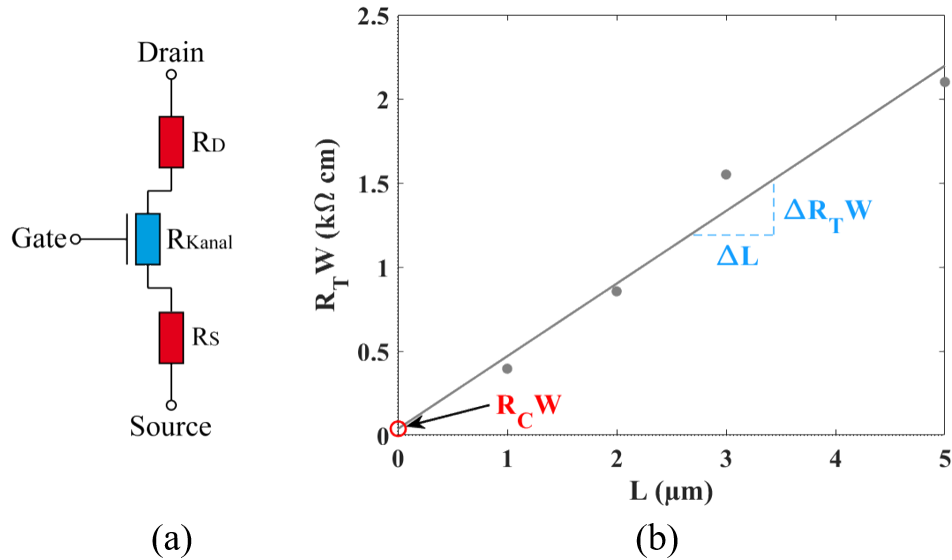


Abbildung 2.10: (a) Ersatzschaltbild eines Dünnschichttransistors unter Berücksichtigung der parasitären Kontaktwiderstände R_D und R_S sowie dem Kanalwiderstand R_{Kanal} . (b) Gesamtwiderstand $R_T W$ normiert auf die Transistor-Weite W in Abhängigkeit von der Kanallänge L . Durch lineare Approximation können der Kontaktwiderstand R_C und der Kanalwiderstand R_{Kanal} bestimmt werden.

2.4.2 Kontaktwiderstand

Neben der in Kapitel 2.4.1 beschriebenen Energiebarriere zwischen Metall-Elektroden und Halbleiter und den damit einhergehenden parasitären Widerständen hängt der Kontaktwiderstand, wie bereits erwähnt, auch von den Grenzflächenzuständen zwischen Halbleiter und Kontakten [PKK+08], dem elektrischen Feld resultierend aus der Gate-Spannung [WLL+15], sowie von der TFT-Architektur (siehe Kapitel 2.1) [FZK+17],[BPL+19] ab. Kontaktwiderstände haben zur Folge, dass sich die extern angelegte Spannung zwischen Drain und Source um den Spannungsabfall an diesen Kontakten verringert. Dadurch reduziert sich die effektive Spannung im Kanal und folglich auch der Drain-Strom. Der Kontaktwiderstand eines Feldeffekt-Transistors kann anhand der Transferlängen-Methode (engl.: *Transmission Line Method*, kurz TLM) bestimmt werden [KMK+10],[AKZ+12],[XSK+20]. Dazu wird angenommen, dass sich der Gesamtwiderstand R_T gemäß Abbildung 2.10 (a) aus einer Reihenschaltung der Widerstände an Drain (R_D) und Source (R_S), sowie des Kanalwiderstands (R_{Kanal}) entsprechend dem Ausdruck

$$R_T = R_D + R_{Kanal} + R_S \quad (2.15)$$

zusammensetzt. Der Kanalwiderstand beschreibt die intrinsische Leitfähigkeit des Kanals und wird durch den Halbleiter selbst sowie durch die Grenzflächenzustandsdichte und

die Morphologie der Halbleiter-Dielektrikum-Grenzfläche beeinflusst [Str19]. Aus dem Ersatzschaltbild geht ebenso hervor, dass der Widerstand des Kanals gemäß des Feldeffektes durch eine Spannung am Gate verändert werden kann. Die Summe der parasitären Widerstände ist definiert als Kontaktwiderstand³ $R_C = R_D + R_S$. In der Regel wird der Kontaktwiderstand auf die Transistorweite W normiert angegeben, um Vergleiche zwischen Transistoren mit unterschiedlichen Geometrien zu vereinfachen. Sowohl der Kontaktwiderstand als auch der Kanalwiderstand sind umgekehrt proportional zur Weite W , sodass eine Normierung zu folgendem Ausdruck führt:

$$R_T W = R_C W + R_{Kanal} W \quad (2.16)$$

Im Gegensatz zum Kontaktwiderstand ist der Kanalwiderstand proportional zur Kanallänge L [AKZ+12], sodass $R_{Kanal} W = R_{HL} L$ gilt. Als R_{HL} wird der Schichtwiderstand des Halbleiters im Kanalgebiet bezeichnet. Für den Gesamtwiderstand ergibt sich dementsprechend der Ausdruck:

$$R_T W = R_C W + R_{HL} L \quad (2.17)$$

Anhand von Gleichung 2.17 wird ersichtlich, dass der Anteil des Kontaktwiderstands am Gesamtwiderstand für kleine Kanallängen dominant wird. Die Bestimmung von $R_C W$ erfolgt graphisch, indem der Drain-Strom I_D für TFTs mit variablen Kanallängen L bei festen Drain- und Gate-Spannungen im linearen Bereich gemessen wird:

$$R_T W = \frac{V_D}{I_D} W \quad (2.18)$$

Der normalisierte Gesamtwiderstand wird dann über der Kanallänge aufgetragen ($R_T W = f(L)$) und durch lineare Approximation einer Geraden angenähert, wie in Abbildung 2.10 (b) dargestellt. Der Schnittpunkt dieser Geraden mit der Ordinatenachse entspricht dem Kontaktwiderstand.

$$R_C W = R_T W(L = 0) \quad (2.19)$$

Die Steigung der Ausgleichsgeraden entspricht dabei dem Schichtwiderstand R_{HL} .

³Eine Unterscheidung zwischen R_D und R_S ist bei der TLM nicht möglich. Es kann nicht angenommen werden, dass die Widerstände jeweils exakt der Hälfte des ermittelte Wertes für R_C entsprechen; üblicherweise ist der Spannungsabfall am Source-Kontakt etwas größer [NGJ03].

2.5 Parameterextraktion

Im Folgenden soll die Extraktion charakteristischer Parameter beschrieben werden, die für die Beurteilung der statischen TFT-Performance von Bedeutung sind. Dazu gehören die Schwellenspannung V_{Th} , die Einschaltspannung V_{ON} , die Feldeffekt-Ladungsträgerbeweglichkeit μ_{FE} , die Strommodulation I_{ON}/I_{OFF} , sowie der Subschwelligenspannungsstromanstieg S . Für die Bestimmung dieser Parameter wird die Eingangs- bzw. Transferkennlinie $I_D(V_G)$ aufgenommen. Dazu wird der Drain-Strom I_D in Abhängigkeit von der Gate-Spannung V_G bei einer konstanten Drain-Spannung V_D gemessen. In Abbildung 2.11 (a) ist eine beispielhafte Transferkennlinie eines n-Kanal TFTs mit direkt daraus zu entnehmenden Parametern dargestellt. Zusätzlich wird das Ausgangskennlinienfeld $I_D(V_D)$ aufgenommen (siehe Abbildung 2.11 (b)); hier wird I_D über der Drain-Spannung V_D bei konstanten Gate-Spannungen V_G aufgetragen. Durch das Ausgangskennlinienfeld wird gezeigt, ob das Bauteil über den Feldeffekt steuerbar ist. Zudem können aus dem Verlauf im linearen Bereich des Ausgangskennlinienfeldes erste Aussagen über den Kontaktwiderstand zwischen den Kontakt-Elektroden und dem Halbleiter getroffen werden. Der Gate-Leckstrom I_G kann anhand beider Diagramme bewertet werden. Die Messungen werden mithilfe eines HP-4156A – Precision Semiconductor Parameter Analyzer in Kombination mit einer Karl Süss Microprobe Station durchgeführt. Die Transistoren werden durch Mikromanipulatoren (Süss MicroTec PH100) mit Wolfram-Messnadeln (Modell: 72T-J3/70x1.2“, bezogen von American Probe & Technologies, Inc.) kontaktiert. Die Messungen werden unter Umgebungsbedingungen bei einer relativen Luftfeuchtigkeit im Bereich von 25–60% durchgeführt. Während des Messvorgangs wird die Umgebung abgedunkelt.

2.5.1 Schwellenspannung

Im Vergleich zu idealen Bauelementen können in realen Transistoren Fallenzustände sowohl im Halbleitermaterial als auch an der Halbleiter-Dielektrikum-Grenzfläche existieren, die Ladungsträger einfangen. Zum einen verringert sich dadurch die Anzahl der akkumulierten Ladungsträger im Kanalbereich, die zum Stromfluss zwischen Drain- und Source-Elektrode beitragen können. Zum anderen schirmen im Isolator und an der Grenzfläche gebundene Ladungen das vertikale elektrische Feld ab, sodass eine Differenz zwischen der tatsächlich angelegten und der effektiven Gate-Spannung entsteht [LCL+08],[SM08]. Diese Differenz wird als Schwellenspannung V_{Th} (engl.: *threshold voltage*) bezeichnet und entspricht dem Wert der Gate-Spannung, ab dem sich ein leitfähiger Kanal im Halbleiter zwischen Drain- und Source-Elektrode an der Grenze zum Dielektrikum ausbildet.

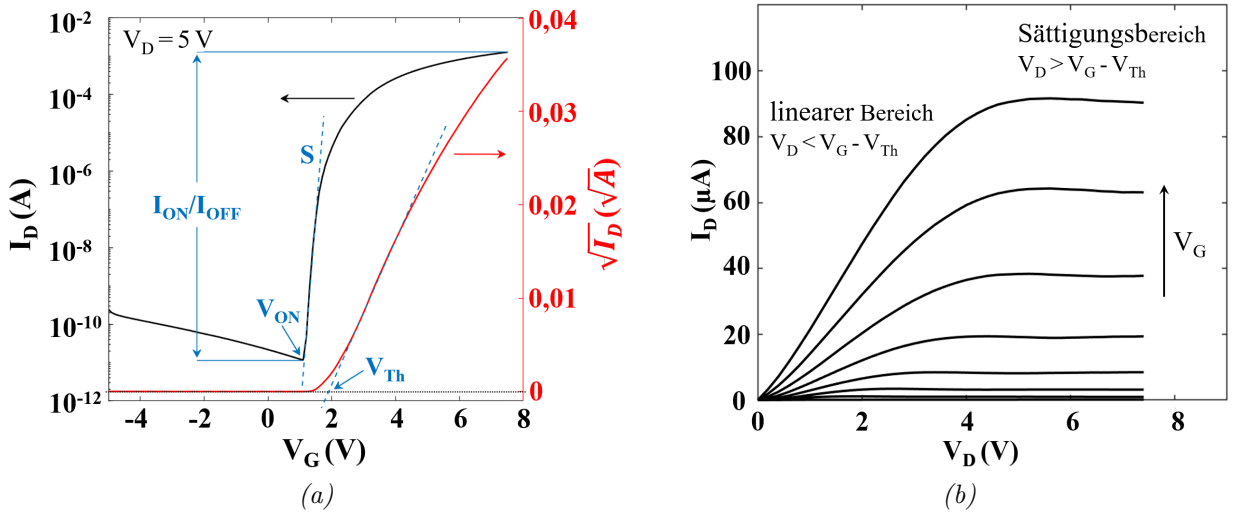


Abbildung 2.11: (a) Transferkennlinie eines n-Typ TFTs. Dargestellt ist die Extraktion der statischen Parameter I_{ON}/I_{OFF} , S , V_{ON} und V_{Th} . (b) Ausgangskennlinienfeld mit Kennzeichnung der Betriebsbereiche.

Des Weiteren wird die Schwellenspannung durch die Austrittsarbeit des Gate-Metalls beeinflusst [DCL+18]. Betrachtet man den Dünnschichttransistor wiederum als MIS-Kondensator, führt die resultierende Differenz zwischen den Austrittsarbeiten der Gate-Elektrode und des Halbleiters zu einer Verschiebung der Flachbandspannung V_{FB} gemäß [SYT+15]

$$V_{FB} = \Phi_{M,HL} - \frac{Q_{Int}}{C_{Diel}}, \quad (2.20)$$

wobei $\Phi_{M,HL}$ der Differenz der Austrittsarbeiten, Q_{Int} den Ladungen im Isolator und an der Grenzfläche zwischen Halbleiter und Dielektrikum und C_{Diel} der Kapazität des Isolators pro Einheitsfläche entsprechen. Als Flachbandspannung wird der Wert der Gate-Spannung bezeichnet, bei dem keine Bandverbiegung an der Halbleiter-Isolator-Grenzfläche auftritt.

Insgesamt kann der theoretische Wert für V_{Th} durch folgende Gleichung bestimmt werden [Hua14]:

$$V_{Th} = V_{FB} + \frac{qN_{T,Int}}{C_{Diel}}, \quad (2.21)$$

mit der Elementarladung q und der Fallenzustandsdichte an der Halbleiter-Dielektrikum-Grenzfläche $N_{T,Int}$.

Die praktische Bestimmung der Schwellenspannung ist nicht einheitlich definiert und kann folglich abhängig von der Messmethode für das selbe Bauteil variieren. Hier soll V_{Th}

durch lineare Extrapolation aus der Transferkennlinie $I_D(V_G)$ berechnet werden. Wird der Transistor im linearen Bereich (bei geringer Drain-Spannung V_D) betrieben, wird die Transferkennlinie am Punkt der maximalen Steigung (auch als Transkonduktanz g_m bezeichnet) linear extrapoliert. Die Schwellenspannung ergibt sich anhand des Schnittpunktes mit der V_G -Achse. Befindet sich der Transistor im Sättigungsbereich (bei hoher Drain-Spannung V_D), wird die Wurzel des Drain-Stromes über der Gate-Spannung aufgetragen ($\sqrt{I_D}(V_G)$). Die Schwellenspannung entspricht dann gemäß Abbildung 2.11 dem Spannungswert, bei dem die durch lineare Extrapolation der Kennlinie entstandene Gerade die V_G -Achse schneidet. In dieser Arbeit wird die letztgenannte Methode zur Bestimmung von V_{Th} angewendet. Beide Methoden haben allerdings den Nachteil, dass sie durch die parasitären Widerstände an den Kontaktelektroden und die Degradation der Beweglichkeit beeinflusst werden [OGL+02]. Zudem kann es aufgrund der Parameterwahl bei der linearen Extrapolation zu Abweichungen kommen [FBM12].

2.5.2 Einschaltspannung

Ein weiterer Parameter ist die Einschaltspannung V_{ON} (engl.: *turn-on voltage*), die direkt aus der halblogarithmisch dargestellten Transferkennlinie ($\log(I_D)(V_G)$) extrahiert werden kann. Die Einschaltspannung entspricht dem Wert der Gate-Spannung, bei dem der Drain-Strom I_D zu steigen beginnt. Die Genauigkeit wird durch den Abstand zwischen den einzelnen Messpunkten limitiert. Die Berechnung kann nach HUANG anhand von Formel 2.22 erfolgen [Hua14]:

$$V_{ON} = V_{FB} - \frac{qn_{HL}t_{HL}}{C_{Diel}} + \frac{qN_{T,Int}}{C_{Diel}}, \quad (2.22)$$

mit der Elementarladung q , der Ladungsträgerkonzentration im Halbleiter n_{HL} , der Dicke der Halbleiterschicht t_{HL} und der Fallenzustandsdichte an der Halbleiter-Dielektrikum-Grenzfläche $N_{T,Int}$. Eine hohe Ladungsträgerdichte sowie eine hohe Schichtdicke des Halbleiters führen folglich zu einer Verschiebung der Einschaltspannung in Richtung negativer Gate-Spannungen [Xin20],[MAO+15]. Eine zunehmende Dichte an Fallenzuständen verlagert V_{ON} entsprechend zu betragsmäßig höheren Gate-Spannungen.

2.5.3 Ladungsträgerbeweglichkeit

Die Ladungsträgerbeweglichkeit beeinflusst direkt die Höhe des Drain-Stromes, der für das Laden und Entladen der Bauteil-Kapazitäten verantwortlich ist, sowie damit einher-

gehend das Frequenzverhalten des Transistors. Es gibt unterschiedliche Arten von Ladungsträgerbeweglichkeiten in Feldeffekt-Transistoren. Die effektive Beweglichkeit μ_{Eff} wird aus der Ausgangsleitfähigkeit bestimmt und hat den Vorteil, dass der Einfluss der Gate-Spannung berücksichtigt wird. Allerdings ist für die Berechnung die Kenntnis sowohl der Schwellenspannung als auch der Dichte der beweglichen Ladungsträger im Kanal erforderlich.

Auf die Bestimmung dieser beiden Parameter kann bei der Extraktion der Feldeffekt-Ladungsträgerbeweglichkeit μ_{FE} verzichtet werden. Die Feldeffekt-Mobilität kann zum einen für den linearen Bereich ($\mu_{FE,lin}$) und zum anderen für den Sättigungsbereich ($\mu_{FE,Sat}$) aus der Transferkennlinie berechnet werden [Ins08]. Für Letztere wird dazu die Steigung der $\sqrt{I_D}(V_G)$ -Kennlinie benötigt. Von Vorteil ist hierbei, dass der Drain-Strom im Sättigungsbereich unabhängig von der Drain-Spannung ist, sodass sich der Einfluss des Kontaktwiderstands geringer auf die Sättigungsladungsträgerbeweglichkeit auswirkt als bei der effektiven Mobilität und der Feldeffekt-Beweglichkeit im linearen Bereich. Nachteilig ist, dass L nicht der tatsächlichen Kanallänge entspricht, da die effektive Länge aufgrund der Kanalabschnürung im Sättigungsbereich (*pinch-off*) kleiner ist [Xin20]. Zudem wird die Abhängigkeit der Beweglichkeit von der Gate-Spannung nicht berücksichtigt [Sch06].

Die Beweglichkeit im linearen Bereich, die in dieser Arbeit verwendet und im Folgenden als Feldeffekt-Ladungsträgerbeweglichkeit μ_{FE} bezeichnet wird, wird mithilfe der Transkonduktanz g_m berechnet, die der Steigung der Transferkennlinie entspricht und folglich durch

$$g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D=constant} \quad (2.23)$$

bestimmt wird. Mit Gleichung 2.11 erhält man für die Transkonduktanz

$$g_m = \frac{\mu W C_{Diel}}{L} \cdot V_D. \quad (2.24)$$

Für die Feldeffekt-Ladungsträgerbeweglichkeit erhält man dementsprechend den Ausdruck

$$\mu_{FE} = \frac{L g_m}{W C_{Diel} V_D}, \quad (2.25)$$

mit der Gate-Kapazität pro Einheitsfläche

$$C_{Diel} = \frac{\varepsilon_0 \varepsilon_r}{t_{Diel}}, \quad (2.26)$$

wobei ε_0 der elektrischen Feldkonstante, ε_r der relativen Dielektrizitätskonstante und t_{Diel} der Schichtdicke des Gate-Dielektrikums entspricht. Auch bei dieser Methode ergeben sich wieder Nachteile durch die Vernachlässigung des Einflusses der Gate-Spannung und die Empfindlichkeit gegenüber den Kontaktwiderständen [VWH17],[Sch06].

2.5.4 Strommodulation

Die Strommodulation gibt das Verhältnis des Drain-Stromes im eingeschalteten (I_{ON}) zu dem im ausgeschalteten Zustand (I_{OFF}) an und kann direkt, ebenfalls in Abbildung 2.11 visualisiert, aus der halb-logarithmischen Darstellung der Transferkennlinie entnommen werden. Der Strom I_{ON} wird dabei durch die Ladungsträgerbeweglichkeit, den Kontaktwiderstand und die Gate-Kapazität begrenzt. Der minimal messbare Strom im ausgeschalteten Zustand entspricht dem Rauschen des Messsystems. Leckströme, sowohl durch das Gate-Dielektrikum als auch zwischen Drain- und Source-Elektroden infolge des longitudinalen elektrischen Feldes, insbesondere bei kleinen Kanallängen, haben einen negativen Einfluss auf I_{OFF} und erhöhen diesen gegebenenfalls über das Rauschniveau hinaus. Die Strommodulation hängt folglich auch von der angelegten Drain-Spannung V_D und den geometrischen Abmessungen des TFTs ab, die jeweils der zugehörigen Kennlinie entnommen werden können.

2.5.5 Subschwelligenspannungsstromanstieg

Der Subschwelligenspannungsstromanstieg S beschreibt das Transistorverhalten unterhalb der Schwellenspannung zwischen Einschalt- und Schwellenspannung. Die Extraktion kann anhand der Transferkennlinie erfolgen, wie in Abbildung 2.11 dargestellt ist. Anhand dieses Parameters kann eine Aussage über das Schaltverhalten des TFTs getroffen werden, das heißt, um welchen Wert die Gate-Spannung verändert werden muss, um den Drain-Strom um eine Dekade zu erhöhen. Anhand Gleichung 2.27 wird deutlich, dass sich die Defektdichte an der Halbleiter-Dielektrikum-Grenzfläche auf S auswirkt [Mey21],[YXD+11].

$$S = \frac{\partial V_G}{\partial(\log I_D)} = \left(\frac{qN_{T,Int}}{C_{Diel}} + 1 \right) \frac{k_B T}{q} \ln(10), \quad (2.27)$$

dabei bezeichnet q die Elementarladung, k_B die Boltzmann-Konstante, T die Temperatur, C_{Diel} die Kapazität der Einheitsfläche und $N_{T,Int}$ die Fallenzustandsdichte an der Grenzfläche zwischen Halbleiter und Dielektrikum. Für den Subschwelligensstromanstieg sind kleine Werte wünschenswert, die zu einer höheren Schaltgeschwindigkeit sowie zu einem redu-

zierten Energieverbrauch führen [FBM12]. Das theoretische Minimum des Subschwelligkeitsstromanstieg beträgt bei Raumtemperatur 60 mV/Dek [BJE20].

Materialien und Integrationstechniken

Dieses Kapitel stellt die Materialien vor, die in dieser Arbeit verwendet werden. In Abschnitt 3.1 werden zunächst Metalloxide im Allgemeinen und anschließend n-leitendes Zinkoxid bzw. p-leitende Kupferoxide im Speziellen beschrieben, die in dieser Arbeit als Halbleitermaterialien eingesetzt werden. Im Zuge dessen werden für Zinkoxid, das bereits in vorangegangenen Arbeiten verwendet wurde [Wol11],[Vid17], lediglich die wichtigsten Eigenschaften genannt. Da p-Typ-TFTs basierend auf anorganischen Halbleitern bislang noch eher die Ausnahme sind, sollen die Materialeigenschaften der Kupferoxide – insbesondere die des hier verwendeten Kupfer(II)-Oxids – genauer betrachtet werden. Kapitel 3.2 befasst sich mit dem als Gate-Dielektrikum verwendeten Nanokomposit inoflex T3, bevor in Abschnitt 3.3 die hinsichtlich ihrer Prozessierbarkeit sowie ihrer Austrittsarbeit in Frage kommenden Metalle sowohl für die Gate- als auch für die Kontaktelektroden vorgestellt werden. Abschließend wird in Kapitel 3.4 der Prozessablauf zur Integration von Bottom-Gate, Bottom-Contact TFTs mit einem nanopartikulären Halbleitermaterial erläutert. Im Zuge der Vorstellung diverser Möglichkeiten zur Halbleiterdeposition in Abschnitt 3.5 wird das Rakelverfahren detaillierter beschrieben sowie der Aufbau einer fachgebietsintern entwickelten Rakelanlage vorgestellt.

3.1 Metalloxid-Halbleiter

Die in dieser Arbeit verwendeten Halbleiter entstammen der Materialklasse der Metalloxide. Diese sind aufgrund ihrer oftmals großen Bandlücke interessant für transparente Anwendungen. Außerdem bieten Metalloxide den Vorteil, dass sie sich bei geringen Prozesstemperaturen integrieren lassen, wodurch sich die thermische Belastung für das Substrat reduziert und ein Einsatz in der flexiblen Elektronik möglich wird [KKF+11],[SS19]. Die Schichten zeichnen sich dadurch aus, dass sie lösungsmittelbasiert, in Form von Präkursoren oder Nanopartikeln, und damit umweltverträglich und kostengünstig hergestellt werden können [FBM12]. Verglichen mit amorphem Silizium (a-Si), das ebenfalls in der TFT-Technologie weit verbreitet ist, können Metalloxide hohe Beweglichkeiten von bis zu

$100 \text{ cm}^2(\text{Vs})^{-1}$ erreichen [FM11],[PMV+16]. An die integrierten Bauteile wird die Anforderung einer gewissen Langzeitstabilität gestellt. Allerdings ist insbesondere bei nanopartikulären Halbleitern die Empfindlichkeit gegenüber der Umgebungsatmosphäre aufgrund des großen Oberfläche-Volumen-Verhältnisses groß, sodass eine Kapselung erforderlich sein kann. Es ist jedoch auch möglich, diesen Umstand für Sensoranwendungen zu nutzen [SLM+12],[ARM+20].

In dieser Arbeit werden ausschließlich Metalloxide in nanopartikulärer Form in wässrigen Dispersionen verwendet, wodurch eine Skalierung hin zu einer großflächigen Herstellung beispielsweise durch ein Rolle-zu-Rolle-Verfahren (engl. *roll-to-roll*, kurz R2R) oder durch Tintendruck möglich wird. Die Herausforderung bei einer lösungsmittelbasierten Integration ist die Herstellung von Bauteilen mit hoher Leistungsfähigkeit bei gleichzeitig geringen Prozesstemperaturen. Insbesondere die Reduzierung der Betriebsspannung auf unter 10 V, sodass die Schaltungen kompatibel mit kostengünstigen gedruckten Batterien sind, ist dabei als schwierig anzusehen [PNS+17].

Eine weitere Problematik besteht darin, dass der Großteil an p-Kanal TFTs mit guter elektrischer Performance bislang auf organischen Halbleitern basiert. Das Gegenteil ist bei n-leitenden Bauteilen der Fall, die in der Regel durch metalloxidische Materialien realisiert werden. Während anorganische n-Kanal TFTs bereits mit sehr guten Eigenschaften hergestellt werden können, sind löcherleitende Metalloxide im Vergleich bisher wenig untersucht, und die vorgestellten p-Typ-TFTs zeigten keine vergleichbare Leistungsfähigkeit [FM11],[WNC+16],[SHZ+19].

Bei n-leitenden Metalloxiden bewirken Sauerstoffleerstellen, dass Bindungselektronen freigegeben werden, die sich im Leitungsband bewegen können. Das Leitungsbandminimum wird dabei durch unbesetzte metallische s-Orbitale gebildet. Das Überlappen benachbarter Orbitale ermöglicht eine geringe effektive Masse der Elektronen beziehungsweise eine hohe Ladungsträgermobilität ($\leq 100 \text{ cm}^2(\text{Vs})^{-1}$) [Bar12],[FBM12],[CL17]. Im Rahmen der oxidbasierten TFTs sind neben ZnO unter anderem Indium-Gallium-Zinkoxid (IGZO), Zink-Zinnoxid (ZTO) und Indium-Zinkoxid (IZO) als weit verbreitete n-Typ Materialien zu nennen [FBM12],[MN21].

Die Anzahl an Metalloxiden mit p-leitenden Eigenschaften ist verglichen mit n-Typ Oxiden deutlich geringer. Zu erwähnen sind hier Nickeloxid (NiO), Kupferoxide (CuO und Cu_2O) sowie Zinnmonoxid (SnO) [FBM12],[WNC+16],[KJ22]. In p-leitenden Oxiden ist die Entstehung von positiven Ladungsträgern zum einen durch die hohe Bildungsenergie von Löcher erzeugenden nativen Akzeptoren und zum anderen durch die niedrige Bildungsenergie von Löcher entfernenden nativen Donatoren begrenzt [WNC+16]. Der La-

Transport erfolgt im Valenzbandmaximum, das in erster Linie aus asymmetrischen Sauerstoff- p -Orbitalen besteht. Die dadurch resultierende große effektive Masse der Löcher führt, verglichen mit n -Typ Metalloxiden, zu einer geringeren Ladungsträgerbeweglichkeit ($< 10 \text{ cm}^2(\text{Vs})^{-1}$), welche die Leistungsfähigkeit von TFTs basierend auf p -leitenden Oxiden begrenzt [Bar12],[WNC+16],[SHZ+19]. Des Weiteren besteht bei p -Typ-Oxiden das Problem einer mangelnden Transparenz im sichtbaren Wellenlängenbereich, wodurch der Einsatz in transparenten Anwendungen erschwert wird. Laut YIM et al. beträgt die Transparenz bei Löcherleitfähigkeiten von mehr als 10 Sm^{-1} weniger als 70 %. Bei hohen Transparenzen liegt die Leitfähigkeit unter 1 Sm^{-1} [YYL+18].

Nichtsdestotrotz ist der Einsatz von p -leitenden Metalloxiden für die Integration von anorganischen komplementären Schaltungen unumgänglich, um durch kompakte und energieeffiziente Schaltungen neue Anwendungsfelder zu erschließen und die flexible Elektronik so in der Mikroelektronik zu etablieren.

3.1.1 n -halbleitendes Zinkoxid

Zinkoxid (ZnO) ist ein seit langer Zeit bekanntes und weit verbreitetes Material. Bereits im späten 18. Jahrhundert wurde ZnO -Pulver als weißes Pigment in Wasser- und Ölfarben verwendet [Osm12]. In den 1920er-Jahren erfolgte die erste elektronische Anwendung in einem Bausatz für Radios, bei dem die halbleitenden Eigenschaften des Zinkoxids in Kombination mit einem Kupferkabel genutzt und die so entstandene Schottky-Barriere für die Gleichrichtung der Funkwellen eingesetzt wurde [JP06]. Zinkoxid findet ebenso Verwendung in der Pharmazie, wo es beispielsweise für Zinksalben und als UV-Blocker in Sonnencremes verwendet wird.

Zinkoxid ist ein II-VI-Verbindungshalbleiter, der in den drei Kristallstrukturen Zinkblende-, Natriumchlorid- und Wurtzit-Struktur auftreten kann. Die thermodynamisch stabile Phase unter Umgebungsbedingungen ist dabei die hexagonale Wurtzit-Struktur (siehe Abbildung 3.1 (a)) mit zwei Untergittern aus Zn^{2+} und O^{2-} , sodass ein Zinkion von vier Sauerstoffionen an den Ecken eines Tetraeders umgeben ist und umgekehrt [Wan04],[ÖAL+05],[Bor19]. Bei den Bindungen handelt es sich um sp^3 -hybridisierte Bindungen mit sowohl ionischem als auch kovalentem Charakter [GSG+20]. Das energetisch höchste Valenzband resultiert aus dem besetzten $2p$ -Niveau des Sauerstoffes, während das tiefste Leitungsband durch die unbesetzten $4s$ -Orbitalen des Zinks gebildet wird [IP81],[JP06],[KGH+06]. Sowohl das Valenzbandmaximum als auch das Leitungsbandminimum treten am Γ -Punkt der Brillouin-Zone auf, dargestellt in Abbildung 3.1 (b),

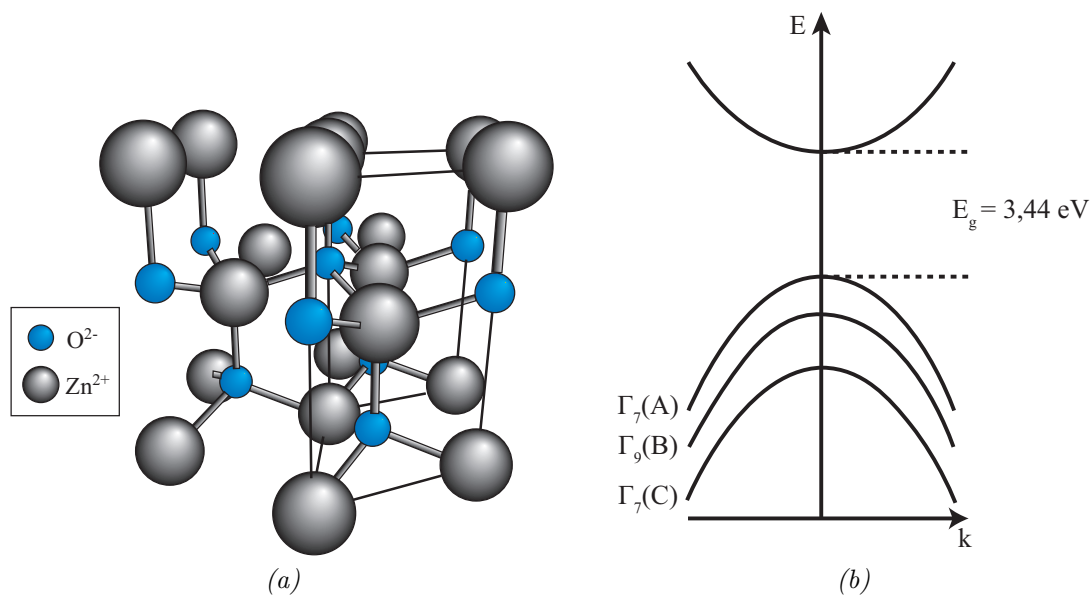


Abbildung 3.1: (a) ZnO in der thermodynamisch stabilen Wurtzitstruktur und (b) Bandstruktur von ZnO am Γ -Punkt, nach [JP06],[Kli05].

was bedeutet, dass ZnO ein Halbleiter mit direkter Bandlücke ist [JP06]. Die Bandlücke beträgt bei Raumtemperatur 3,37 eV, folglich ist ZnO transparent im sichtbaren Wellenlängenbereich [Wan04],[LRM+15].

In der Regel weist ZnO eine intrinsische n-Typ-Leitfähigkeit auf, deren Ursprung allerdings kontrovers diskutiert wird. Bislang wurden native Defekte wie Zn auf Zwischengitterplätzen und Sauerstoffleerstellen hierfür verantwortlich gemacht [ÖAL+05],[Bor19]. Allerdings wird dem mittlerweile häufig widersprochen mit der Begründung, dass Sauerstoffleerstellen tiefe Donatoren sind und folglich nicht zur n-Leitfähigkeit beitragen können [ZWZ01],[HHL+02],[JP06],[Jv09],[Bor19]. Zink auf Zwischengitterplätzen stellt zwar einen flachen Donator dar, allerdings ist dessen Bildungsenergie in n-Typ ZnO hoch. Außerdem ist diese Art von Defekt aufgrund ihrer geringen Migrationsbarriere, die eine schnelle Diffusion begünstigt, wahrscheinlich nicht stabil [JP06],[Jv07],[Bor19].

Neben nativen Defekten werden Verunreinigungen für das n-Typ-Verhalten verantwortlich gemacht. Theoretische Untersuchungen ergaben, dass immer Wasserstoff (H) im ZnO enthalten ist und dort als Donator wirkt. Als Ursache für das ungewollte Einbringen von Wasserstoff wird der Herstellungsprozess genannt. Dabei kann Wasserstoff, je nach Wachstumsmethode, von den Wänden der Reaktionskammer stammen oder aus Präkursoren und Restgasen resultieren [ÖAL+05],[Jv09],[Bor19]. Der Wasserstoff kann sich entweder auf einem Zwischengitterplatz befinden oder ein Sauerstoffatom ersetzen. Interstitieller

Wasserstoff, der in anderen Halbleitern ein amphoteres Verhalten aufweist, in ZnO jedoch als flacher Donator wirkt, kann allerdings leicht ausdiffundieren und ist folglich nicht zur Erklärung der stabilen n-Leitfähigkeit geeignet [Jv09]. Substitutioneller Wasserstoff stellt ebenfalls einen flachen Donator dar, ist aber stabil und kann somit als Erklärung für die Stabilität der n-Leitfähigkeit dienen [HHL+02],[Jv09]. Des Weiteren können die Gruppe-III-Elemente Indium (In), Gallium (Ga), Bor (B) und Aluminium (Al) für eine n-Dotierung eingesetzt werden.

Eine Vielzahl an Anwendungen wie beispielsweise UV-LEDs oder energieeffiziente transparente Schaltungen basierend auf Feldeffekt-Transistoren erfordert sowohl einen n-Typ-Halbleiter als auch ein Material mit löcherleitenden Eigenschaften. Folglich wäre eine stabile und reproduzierbare p-Dotierung des Zinkoxids wünschenswert, was sich jedoch bislang als problematisch herausstellt. Eine p-Dotierung durch native Defekte wie interstitiellen Sauerstoff und Zinkleerstellen ist nicht möglich, obwohl diese als flache Akzeptoren wirken, da Loch-Fallen (Sauerstoffvakanz und interstitielles Zn) eine geringere Bildungsenergie aufweisen und somit eine p-Dotierung kompensieren [ZWZ01],[Jv07]. Auch die zuvor genannte Verunreinigung durch Wasserstoff ist in diesem Kontext als problematisch anzusehen [ÖAL+05]. Bekannte Akzeptoren in ZnO sind die Elemente der Gruppe I (Lithium (Li), Natrium (Na) und Kalium (K)), der Gruppe V (Stickstoff (N), Phosphor (P) und Arsen (As)) sowie Kupfer (Cu) und Silber (Ag). Dabei ersetzen die Gruppe-I-Elemente Zn-Stellen und die Gruppe-V-Elemente entsprechend die O-Stellen. Allerdings bilden die meisten dieser Elemente tiefe Akzeptoren, die nicht zur p-Leitfähigkeit beitragen [ÖAL+05],[JP06],[KGH+06]. Stickstoff auf einem Sauerstoffplatz stellte sich als vielversprechender Dotierstoff für eine p-Dotierung in Zinkoxid heraus. Allerdings ist die Löslichkeit von Stickstoff in ZnO gering, sodass zum einen die geeignete Auswahl der N-

Tabelle 3.1: Eigenschaften von Zinkoxid (ZnO), nach [JP06],[RK11].

	ZnO
Kristallstruktur	hexagonal
Gitterkonstanten	a = 3,2495 Å c = 5,2069 Å
Dichte	5,605 g/cm ³
Bandlücke	3,37 eV
Farbe	farblos/weiß
Schmelzpunkt	1975 °C
Elektronenaffinität χ	4,5 eV

Quelle beachtet (Stickstoff aus einer NO-Quelle wird beispielsweise effizienter eingebaut als aus einer N₂-Quelle) und zum anderen die Dotierstoffmenge mit der Kristallqualität abgewägt werden muss, da mit steigender Ausheiztemperatur der Stickstoff wieder durch Sauerstoff ersetzt wird [ÖAL+05],[Rah19].

Auch wenn in den letzten Jahren Fortschritte in diesem Bereich gemacht wurden, sodass Löcherkonzentrationen von bis zu $3 \cdot 10^{19} \text{ cm}^{-3}$ erreicht werden konnten, sind Probleme wie die geringe Reproduzierbarkeit, Inhomogenitäten oder die zeitliche Instabilität der p-Leitfähigkeit noch zu lösen, um qualitativ hochwertiges p-leitendes ZnO herzustellen [KGH+06],[Rah19]. Einige für diese Arbeit wichtige Eigenschaften von ZnO sind in Tabelle 3.1 zusammengefasst.

3.1.2 p-halbleitendes Kupferoxid

Bei dem Großteil anorganischer Halbleiter handelt es sich in der Regel um n-leitende Materialien. Die Integration komplexer Bausteine erfordert allerdings komplementäre, energieeffiziente Schaltungen, die bislang durch einen Mangel an leistungsfähigen p-Typ-Metalloxiden limitiert sind. Als intrinsische p-leitende Metalloxidverbindungen sind Nickeloxid (NiO), Zinnoxid (SnO) und Kupferoxid (Cu₂O und CuO) zu nennen.

In dieser Arbeit wird Kupferoxid, insbesondere Kupfer(II)-Oxid, hinsichtlich einer Verwendung als p-leitendes Halbleitermaterial in Dünnschichttransistoren analysiert. Der durchschnittliche Kupfergehalt der Erdkruste beläuft sich auf ca. 0,006 %, sodass eine hohe Verfügbarkeit gewährleistet ist [Deu21]. Zudem sind Kupferoxide ungiftig und leicht herzustellen. Kupfer oxidiert in der Natur zu den zwei stabilen Verbindungen Kupfer(I)-Oxid (Cu₂O) und Kupfer(II)-Oxid (CuO), sowie zu dem seltenen, metastabilen Paramelaconit (Cu₄O₃). Anhand Abbildung 3.2 wird deutlich, dass der Übergang zwischen den einzelnen Oxidationsstufen bei entsprechender Atmosphäre während einer thermischen Behandlung erfolgt.

Bevor näher auf die Eigenschaften von CuO eingegangen wird, wird zunächst die Entwicklung von TFTs basierend auf p-leitendem Kupfer(I)-Oxid vorgestellt, deren vielversprechende Eigenschaften die Motivation auch zur weiteren Erforschung von Kupfer(II)-Oxid darstellen.

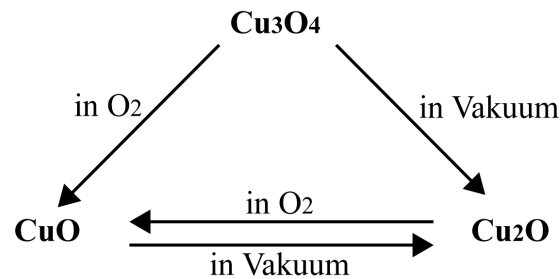


Abbildung 3.2: Schematische Darstellung der durch Sauerstoff-Ein- und Ausdiffusion bedingten Phasenumwandlung zwischen den Kupferoxidverbindungen CuO, Cu₂O und Cu₄O₃O, nach [LVR+91].

Kupfer(I)-Oxid (Cu₂O)

Der Großteil der Veröffentlichungen im Bereich p-leitender Kupferoxide als aktive Schicht in TFTs bezieht sich aufgrund der vielversprechenden intrinsischen elektrischen Eigenschaften auf Kupfer(I)-Oxid (engl.: *cuprous oxide*). Dieses Interesse begründet sich darin, dass für einkristallines Kupfer(I)-Oxid bzw. Cu₂O Hall-Beweglichkeiten von 100 cm²/Vs erzielt werden konnten [MPR+12].

Cu₂O ist ein bekannter intrinsischer p-Halbleiter mit einer kubischen Kristallstruktur, deren Bindungen sowohl ionischen als auch kovalenten Charakter aufweisen [ZZX+14]. Dabei ist jedes Cu-Atom mit zwei Sauerstoffatomen verbunden und jedes Sauerstoffatom ist von vier Kupferatomen umgeben. Es handelt sich bei Cu₂O um einen direkten Halbleiter mit einer Bandlücke im Bereich von 2,0–2,6 eV [FBM12],[YLL+15],[WNC+16]. In erster Linie wirken Kupferfehlstellen aufgrund ihrer geringen Bildungsenergie als Akzeptoren und sind demnach für die intrinsische Löcherleitung verantwortlich¹ [MPR+12]. Die Herstellung von reinen Cu₂-Schichten ist schwierig, da es zu ungewollten CuO-Einschlüssen kommen kann [SMR74],[FCP+15]. Verunreinigungen durch dieses Auftreten der CuO-Phase bewirken eine Streuung der Ladungsträger und dementsprechend eine Begrenzung der Beweglichkeit [MNY+09],[FBM12].

Im Jahr 2008 berichteten MATSUZAKI et al. von den ersten p-leitenden TFTs mit Cu₂O, aufgebracht durch Laserpulsabscheidung (engl.: *Pulsed Laser Deposition*, kurz PLD) bei einer Substrattemperatur von 700 °C. Die erzielte Ladungsträgerbeweglichkeit lag bei 0,26 cm²(Vs)⁻¹ und das Verhältnis zwischen On- und Off-Strom betrug 6 [MNY+08]. ZOU et al. berichteten 2010 über einen vielversprechenden Top-Gate TFT mit einem high-*k* HfON-Dielektrikum in Kombination mit einer ebenfalls durch PLD bei 500 °C aufgetragenen Cu₂O-Schicht, der eine Beweglichkeit von 4,3 cm²(Vs)⁻¹ und eine Strommodulation

¹Für weiterführende Informationen bezüglich der Materialeigenschaften von Cu₂O wird unter anderem auf die folgende Literatur verwiesen [MPR+12],[Deu17].

von $3 \cdot 10^6$ erzielte [ZFY+10]. Der erste lösungsmittelbasierte Cu_2O TFT wurde im Jahr 2013 von Kim et al. vorgestellt. Der durch einen Sol-Gel-Prozess integrierte TFT wies eine Beweglichkeit von $0,16 \text{ cm}^2(\text{Vs})^{-1}$ sowie ein On-Off-Stromverhältnis von 10^2 auf. Die maximale Temperatur während der Integration betrug 700°C [KAL+13]. Durch lösungsmittelbasierte Depositionsprozesse konnten bisher Beweglichkeiten im Bereich von $10^{-1} \text{ cm}^2(\text{Vs})^{-1}$ und maximale Strommodulationen von 10^4 erreicht werden [YLL+15],[WNC+16],[SHZ+19]. Zum Zeitpunkt dieser Arbeit waren Cu_2O -Nanopartikel mit einer für den Einsatz als halbleitendes Material ausreichend hohen Reinheit kommerziell nicht erhältlich, wodurch eine TFT-Integration mit diesem Halbleitermaterial nicht möglich war.

Kupfer(II)-Oxid (CuO)

Kupfer(II)-Oxid (engl.: *cupric oxide*) bzw. CuO ist ein Material, das für viele Bereiche der Forschung von Interesse ist. Es weist beispielsweise supraleitende Eigenschaften auf [Wel19b] und kann aufgrund seines Absorptionsvermögens in Solarzellen [KOA+11] eingesetzt werden. Zudem kann nanostrukturiertes CuO unter anderem in Gas-Sensoren [YXW+15], als Katalysator [PFL+18] sowie in Photodetektoren [WHC+11] verwendet werden.

In dieser Arbeit wird Kupfer(II)-Oxid als p-leitendes Halbleitermaterial hinsichtlich eines Einsatzes in der flexiblen Elektronik evaluiert. CuO ist ein schwarzer Feststoff, der in der monoklinen Struktur kristallisiert (siehe Abbildung 3.3), wobei sich vier CuO -Moleküle in der Einheitszelle und zwei CuO -Moleküle in der primitiven Elementarzelle befinden. Dabei bilden Cu^{2+} -Ionen jeweils vier Bindungen mit Sauerstoff an den Ecken eines Parallelogramms und jedes Sauerstoffatom ist mit vier Kupferatomen an den Ecken eines verzerrten Tetraeders verbunden [HEH13],[WP21]. Die Bindungen besitzen dabei sowohl ionische als auch kovalente Anteile [CXW89],[Mer07]. Im Vergleich zu Cu_2O gibt es über die elektronische Struktur von CuO bislang keine zufriedenstellenden Informationen [MPR+12],[ZZX+14],[WP21]. Dies liegt wahrscheinlich daran, dass herkömmliche Methoden zur Beschreibung des Grundzustands eines Vielteilchensystems wie die lokale Dichtenäherung (engl.: *Local Density Approximation*, kurz LDA) innerhalb der Dichtefunktionaltheorie (engl.: *Density Functional Theory*, kurz DFT) bei der Beschreibung von CuO als Halbleiter scheitern [HEH13]. Durch das Hinzufügen eines Korrekturfaktors $\text{DFT} + \text{U}$, bei dem U dem Hubbard-Potential entspricht, das die Elektron-Elektron-Wechselwirkungen berücksichtigt, ergibt sich die Bandstruktur eines Halbleiters. Dabei werden die Bänder durch die Cu 3d- und O 2p-Orbitale gebildet [EAM+14],[AAD16]; das obere Valenzband sowie das unterste Leitungsband werden dabei hauptsächlich durch das

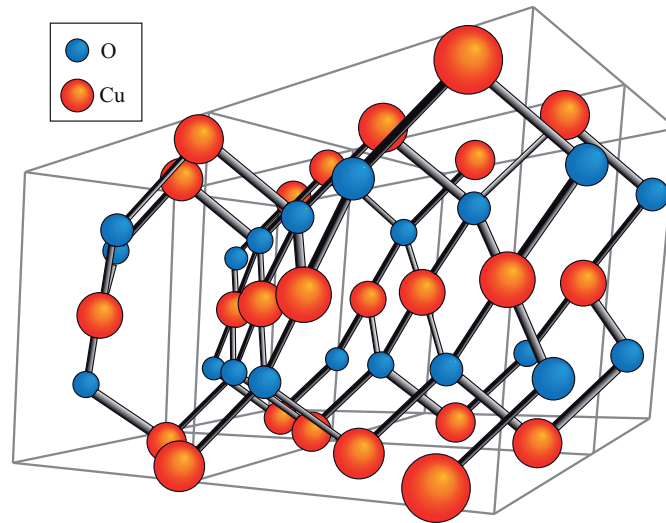


Abbildung 3.3: Die Kristallstruktur von CuO, verdeutlicht anhand von vier Einheitszellen, nach [MPR+12].

3d-Orbital des Kupfers bestimmt [MPR+12]. Während es sich bei Cu_2O um einen direkten Halbleiter handelt, bleibt die Bandstruktur von CuO bislang kontrovers [MPR+12],[WLG+16]. Die Angaben zur Bandlücke variieren im Bereich von 1,2 eV bis 2,1 eV [KB82],[Bar12],[SPQ+18]. Diese große Variabilität kann auf mehrere Faktoren zurückgeführt werden, darunter die Interpretation der Art der Bandlücke (direkt oder indirekt), die Temperaturbehandlung, die Korngrößen sowie die Morphologie und eine eventuelle Dotierung [Bar12],[MLK+16],[ZRM+14]. Aufgrund der im Vergleich zu Cu_2O schmalen Bandlücke sowie der höheren Ladungsträgerkonzentration weist CuO eine höhere Leitfähigkeit auf, wenngleich die Ladungsträgerbeweglichkeit geringer ist [JGJ09],[ZZX+14],[LNL+17].

Für die intrinsischen p-Typ Eigenschaften wird angenommen, dass negativ geladene Kupfer-Fehlstellen $V_{\text{Cu}^{2-}}$ als Akzeptoren fungieren. Sauerstoff auf Zwischengitterplätzen O_i stellt einen tiefen Akzeptor dar und trägt aufgrund dessen nicht zur Leitfähigkeit bei [ZZX+14],[ŽL20]. Gemäß einer theoretischen Studie von ŽIVKOVIĆ und LEEUW entsteht intrinsisches p-leitendes CuO in sauerstoffreicher Umgebung [ŽL20]. Folglich kann die Löcher-Konzentration im Valenzband durch eine Abweichung von der stöchiometrischen Zusammensetzung infolge der Prozessparameter variiert werden [ZZX+14]. Dies wird experimentell durch MEYER et al. bestätigt, die mit steigendem Sauerstoffgehalt während des Sputter-Prozesses eine Zunahme der Ladungsträgerkonzentration von 10^{17} cm^{-3} auf 10^{20} cm^{-3} erreichen konnten [MPR+12].

Unter Cu-reichen Wachstumsbedingungen entstehen hingegen Sauerstoffleerstellen V_{O} und interstitielles Kupfer Cu_i , die sich wie Donatoren verhalten. Allerdings weist das

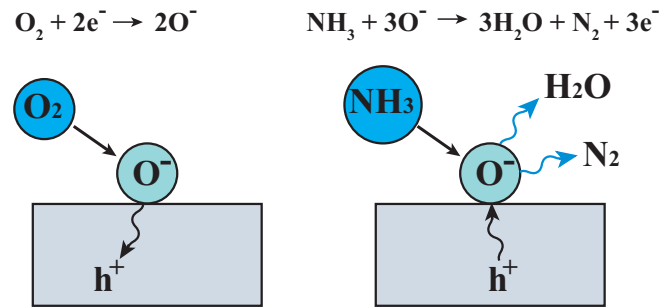


Abbildung 3.4: Sensoreffekt in CuO, nach [HKL+10].

resultierende n-Typ CuO aufgrund der Tatsache, dass es sich bei Sauerstoffleerstellen um tiefe Donatoren und bei Kupfer auf Zwischengitterpl tzen um einen neutralen Defekt handelt, sehr geringe Beweglichkeiten auf [DGM19],[ ZL20]. Des Weiteren konnten k rzlich n-leitende Kupfer(II)-Oxide durch eine Dotierung mit Kobalt (Co) [BTB+19] und Cadmium (Cd) [BPD+20] im Spr hpyrolyse-Verfahren hergestellt werden.

Wie bereits erw hnt, werden CuO-Nanostrukturen in Gas-Sensoren zum Nachweis unter anderem von Kohlenstoffmonoxid (CO) [OMS19], Ammoniak (NH₃) [BG16] und Schwefelwasserstoff (H₂S) [LWL+16] eingesetzt. Der Sensoreffekt, vereinfacht dargestellt in Abbildung 3.4, beruht auf der Interaktion des Kupferoxids mit reduzierenden und oxidierenden Gasen. Unter sauerstoffhaltiger Atmosph re adsorbiert Sauerstoff an der CuO-Oberfl che und bindet Elektronen aus dem CuO ($\text{O}_2 + 2\text{e}^- \longrightarrow 2\text{O}^-$). Dadurch erh ht sich die Dichte an frei beweglichen L chern und damit auch die Leitf higkeit der CuO-Schicht. Im Gegensatz zu oxidierenden Gasen geben reduzierende Gase ein Elektron an das CuO ab, verringern so die L cherkonzentration und erh hen folglich den Widerstand [HKL+10],[ZZX+14],[Ste21].

Je nach Anwendungsgebiet stehen diverse Methoden zur Integration hochqualitativer CuO-D nnschichten zur Verf gung. Zum einen eignen sich Verfahren zur Abscheidung aus der Gasphase. G ngige physikalische Methoden sind die Kathodenzerst ubung oder die thermische Oxidation. Als chemische Verfahren sind die Spr hpyrolyse und die Atomlagenabscheidung zu nennen. Zum anderen ist eine Synthese von CuO-Schichten aus der Fl ssigphase mithilfe der galvanischen Abscheidung oder des Sol-Gel-Verfahrens ebenfalls m glich [ZRM+14]. Nanopartikul res Kupferoxid kann durch die hydrothermale Synthese hergestellt werden. Dabei reagiert zun chst ein Kupfersalz-Pr kursor mit einer basischen L sung (NaOH oder NH₄OH) zu Kupferhydroxid (Cu(OH)₂)-Partikeln, bevor diese dann in einem Autoklav thermisch dehydriert werden [ZZX+14],[BRH+21]. Eine weitere

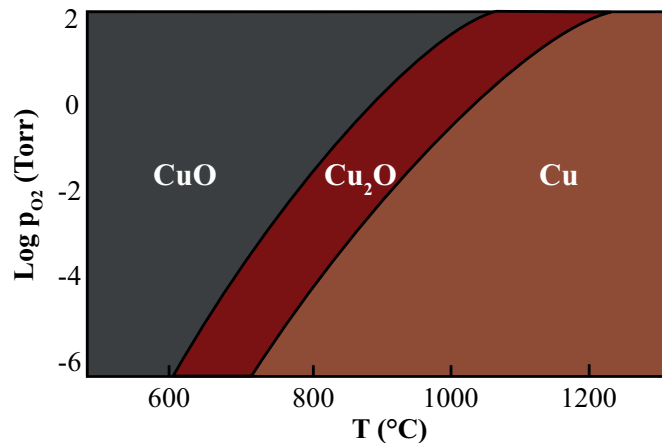


Abbildung 3.5: Phasendiagramm der Oxidationsstufen von Kupfer in Abhängigkeit des Sauerstoffpartialdruckes p_{O_2} und der Temperatur T , nach [Rak86] und [HEH13].

Methode ist die chemische Fällungsmethode. Bei diesem Verfahren wird wiederum ein Präkursor durch Lösen von Kupfersalz in VE-Wasser oder Ethanol hergestellt. Anschließend wird unter konstantem Rühren NaOH hinzugegeben. Die chemische Reaktion ist abgeschlossen, sobald die Lösung eine schwarze Farbe annimmt. Die entstandenen Nanopartikel werden anschließend unter Umgebungsbedingungen getrocknet beziehungsweise einer weiteren thermischen Behandlung unterzogen [ZZX+14],[LHC+15].

Für praktische Anwendungen ist neben den elektronischen Eigenschaften auch die Stabilität der Materialien von großer Bedeutung. Aus Abbildung 3.5 wird deutlich, dass bei geringen Temperaturen CuO aufgrund der höheren Stabilität der Cu(II)-Ionen die stabile Phase ist. Erhöht man die Temperatur und verringert den Sauerstoffgehalt der Atmosphäre während der Temperaturbehandlung, wandelt sich CuO in Cu₂O um, bevor der Sauerstoff komplett ausdiffundiert ist und reines Cu vorliegt. Folglich kann festgehalten werden, dass CuO bei Raumtemperatur und dem Sauerstoffpartialdruck der Umgebungsluft die thermodynamisch stabile Phase ist [Rak86],[HEH13],[ZZX+14].

Einige generelle Eigenschaften der verschiedenen Kupferoxide sind in Tabelle 3.2 zusammengefasst. Das metastabile Paramelaconit (Cu₄O₃) wird dort der Vollständigkeit halber mit aufgeführt, in dieser Arbeit aufgrund seiner geringen Relevanz im Bereich der TFT-Technologie jedoch nicht weiter betrachtet.

Tabelle 3.2: Eigenschaften der Kupferoxide, nach [PBG+07],[MPR+12],[SPQ+18],[DLR+18].

	Cu ₂ O	CuO	Cu ₄ O ₃
Name	Cuprit	Tenorit	Paramelaconit
Oxidationsstufe	Cu(I)	Cu(II)	Cu(I) & Cu(II)
Kristallstruktur	kubisch	monoklin	tetragonal
Gitterkonstanten	a = 4,2696 Å	a = 4,6837 Å b = 3,4226 Å c = 5,1288 Å β = 99,54°	a = 5,837 Å c = 9,832 Å
Dichte	5,749 – 6,140 g/cm ³	6,515 g/cm ³	5,93 g/cm ³
Bandlücke	2,0 – 2,6 eV	1,2 – 2,1 eV	–
Farbe	rot-braun	schwarz	schwarz
Schmelzpunkt	1235 °C	1201 °C	–
Elektronenaffinität χ	≈ 3,1 eV	4,07 eV	–
Austrittsarbeit φ	≈ 4,84 eV	4,7 – 5,5 eV	–

3.1.3 CuO-basierte TFTs – Stand der Technik

Im Folgenden soll kurz die Entwicklung von p-leitenden CuO TFTs der letzten Jahre anhand der Literatur zusammengefasst werden. Dazu gibt Abbildung 3.6 einen Überblick über wichtige Kenngrößen (Feldeffekt-Ladungsträgerbeweglichkeit μ_{FE} und Strommodulation I_{ON}/I_{OFF}) sowie über die jeweilige maximale Prozesstemperatur während der TFT-Herstellung.

Im Jahr 2010 erzielten SUNG et al. CuO-TFTs (Bottom-Gate, Top-Kontakt) mit vielversprechenden Eigenschaften wie einer Strommodulation von 10^4 und eine Ladungsträgerbeweglichkeit von $0,4 \text{ cm}^2(\text{Vs})^{-1}$ durch Hochfrequenzsputtern bei Raumtemperatur. Im Anschluss wurde die Schicht bei einer Temperatur von 300°C in einer Sauerstoff-Umgebung nachbehandelt [SKJ+10]. Vier Jahre später berichteten SANAL et al. von einem CuO-TFT, der ebenfalls durch HF-Sputtern bei Raumtemperatur und variierendem Sauerstoff-Partialdruck hergestellt wurde [SVJ14]. Trotz des Verzichts auf eine anschließende Temperung konnten TFTs mit einer Strommodulation von 10^4 und einer Ladungsträgerbeweglichkeit von $0,01 \text{ cm}^2(\text{Vs})^{-1}$ erreicht werden. Zudem konnte aufgrund einer CuO-Schichtdicke von lediglich 15 nm eine Transparenz von mehr als 70 % verzeichnet werden. Der erste lösungsmittelbasierte CuO-TFT in Kombination mit einem high- k Scandiumoxid-Dielektrikum wurde 2015 von LIU et al. vorgestellt [LLZ+15]. Dazu wurde das CuO im Sol-Gel-Verfahren bei einer Temperatur von 300°C hergestellt. Die bis dato im Vergleich zu anderen lösungsmittelbasierenden TFTs mit p-leitenden Kupferoxiden verbesserte Performance ($I_{ON}/I_{OFF} = 10^5$ und $\mu_{FE} = 0,8 \text{ cm}^2(\text{Vs})^{-1}$) wird mit dem high- k -Dielektrikum,

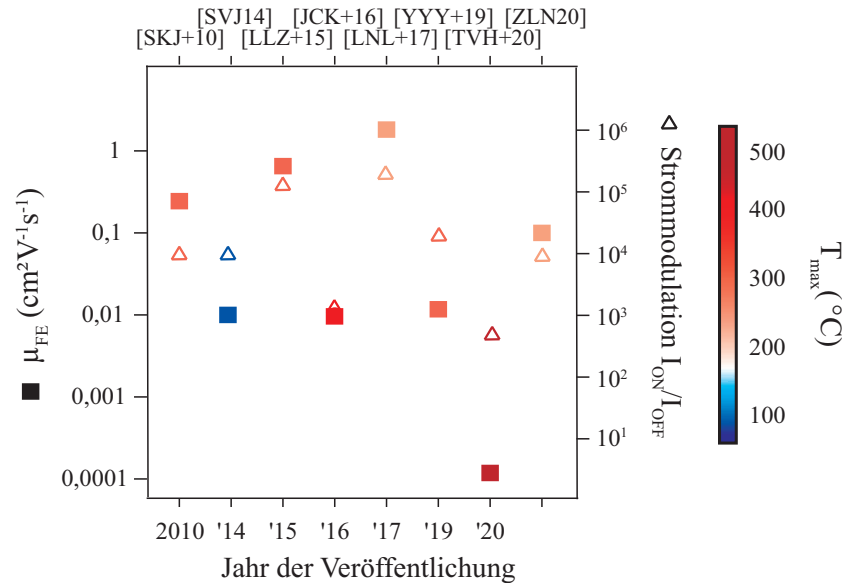


Abbildung 3.6: Chronologische Literaturübersicht über TFTs basierend auf p-leitendem CuO bezüglich der maximalen Temperatur während der Integration. Links ist die Feldeffekt-Beweglichkeit μ_{FE} und rechts die Strommodulation I_{ON}/I_{OFF} aufgetragen, eigene Darstellung in Anlehnung an [Deu17]).

der hochqualitativen CuO-Schicht und der guten CuO/Dielektrikum-Grenzfläche begründet. JANG et al. untersuchten die thermischen Zersetzungsprodukte von Kupfer(II)-acetat-Monohydrat in Luft bei verschiedenen Prozesstemperaturen und -zeiten [JCK+16]. Dabei zeigte sich, dass ab einer Temperatur von 200 °C und einer Prozesszeit von vier Stunden Cu₂O und ab 500 °C bereits schon nach zehn Minuten reines CuO entstand. Die Ladungsträgerbeweglichkeit des CuO-TFTs konnte durch ein Verlängern der Prozesszeit auf eine Stunde von $3 \cdot 10^{-3} \text{ cm}^2(\text{Vs})^{-1}$ auf $1 \cdot 10^{-2} \text{ cm}^2(\text{Vs})^{-1}$ verbessert werden. Auch LIU et al. nutzten während ihrer Integration eine Prozesstemperatur von lediglich 250 °C [LNL+17]. Dabei wurde Kupferiodid durch Eintauchen in eine NaOH-Lösung zunächst zu Cu₂O oxidiert. Eine anschließende Temperaturbehandlung für eine Stunde bei 250 °C führte zu einer weiteren Oxidation zu CuO. Eine Verbesserung der Transistoreigenschaften konnte dadurch erzielt werden, dass das SiO₂-Dielektrikum durch ein high-*k*-Dielektrikum aus Al₂O₃ ersetzt wurde. Die resultierenden TFTs wiesen eine hohe Beweglichkeit von $2,7 \text{ cm}^2(\text{Vs})^{-1}$ und eine Strommodulation von $2 \cdot 10^5$ auf. Eine detaillierte Analyse der Abhängigkeit der TFT-Parameter von der Ausheizzeit bei konstanter Temperatur (300 °C) während der Herstellung von CuO durch einen Sol-Gel-Prozesses wurde von YANG et al. durchgeführt [YYY+19]. Hier konnte gezeigt werden, dass das Optimum bei einer Prozesszeit von 30 Minuten lag. Dadurch konnten Transistoren mit einer Beweglichkeit von $1,2 \cdot 10^{-2} \text{ cm}^2(\text{Vs})^{-1}$ und einer Strommodulation von $2 \cdot 10^4$ erzielt werden. Längere Zeiten

fürten zu einer Erhöhung der Oberflächenrauheit der CuO-Schicht, wodurch die Fallenzustandsdichten an den Grenzflächen zunahm. Des Weiteren hat die Konzentration der Präkursorlösung (Kupfer(II)-acetat-Monohydrat) Einfluss auf die Schichtqualität und damit auf die elektrischen Eigenschaften eines TFTs, wie TRINH et al. zeigten [TvH+20]. Die Beweglichkeit lag in diesem Fall jedoch lediglich bei maximal $6 \cdot 10^{-4} \text{ cm}^2(\text{Vs})^{-1}$ und die Strommodulation war mit $7 \cdot 10^2$ ebenfalls gering. 2020 analysierten ZHU et al. den Einfluss der Luftfeuchtigkeit in der Umgebungsatmosphäre während der Deposition durch Schleuderbeschichtung sowie während des anschließenden Ausheizprozesses bei maximal 250°C auf die Leistungsfähigkeit und Stabilität eines CuO-basierenden TFTs [ZLN20]. Dabei zeigte sich, dass trockene Umgebungsbedingungen mit einer Feuchtigkeit von weniger als 30 % optimal für eine gute Bauteil-Performance sind, sodass TFTs mit Beweglichkeiten von $0,1 \text{ cm}^2(\text{Vs})^{-1}$ und einer Strommodulation von 10^4 hergestellt werden konnten.

3.2 Gate-Dielektrikum

Das Gate-Dielektrikum ist ein wesentlicher Bestandteil eines Feldeffekt-Transistors, an den eine Reihe von Anforderungen gestellt werden. Dazu gehört eine ausreichend gute Isolierung des Halbleiters von der Gate-Elektrode und ein damit einhergehender geringer Leckstrom bei einer entsprechenden elektrischen Feldstärke (abhängig von der Gate-Spannung). Zudem ist neben einer hohen Kapazität eine geringe Dichte an Grenzflächenzuständen wichtig, sodass eine Anwendung im Bereich von geringen Versorgungsspannungen, bereitgestellt beispielsweise durch gedruckte Batterien, möglich wird [CMR06], [CLX+08]. Im Bereich der biegbaren Elektronik wird eine mechanische Flexibilität gefordert, sowie gegebenenfalls eine optische Transparenz im sichtbaren Wellenlängenbereich. Eine Integration auf Foliensubstraten erfordert außerdem eine Kompatibilität hinsichtlich der Depositionsmethode, der thermischen Behandlung und der Strukturierung. Da in dieser Arbeit ausschließlich Bottom-Gate TFTs hergestellt werden, sind die Oberflächeneigenschaften des Dielektrikums von entscheidender Bedeutung. Zum einen ist eine glatte Oberfläche wichtig für einen grenzflächennahen Ladungstransport. Zum anderen ist eine hydrophile Oberfläche mit hoher Oberflächenenergie wünschenswert für eine gute Benetzung durch lösungsmittelbasierte Halbleiter [Mit04],[VMW+16b],[WHC+18].

Die Kapazität des Gate-Dielektrikums, die für die Ladungsträgerakkumulation an der

Halbleiter-Dielektrikum-Grenzfläche verantwortlich ist, kann gemäß dem Zusammenhang

$$C_{Diel} = \varepsilon_0 \frac{\varepsilon_r}{t_{Diel}} \quad (3.1)$$

entweder durch die Reduzierung der Schichtdicke t_{Diel} oder durch das Erhöhen der dielektrischen Konstante ε_r vergrößert werden. Folglich kann durch den Einsatz eines sogenannten high- k Dielektrikums, also einem Material, dessen dielektrische Konstante größer als die von SiO_2 ($k = 3,9$) ist, eine ausreichend hohe kapazitive Kopplung bei geringer Betriebsspannung erreicht werden. Im Zuge dessen wurden bereits high- k Dielektrika diverser Material-Familien wie anorganische Metalloxide, Elektrolyte, Polymere und Nanokomposite untersucht [HTJ+16],[WHC+18],[NN18]. Zur letztgenannten Gruppe gehört das in dieser Arbeit als Gate-Dielektrikum verwendete Material inoflex T3.

3.2.1 High- k Nanokomposit

Bereits in vorangegangenen Arbeiten wurde das organisch-anorganische Nanokomposit inoflex T3, bezogen von der inomat GmbH aus Neunkirchen, als Gate-Dielektrikum in Dünnfilmtransistoren eingesetzt [Die07],[Vid17],[Mey21]. Dabei handelt es sich um eine auf acrylatfunktionalisiertem Silan basierende Polymermatrix, in die durch Kokondensation anorganische, lösliche Titan-Komponenten eingefügt und in Titandioxid umgewandelt wurden. Durch die Zugabe von anorganischen Nanopartikeln mit hoher Permittivität (TiO_2 : $k = 20 - 110$ [WWA01],[Wel19a]) erhält man ein mechanisch flexibles Polymer mit einer erhöhten Dielektrizitätskonstante [ST08],[Zhu14]. Durch die Zugabe von 0,1 Gew.-% eines Fotoinitiators und einer UV-Bestrahlung als Katalysator wird eine Polymerisation der Schicht erreicht [Die07]. Die resultierende dielektrische Konstante beträgt bei einer Frequenz von 50 Hz $k = 9,2$ [Mey21].

3.3 Metall-Elektroden

Die Wahl der Metallisierung kann das Verhalten eines Dünnfilmtransistors stark beeinflussen. Wie bereits in Kapitel 2.5.1 erwähnt, wirkt sich die Austrittsarbeit der Gate-Elektrode auf die Schwellenspannung eines TFTs aus. Aufbauend auf der vorangegangenen Arbeit von MEYERS [Mey21] werden Al- beziehungsweise Au-Schichten als Gate-Metallisierung eingesetzt.

Die Kontakteigenschaften der Drain- und Source-Elektroden bestimmen die Transkon-

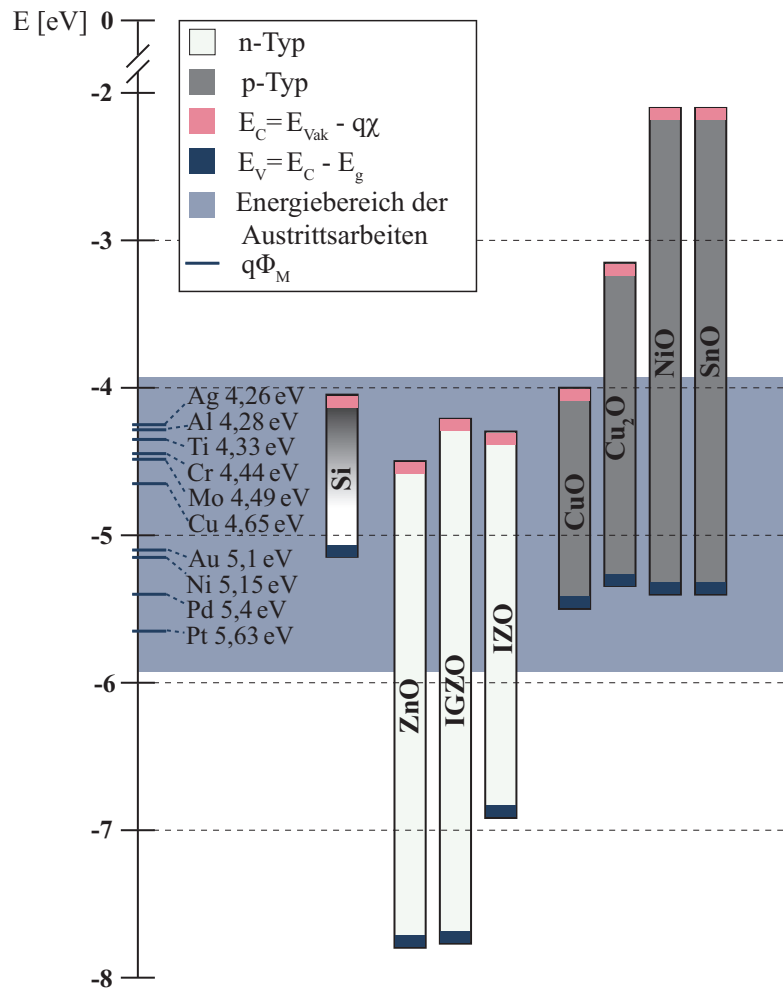


Abbildung 3.7: Darstellung der energetischen Lage der Valenz- und Leitungsbandkanten einiger Metalloxid-Halbleiter sowie Austrittsarbeiten gängiger Kontaktmetalle, nach [JL19].

duktanz und damit die Ladungsträgerbeweglichkeit sowie die Schalteigenschaften eines TFTs [CK13]. Insbesondere bei kleinen Kanallängen werden die Eigenschaften durch die Kontaktwiderstände und die parasitären Kapazitäten zwischen Gate- und Kontaktelektroden dominiert [BVG+08],[HP14]. Während letztere durch einen Selbstjustierungsprozess reduziert werden können (siehe Kapitel 6), wird der Kontaktwiderstand zwischen Halbleiter und den Drain-/Source-Elektroden durch Fallenzustände am Interface, die effektive Kontaktfläche und das Material beziehungsweise die Barrierenhöhe und -weite bestimmt [PKK+08],[HP14]. Dementsprechend kommt der Wahl der Drain-/Source-Metallisierung besondere Bedeutung zu. Wie schon in Kapitel 2.4.1 erwähnt, muss dabei die Elektronenaffinität beziehungsweise die Lage der Energiebänder des Halbleiters berücksichtigt werden. Abbildung 3.7 stellt die energetische Lage der Leitungs- und Valenzbänder einiger Halb-

leitematerialien sowie die Austrittsarbeiten gängiger Kontaktmetalle dar. Anhand dieser Abbildung wird deutlich, dass für ZnO eine Kontaktierung durch Ag, Al, Ti, Cr oder Mo zu einer Anpassung an das Leitungsband und somit zu einer geringen Barrierenhöhe führt. Für CuO hingegen, dessen Ladungstransport durch das Valenzband erfolgt, eignen sich dementsprechend Metalle mit einer hohen Austrittsarbeit wie Au, Ni, Pd und Pt [JL19]. Eine detailliertere Analyse der Drain-/Source-Metallisierung für ZnO- und CuO-TFTs erfolgt in den Kapiteln 4.1.3 bzw. 4.2.1.

Sämtliche in dieser Arbeit verwendeten Metallisierungen werden hinsichtlich ihrer Kompatibilität zum Integrationsprozess ausgewählt und durch Elektronenstrahlverdampfung ganzflächig auf den Proben abgeschieden. Die Strukturierung erfolgt entweder durch nasschemisches Ätzen oder einen Lift-off-Prozess. Die entsprechenden Prozesse werden im nachfolgenden Kapitel im Rahmen der TFT-Integration detaillierter beschrieben.

3.4 Integrationsprozess

Im Folgenden soll der grundlegende Prozessablauf zur Integration eines, in dieser Arbeit in erster Linie verwendeten Bottom-Gate, Bottom-Contact Dünnschichttransistors (siehe Abbildung 3.8), erläutert werden. Anknüpfend an die Arbeiten von VIDOR [Vid17] und MEYERS [Mey21] erfolgt die Transistorintegration auf einem passiven Substrat (Silizium- oder Borosilikatglas-Wafer, PET-Substrat) unter Verwendung eines high- k -Nanokomposits als Gate-Dielektrikum. Die nachfolgende Beschreibung der Integrationsroutine wird anhand eines oxidierten Siliziumwafers (Durchmesser: 100 mm) als Trägersubstrat durchgeführt.

Da der Si-Wafer lediglich als passiver Träger dienen soll, wird er durch ein ca. 600 nm dickes, durch thermische Oxidation aufgewachsenes Siliziumdioxid elektrisch isoliert. Als Gate-Metallisierung wird eine Schicht Aluminium (50 nm) durch Elektronenstrahlverdampfung im Hochvakuum aufgebracht. Die Strukturierung der Gate-Elektrode erfolgt durch Fotolithografie und nasschemisches Ätzen. Dazu werden der (Umkehr-)Fotolack AZ® 5214 E (bezogen von der Firma MicroChemicals GmbH [Mera]) durch Schleuderbeschichtung aufgebracht, die Lösungsmittel während eines Backschrittes ausgetrieben und im Anschluss an eine Rehydrierungszeit durch eine Fotomaske belichtet. Die Entwicklung des Lackes wird in einer alkalischen Lösung (Natronlauge, NaOH) durchgeführt. Das Aluminium wird anschließend durch eine Lösung bestehend aus Phosphorsäure (H_3PO_4),

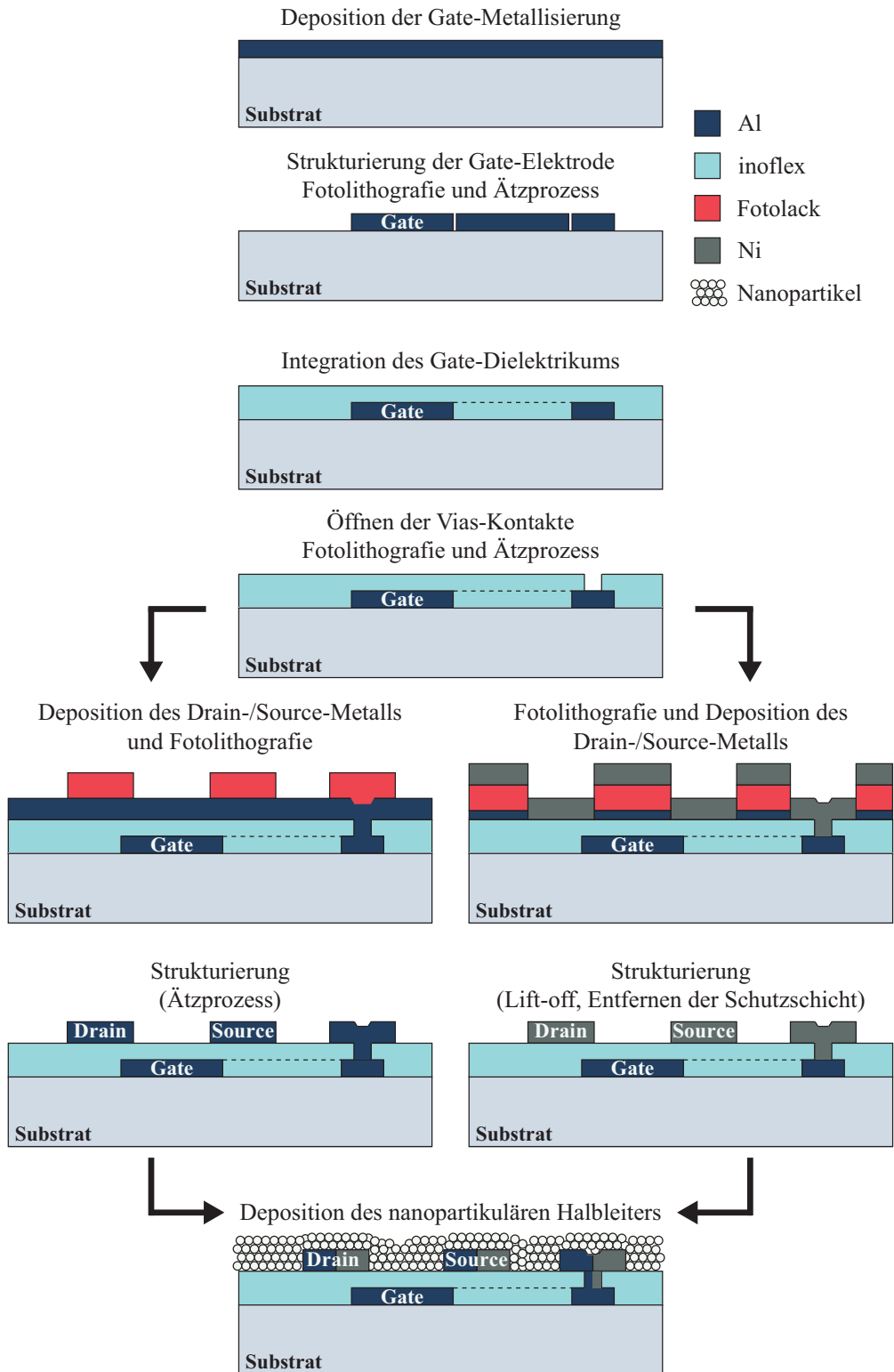


Abbildung 3.8: Allgemeine Darstellung des Prozessablaufes zur Integration von Bottom-Gate, Bottom-Contact TFTs mit nanopartikulärem Halbleitermaterial.

Salpetersäure (HNO_3) sowie Essigsäure (CH_3COOH) geätzt².

Die Deposition des Gate-Dielektrikums erfolgt ebenfalls durch eine Schleuderbeschichtung. Dazu wird das Nanokomposit inoflex T3 mit 1-Butanol im Verhältnis 1:7 verdünnt und mithilfe eines $0,45\ \mu\text{m}$ Spritzenfilters aus Polytetrafluorethylen (PTFE) auf dem ruhenden Wafer aufgebracht. Eine Rotationsgeschwindigkeit von $2000\ \text{U}/\text{min}$ für $20\ \text{s}$ bewirkt dabei eine Schichtdicke von $150\text{--}180\ \text{nm}$. Im Anschluss wird das Lösungsmittel für $30\ \text{Minuten}$ bei einer Temperatur von $115\ ^\circ\text{C}$ im Konvektionsofen unter Umgebungsbedingungen entfernt und die Quervernetzung der Polymerketten durch eine anschließende Bestrahlung mit UV-Licht mit einer Leistungsdichte von $200\ \text{W}/\text{cm}^2$ erreicht³ [Die07].

Um die Gate-Elektrode zu kontaktieren, sind Kontaktöffnungen durch das Dielektrikum erforderlich. Auch hierzu wird eine Fotolithografie durchgeführt, gefolgt von einem nasschemischen Ätzprozess durch eine NaOH-Lösung.

Für die anschließende Integration der Drain-/Source-Elektroden ergeben sich prinzipiell zwei Optionen. Zum einen kann die Strukturierung über einen Ätzprozess erfolgen. Dazu wird die Kontaktmetallisierung auf dem Dielektrikum abgeschieden, durch Fotolack maskiert und anschließend nasschemisch geätzt. Hierbei ist zu beachten, dass der Ätzprozess selektiv zum Dielektrikum sein muss, um dieses nicht zu beschädigen. Der Lack wird im Anschluss im Acetonbad, gegebenenfalls mit Ultraschall-Unterstützung, entfernt. Eine nachfolgende Reinigungsprozedur aus Isopropanol und VE-Wasser wird vorgenommen, sodass etwaige Rückstände der Ätzlösung oder der abgetragenen Schicht entfernt werden.

Zum anderen kann die Lift-off-Methode zur Strukturierung genutzt werden. Dafür wird die, im Vergleich zum zuvor erwähnten Ätzprozess, invertierte Lackmaske benötigt. Die erforderliche Maskierung kann durch entsprechende Prozessierung des (Umkehr-)Fotolackes erzeugt werden (siehe Kapitel 5.3 bzw. Anhang A.1). Bereits in vorangegangenen Arbeiten zeigte DIEKMANN, dass das polymere Gate-Dielektrikum inoflex T3 durch die NaOH-Entwicklerlösung chemisch angegriffen wird [Die07]. Um folglich einen direkten Kontakt zwischen Entwickler und Dielektrikum zu verhindern, führten MEYERS et al. eine Schutzschicht, bestehend aus $20\ \text{nm Al}$, ein [MVB+17]. Auf dieser Schicht wird der Lack aufgeschleudert, belichtet und entwickelt und das Aluminium in den freigelegten Bereichen nasschemisch geätzt. Im nächsten Schritt kann die gewünschte Metallisierung ganzflächig aufgedampft werden. Aufgrund des Hochvakuums und der sich daraus ergebenden geringen Anzahl an Streuprozessen weist der Aufdampfprozess eine geringe Kon-

²Die detaillierten Parameter der Fotolackprozessierung sowie die genaue Zusammensetzung der Ätzlösungen sind in Anhang A.1 bzw. A.2 aufgelistet.

³Bestrahlungsdauer: $4\ \text{Minuten}$ bzw. $6 \times 40\ \text{s}$, jeweils gefolgt von einer einminütigen Pause zur Vermeidung einer übermäßigen Erhitzung [Vid17].

formität auf [Hil19]. Die daraus resultierende geringe Kantenbedeckung erlaubt es, dass der Lack im Anschluss durch eine Kombination aus Aceton und Ultraschall entfernt und die Metallisierung dadurch strukturiert werden kann. Die Integration der Kontaktelektroden wird durch das Entfernen der restlichen Al-Schutzschicht, gefolgt von einer Reinigungsprozedur in Aceton, Isopropanol und VE-Wasser abgeschlossen. An dieser Stelle sei anzumerken, dass für eine Strukturierung durch einen Lift-off-Prozess aufgrund der erforderlichen Al-Schutzschicht lediglich Materialien infrage kommen, die eine hohe Selektiv zur Al-Ätzlösung aufweisen. Demzufolge können Aluminium-Elektroden als ein gängiges Kontaktmetall für ZnO-TFTs nur durch einen Ätzprozess integriert werden.

Für das zur Verfügung stehende Maskenset (Bezeichnung: *SEN37*) wird für die Strukturierung der Kontaktelektroden durch einen Lift-off-Prozess eine positive Lackprozessierung benötigt, während ein Ätzprozess das Negativ dieser Maske erfordert.

Der letzte Prozessschritt besteht in der Deposition des Halbleiters. Die in dieser Arbeit verwendeten Nanopartikel liegen ausnahmslos in wasserbasierten Dispersionen vor. Wie VIDOR zeigte, weist die Oberfläche des polymeren Gate-Dielektrikums inoflex T3 im Anschluss an den nasschemischen Ätzprozess zum Strukturieren der Al-Kontakte bzw. Entfernen der Schutzschicht hydrophile Eigenschaften auf, die eine gute Benetzung mit der Nanopartikeldispersion ermöglichen [Vid17]. Die Methoden, die sich zum Aufbringen eines Halbleiters auf Basis einer wässrigen Dispersion eignen, werden in Abschnitt 3.5 vorgestellt.

Aufgrund der Vorteile hinsichtlich des Kontaktes zwischen Halbleiter und Drain-/Source-Elektroden ist die Integration von Bottom-Gate, Top-Contact TFTs erstrebenswert. Dazu erfolgt der Prozessablauf bis zur Integration des Gate-Dielektrikums analog zu dem für Bottom-Contact TFTs. Die für die Nanopartikel-Deposition erforderliche hydrophile Oberfläche des Dielektrikums wird dadurch erzielt, dass eine Opferschicht aus Aluminium ganzflächig aufgedampft und direkt vor dem Aufbringen der Halbleiterdispersion nasschemisch wieder entfernt wird. Anschließend können die Kontaktlöcher durch den Halbleiter und das Dielektrikum zur Gate-Elektrode geöffnet werden. Die Integration der Kontaktelektroden erfolgt anhand eines Lift-off-Prozesses.

Im Hinblick auf einen Einsatz in der flexiblen Elektronik ist eine erfolgreiche TFT-Integration auf biegsamen Substraten unerlässlich. An diese Substrate werden diverse Anforderungen wie eine bezüglich des Integrationsprozesses ausreichende Temperaturfestigkeit, eine geringe Oberflächenrauigkeit sowie eine Resistenz gegenüber den eingesetzten Ätzlösungen und Lösungsmitteln gestellt. Anwendungsspezifisch kann zudem eine opti-

sche Transparenz oder ein gewisser Grad an mechanischer Flexibilität gefordert sein. Glas, das Standardmaterial in der Flachbildschirm-Technologie, wird ab einer Dicke von einigen hundert Mikrometern flexibel und bietet Vorteile wie eine hohe optische Transparenz, eine glatte Oberfläche und eine hohe Temperaturstabilität. Allerdings sind solche Glasfolien sehr zerbrechlich und dementsprechend schwer zu verarbeiten [CW09],[Tao05]. Polymere, wie das häufig verwendete Polyethylenterephthalat (PET), ermöglichen eine kostengünstige, großflächige Integration im Rolle-zu-Rolle-Verfahren. PET-Folien sind lösungsmittelbeständig und bieten einen hohen Grad an Flexibilität. Als Nachteil kann neben der geringen Prozesstemperatur von 150 °C, bis zu der die Folien formstabil sind, die relativ hohe Durchlässigkeit für Wasser und Sauerstoff angesehen werden, die sich negativ auf die Lebensdauer eines Bauteils auswirkt [CW09],[YMG+10],[ZBR+11]. Der zuvor anhand eines oxidierten Si-Wafers beschriebene Integrationsprozess kann aufgrund einer Maximaltemperatur von lediglich 120 °C und der angewandten Prozesse bzw. der verwendeten Materialien dementsprechend direkt auf flexible Substrate übertragen werden.

3.5 Deposition des Halbleiters

Der bei der Integration von anorganischen TFTs am häufigsten angewandte Prozess zum Abscheiden von Metalloxiden ist die Kathodenzerstäubung [FBM12],[PMV+16]. Der Vorteil hierbei ist, dass die Deposition bei Raumtemperatur stattfinden kann, sodass auch die Beschichtung flexibler Substrate möglich ist, sowie die Variabilität des Prozesses selbst (DC-, HF-Sputtern) und dessen Parameter (Leistung, Druck). Insbesondere die Sauerstoffkonzentration beim reaktiven Sputtern kann die Eigenschaften der aufgetragenen Metalloxide beeinflussen. Die aufgetragenen Schichten weisen in der Regel eine hohe Qualität hinsichtlich ihrer Dichte und Haftung sowie eine gute Reproduzierbarkeit auf [PMV+16].

Als weitere Methoden zum Aufbringen hochqualitativer Metalloxide sind das Laserstrahlverdampfen (engl.: *Pulsed Laser Deposition*, kurz PLD) [PMV+16],[MN21] und die Atomlagenabscheidung (engl.: *Atomic Layer Deposition*, kurz ALD) [WNC+16],[TNK+20] zu nennen. Für eine Deposition mittels PLD ist ein Vakuum erforderlich; eine Atomlagenabscheidung erfolgt bei definierter Atmosphäre.

Die erforderlichen Atmosphären- bzw. Vakuumbedingungen sind aufgrund der daraus resultierenden hohen Anlagenkosten sowie der fehlenden Skalierbarkeit als ungeeignet für kostengünstige, großflächige und schnelle Integrationsverfahren anzusehen.

Im Gegensatz zu den zuvor genannten Prozessen bieten lösungsmittelbasierte Verfahren zur Abscheidung von Dünnschichten Vorteile wie eine relativ einfache Prozessführung, geringe Anlagenkosten und eine Skalierbarkeit hinsichtlich einer Verwendung beispielsweise im Rolle-zu-Rolle-Verfahren. Allgemein lassen sich dabei zwei Ansätze unterscheiden. Zum einen kann das Sol-Gel-Verfahren eingesetzt werden, bei dem ein Sol, basierend auf einem Präkursor aus in Lösungsmittel gelöstem Metallsalz, auf das Substrat aufgebracht und durch eine thermische Behandlung in das finale Material umgewandelt wird [XWX+15],[NT18]. Zum anderen besteht die Möglichkeit einer Verwendung von halbleitenden Nanopartikeln in einer Dispersion, wodurch die lösungsmittelbasierte Deposition eines Feststoffes möglich ist. In diesem Fall muss das beschichtete Substrat im Anschluss lediglich bei geringer Temperatur ausgeheizt werden, um das Lösungsmittel auszutreiben [FBM12],[XLX+18]. Allgemein werden mit dem Sol-Gel-Verfahren dichte Schichten sowie eine glatte Grenzfläche zwischen Halbleiter und Dielektrikum erzielt, es werden allerdings in der Regel Temperaturbehandlungen zur Umwandlung des Gels in ein Metalloxid benötigt, die nicht kompatibel zu flexiblen Substraten sind.

Dispergierte Nanopartikel lassen sich bereits bei geringen Temperaturen verarbeiten, naturgemäß besteht jedoch eine hohe Rauheit an der Grenzfläche zum Dielektrikum und es kann zu Leerstellen in der Schicht kommen. Beide Effekte beeinflussen den Ladungstransport durch die nanopartikuläre Schicht.

Für die Abscheidung von Dünnschichten aus der Flüssigphase stehen diverse Methoden zur Auswahl, die in Abbildung 3.9 schematisch dargestellt sind.

Auftropfen: Die simpelste Methode stellt das Auftropfen dar, bei der die Lösung auf die Substratoberfläche getropft wird, und das Lösungsmittel anschließend verdampft. In der Regel führt diese Methode aufgrund der ungleichmäßigen Verdampfung zu inhomogenen Schichten [DSB+14].

Schleuderbeschichtung: Ein aus der Halbleiterindustrie bekanntes Verfahren ist die Schleuderbeschichtung. Hierbei wird eine ganzflächige Schicht durch das gleichmäßige Verteilen der Lösung auf dem Substrat aufgrund der Zentrifugalkraft erzeugt. Die Schichtdicke wird dabei durch die Drehgeschwindigkeit, die Konzentration und die Viskosität bestimmt [DSB+14].

Drucken: Unter dem Begriff „Drucken“ werden verschiedene Methoden zusammengefasst. Ein mittlerweile auch im Bereich der flexiblen Elektronik weit verbreitetes Verfahren ist das Tintendruck. Diese Methode ermöglicht das strukturierte Aufbringen eines Ma-

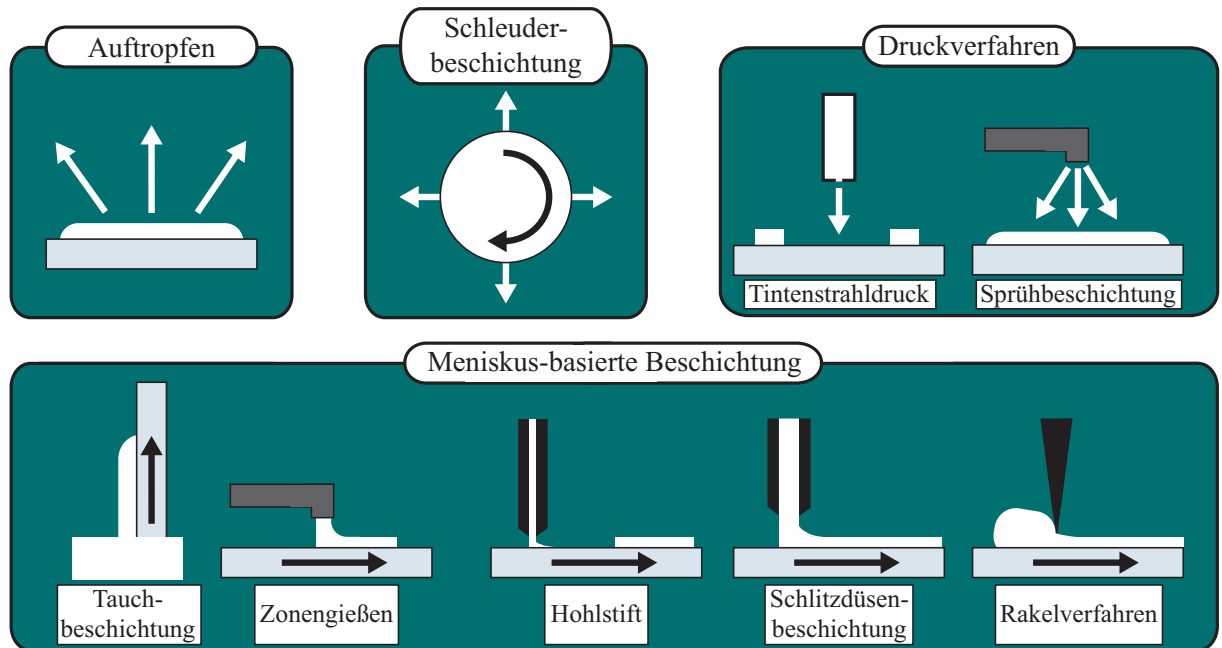


Abbildung 3.9: Schematische Darstellung lösungsmittelbasierter Depositionsmethoden, nach [DSB+14].

terials. Dabei werden die Tintentröpfchen durch ein Drop-on-Demand-System auf das Substrat gebracht. Eigenschaften wie die Viskosität und die Oberflächenspannung der zu druckenden Lösung beeinflussen die Schicht ebenso wie die Oberflächeneigenschaften des zu bedruckenden Substrats [DSB+14],[JBC+15]. Der Tintendruck stellt eine kostengünstige und zeitsparende Alternative zu herkömmlichen Lithografieprozessen dar, da der Materialverbrauch sinkt und zudem die Prozessschritte zur Strukturierung entfallen [PJM+20]. Eine vergleichbare Methode ist die Sprühbeschichtung, bei der die Dispersion durch Inertgase zerstäubt und zur Substartoberfläche transportiert wird. Diese Technik bietet eine hohe Skalierbarkeit und Flexibilität hinsichtlich der aufzubringenden Materialien. Allerdings ist sowohl die Dicke als auch die Rauigkeit der Schicht in der Regel höher als bei anderen Verfahren [AI15]. Des Weiteren besteht die Möglichkeit einer strukturierten Abscheidung einer Lösung durch die Verwendung eines Polymer-Stempels. Das Aufbringen einer Schicht mithilfe eines Pinsels, der zuvor in die Lösung getaucht wird, stellt eine weitere Methode dar.

Flüssigkeitsmeniskus: Bei Verfahren, die eine lineare Bewegung entweder des Substrats oder des Beschichtungswerkzeugs nutzen, erfolgt die Beschichtung anhand der Ausbildung eines Flüssigkeitsmeniskus. Ein Beispiel für diese Art der Schichtabscheidung ist die Tauchbeschichtung, bei der das Substrat senkrecht in die Lösung eingetaucht wird. Des

Weiteren können lösungsmittelbasierte Materialien durch Zonengießen, Hohlstift-, Düsen- oder Rakelbeschichtung aufgebracht werden [DSB+14]. Letztere soll im Rahmen dieser Arbeit auf ihre Eignung zum Aufbringen von Nanopartikel-Dispersionen analysiert werden und wird entsprechend im nachfolgenden Kapitel näher beschrieben.

3.5.1 Rakel-Verfahren

Bei dem Rakelprozess handelt es sich um ein skalierbares Verfahren, das kompatibel zu kostengünstigen und schnellen Rolle-zu-Rolle-Verfahren ist. Folglich soll in dieser Arbeit die Verwendung einer Rakel zur Deposition der halbleitenden Nanopartikelschicht evaluiert werden. Dazu wird im Folgenden zunächst das Rakelverfahren sowie das Prinzip der Schichtabscheidung beschrieben, bevor eine fachgebietsintern entwickelte Rakelanlage vorgestellt wird.

Der schematische Aufbau einer Rakelanlage wird in Abbildung 3.10 (a) veranschaulicht. Für die Durchführung des Rakelprozesses wird das zu beschichtende Substrat auf einem linear beweglichen Tisch befestigt. Auf der Substratoberfläche werden Abstandshalter aus Kaptonband befestigt, die dafür sorgen, dass sich die Rakel in einem festen Abstand über das Substrat bewegt. Zudem werden durch das Kaptonband gegebenenfalls vorhandene Drain-/Source-Elektroden vor der mechanischen Belastung durch die Rakel geschützt. Die befestigte Rakel wird auf den Abstandshaltern und ein Tropfen der Dispersion (Menge im μl -Bereich zur Beschichtung einiger cm^2) zwischen Rakel und Substrat platziert. Der Dispersionstropfen verteilt sich entlang der hydrophoben Rakelkante, sodass sich parallel zu dieser eine annähernd lineare Kontaktlinie bildet, die sich anschließend mit der Rakel über das Substrat bewegt. Die Verdunstung hat zur Folge, dass die Flüssigkeit in Richtung der Dreiphasengrenze strömt. Aufgrund dieser Strömung werden die Partikel ebenfalls zur Kontaktlinie transportiert und lagern sich dort ab (siehe Abbildung 3.10(b)). Durch die konstante Bewegung des Flüssigkeitsmeniskus bzw. der Kontaktlinie über die Substratoberfläche kann somit ein kontrolliertes Schichtwachstum durch konvektive Selbstanordnung erreicht werden. Je homogener dabei die Partikelgeometrien sind, desto geordneter ist die resultierende Schicht [Dru17].

Die Schichtqualität meniskusbasierender Depositionstechniken wird unter anderem durch die Eigenschaften der zu beschichtenden Oberfläche bestimmt [WIM+09]. VIDOR zeigte unter Anwendung der Schleuderbeschichtung einer wasserbasierten Dispersion, dass die Substratoberfläche hydrophile Eigenschaften aufweisen sollte, damit es zur kontinuierli-

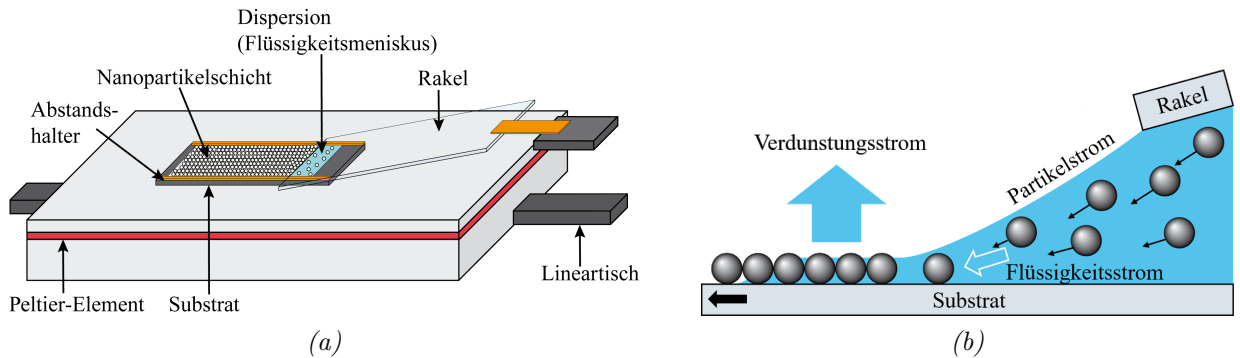


Abbildung 3.10: Schematische Darstellung (a) des Rakel-Verfahrens zur Deposition von Dünnschichten, sowie (b) der Anordnungsprozess der Partikel an der Dreiphasengrenze, nach [Dru17].

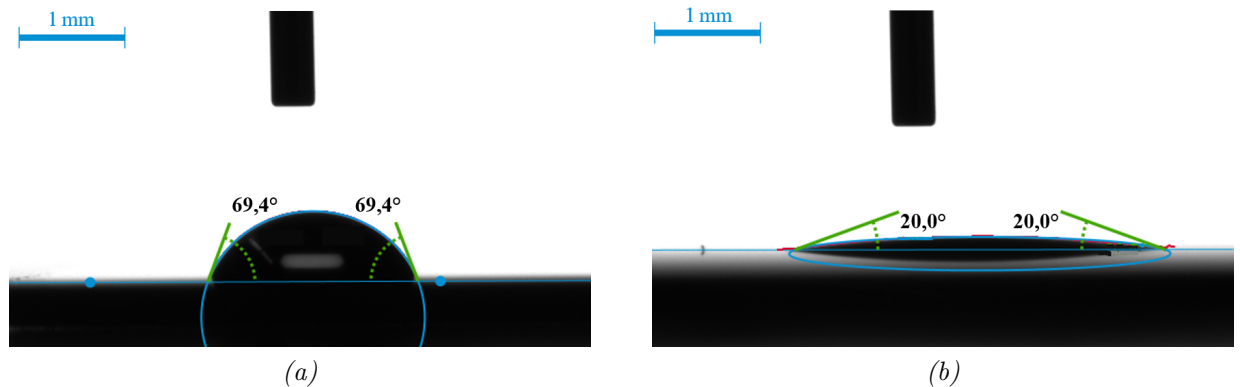


Abbildung 3.11: Kontaktwinkelmessungen des Gate-Dielektrikums inoflex T3 mithilfe eines Wassertropfens auf der (a) unbehandelten Oberfläche und (b) nach dem Ätzen des Aluminiums.

chen Ausbildung einer Nanopartikelschicht kommt [Vid17]. Dies ist auch beim Rakelprozess von Bedeutung, bei dem die Partikelablagerung bzw. das Schichtwachstum auf der Bewegung eines Flüssigkeitsmeniskus auf dem Substrat basiert. In Abbildung 3.11 sind dazu die Kontaktwinkel eines Wassertropfens auf dem Gate-Dielektrikum inoflex T3 dargestellt (gemessen mit dem Kontaktwinkelmessgerät DSA100 der Firma Krüss). Dabei zeigt sich, dass die Oberfläche des unbehandelten Nanokomposits einen Kontaktwinkel von $69,4^\circ$ aufweist, der sich durch das Entfernen einer Aluminiumschicht durch nasschemisches Ätzen auf 20° reduziert und damit die hydrophilen Eigenschaften verbessert. MEYERS veranschaulichte anhand von AFM-Aufnahmen, dass die Oberflächenrauigkeit des Gate-Dielektrikums nach dem Al-Ätzprozess von $0,3 - 1,1 \text{ nm}$ auf $1,7 - 2,1 \text{ nm}$ zunahm. Als mögliche Gründe wurden verbliebene Al-Rückstände, lokale Verspannungen aufgrund der Temperaturbelastung während des Aufdampfprozesses oder Wechselwirkungen zwi-

schen dem Nanokomposit und der Ätzlösung aufgeführt [Mey21]. Die Benetzbarkeit von hydrophilen Oberflächen mit Wasser verbessert sich mit zunehmender Rauigkeit, woraus der reduzierte Kontaktwinkel resultiert [MNF+00]. Dementsprechend wird bei der Prozessführung darauf geachtet, dass die Nanopartikeldeposition im Anschluss an einen Al-Ätzprozess erfolgt.

3.5.2 Aufbau einer Rakelanlage

Die fachgebietsintern entwickelte Rakelanlage besteht aus einem mechanischen Part, der einen Linearschlitten mit Spindelantrieb und einen Schrittmotor umfasst, sowie einer elektronischen Steuerung. Diese enthält einen Mikrocontroller, eine Ansteuerung für den Schrittmotor und das Heizelement, sowie ein LCD-Display.⁴ Die Rakelgeschwindigkeit kann im Bereich von $1\ \mu\text{m/s}$ bis $500\ \mu\text{m/s}$, und die Temperatur des Probenstriches zwischen $20\ ^\circ\text{C}$ und $100\ ^\circ\text{C}$ eingestellt werden.

Als Antrieb der Rakelanlage dient der Schrittmotor *QSH4218* der Firma Trinamic mit einem Schrittwinkel von $1,8^\circ$, woraus sich 200 Schritte für eine volle Umdrehung ergeben. Zudem wurde dieser Motor hinsichtlich eines Mikroschrittbetriebs optimiert [Tri07]. Dabei wird ein Vollschritt in Mikroschritte unterteilt, woraus ein gleichmäßigeres und ruhigeres Laufverhalten resultiert. Dies wird erreicht, indem die Phasen durch ein angenähertes diskretisiertes Sinussignal angesteuert werden. Die Verschiebung zwischen den beiden Phasen beträgt dabei 90° . Für die Steuerung der Rakelanlage wird ein Mikroschrittbetrieb implementiert, bei dem ein Vollschritt in acht Mikroschritte unterteilt wird.

Für die Umwandlung der Rotationsbewegung des Motors in eine lineare Bewegung wird eine Linearachse mit Trapezgewindespindel verwendet, die einen Nenndurchmesser von 8 mm und eine Steigung von 1,5 mm (Bezeichnung: TR 8×1,5) aufweist; eine volle Umdrehung der Spindel entspricht einer linearen Bewegung von 1,5 mm, das heißt, $7,5\ \mu\text{m}$ pro Schritt bzw. etwa ein Mikrometer pro Mikroschritt. Auf der Spindel befindet sich ein Schlitten, auf dem die zu beschichtende Probe befestigt und entsprechend der Drehrichtung des Motors vor und zurück gefahren werden kann. Die Rakel selbst besteht aus einem hydrophobisierten Glasobjektträger, der mithilfe eines Klebestreifens über dem Schrittmotor fixiert wird. Der mechanische Aufbau ist in Abbildung 3.12 dargestellt.

⁴Die Entwicklung der Rakelanlage zur Integration von lösungsmittelbasierten Dünnschichten fand in Kooperation mit Dmitry Petrov (Universität Paderborn) und Thorsten Meyers (Universität Paderborn) statt.

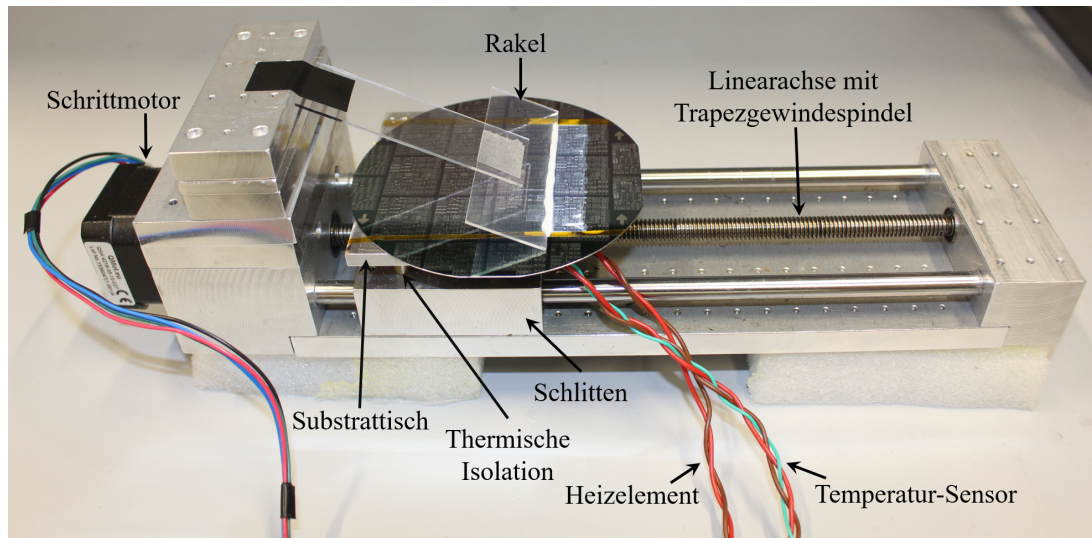


Abbildung 3.12: Mechanischer Aufbau der entwickelten Rakelanlage.

Für die Steuerung des Schrittmotors wird das Mikrocontroller-Board *Arduino Uno* eingesetzt. Dies ermöglicht die Software-Entwicklung durch die Verwendung der Open-Source-Entwicklungsumgebung *Arduino IDE*. Dabei stehen für eine Vielzahl an Peripheriegeräten Open-Source-Programmibibliotheken zur Verfügung, welche den Programmieraufwand erheblich reduzieren. Da die Leistung an den digitalen Anschlüssen des Mikrocontrollers nicht ausreicht, um den Motor direkt anzusteuern, ist ein Treiber in Form einer Motorsteuerungsplatine erforderlich. Hierfür wird das *Adafruit Motor Shield V2* verwendet, das mithilfe des integrierten PWM-Chips auch die Steuersignale für den Motor erzeugt.

Des Weiteren erfolgt die Implementierung einer Temperaturregelung für den Substrattisch. Als Hardware dient eine selbstklebende Heizfolie, die auf der Unterseite des Tisches angebracht wird. Das Folienmaterial aus Polyimid weist dabei eine Temperaturbeständigkeit bis ca. 150°C auf [Win13]. Um die Heizleistung zu reduzieren, wurde der Tisch thermisch vom Schlitten isoliert (siehe Abbildung 3.12). Außerdem ist für die Temperaturüberwachung ein Sensor erforderlich, der ebenfalls am Substrattisch angebracht wird. Der digitale Temperatursensor (*DS18B20*) liefert eine Auflösung von 9 Bit bzw. 0,5°C [Max19]. Für die Temperaturregelung wird ein PID-Regler implementiert, der die Abweichung der gemessenen Temperatur vom eingestellten Soll-Wert über die Stellgröße bzw. die Spannung an der Heizfolie regelt.

Die Benutzerschnittstelle wird aus einer Kombination von LCD-Display und Tastern realisiert. Eine zur Arduino-Plattform kompatible Lösung stellt das Modul *Adafruit RGB LCD Shield* dar, das sowohl fünf frei programmierbare sowie einen Reset-Taster als auch

ein 16×2-LCD-RGB-Display enthält. Auch hierfür stehen wieder quelloffene Bibliotheken zur Verfügung.

Aktuell befindet sich eine neue Version der Rakelsteuerung in der Entwicklung. Dabei wird die Hardware, die bislang aus mehreren verdrahteten Einzelkomponenten besteht, auf einer selbst entworfenen Platine zusammengeführt, um den Verdrahtungsaufwand zu reduzieren und somit die Langlebigkeit und die Mobilität der Rakelanlage zu verbessern.⁵

⁵Die Ergebnisse bezüglich der Implementierung und Optimierung der Rakelanlage wurden teilweise in [12] veröffentlicht.

Nanopartikel-basierte Dünnschichttransistoren

Nachdem im vorangegangenen Kapitel die Integration von Einzeltransistoren beschrieben wurde, erfolgt in diesem Kapitel deren Charakterisierung. Dazu wird in Abschnitt 4.1 zunächst das Rakelverfahren anhand von TFTs mit ZnO-Nanopartikeln evaluiert. Anschließend werden ZnO-Schichten durch Tintendruck abgeschieden und die resultierenden Transistoren charakterisiert. Neben den Verfahren zur Nanopartikeldeposition wird zudem der Einfluss des Kontaktmetalls und der Gate-Metallisierung auf das Transistorverhalten untersucht. Eine Beurteilung der Kontakteigenschaften erfolgt sowohl durch die herkömmlichen Parameter als auch durch den Kontaktwiderstand.

Abschnitt 4.2 befasst sich mit der Charakterisierung von p-leitenden TFTs basierend auf CuO-Nanopartikeln. Dazu wird zunächst ein kleiner Überblick über den Stand der Technik gegeben, bevor Bottom-Contact TFTs mit Nanopartikeln verschiedener Hersteller integriert und analysiert werden. Im Zuge dessen wird das Kontaktmetall variiert und durch selbstorganisierende Monolagen behandelt. Anschließend wird die Integration der CuO-TFTs auf ein flexibles Substrat übertragen. Da Top-Contact Architekturen aufgrund ihrer vergrößerten Kontaktfläche zwischen Halbleiter und Kontaktelektroden in der Regel eine gesteigerte Leistungsfähigkeit aufweisen, werden CuO-TFTs entsprechend dieser Bauweise hergestellt und analysiert.

4.1 TFTs mit n-leitendem ZnO

Die in dieser Arbeit verwendeten ZnO-Nanopartikeln wurden bereits in Arbeiten von VIDOR eingesetzt und zeigten dort vielversprechende Ergebnisse, wie beispielsweise eine Feldeffektladungsträgerbeweglichkeit von $\mu_{FE} = 3,7 \text{ cm}^2(\text{Vs})^{-1}$ und eine Strommodulation I_{ON}/I_{OFF} von 10^7 bei einer maximalen Prozessstemperatur von 115°C [Vid17]. Dabei handelt es sich um das kommerziell erhältliche Produkt ZN-3014 A der Firma Nanophase Corp., bei dem vornehmlich sphärische Partikel mit einem mittleren Durchmesser von

70 nm in einer wässrigen Dispersion vorliegen [Nan16].

Metalloxid-Halbleiter sind für die Interaktion mit Gasen in ihrer Umgebung bekannt. Dieser Umstand wird in Gassensoren ausgenutzt [BHK20], kann aber auch zu ungewollten Instabilitäten elektrischer Bauteile führen [YMS+17]. Insbesondere Nanostrukturen verstärken diesen Effekt aufgrund ihres hohen Oberfläche-zu-Volumen-Verhältnisses [XPS+00],[CUB+18]. ZnO als n-Halbleiter reagiert auf oxidierende Gase mit einer Widerstandserhöhung, die dadurch hervorgerufen wird, dass Sauerstoffmoleküle an der ZnO-Oberfläche adsorbieren. Der adsorbierte Sauerstoff bindet dabei Elektronen aus dem Leitungsband und verringert somit die Leitfähigkeit des Materials. Bei reduzierenden Gasen kehrt sich der Effekt entsprechend um, d.h. das umgebende Gas reagiert mit dem adsorbierten Sauerstoff, sodass die zuvor gebundenen Elektronen wieder in das Leitungsband zurückkehren und damit zu einer Widerstandsreduzierung führen [EKS+09],[BHK20]. Basierend auf der Arbeit von VIDOR wird deshalb zur Stabilisierung der ZnO-Nanopartikel-schicht eine Kombination aus einer Bestrahlung mit UV-Licht und einer Lagerung in Umgebung mit hoher Luftfeuchtigkeit ($> 50\%$) durchgeführt. Dabei wird der adsorbierte Sauerstoff während der UV-Bestrahlung von der ZnO-Oberfläche gelöst und diese im Anschluss durch Wassermoleküle neutralisiert, wodurch eine erneute Adsorption von Sauerstoff verhindert wird [Vid17].

4.1.1 Evaluierung des Rakelverfahrens als Nanopartikel-Depositionsmethode

Im Folgenden wird das Rakelverfahren bezüglich einer Verwendung für die Nanopartikel-Deposition evaluiert. Dazu wird der Einfluss der Rakelgeschwindigkeit zunächst auf das elektrische Verhalten von Bottom-Gate, Bottom-Contact und anschließend auf Top-Contact TFTs mit einer Drain-/Source-Metallisierung aus jeweils 150 nm Al analysiert.¹ Die Herstellung der Bauteile erfolgt anhand der in Kapitel 3.4 beschriebenen Routine. Der Rakelprozess wird unter Umgebungsbedingungen durchgeführt und das Lösungsmittel im Anschluss für eine Stunde im Umluftofen bei 115 °C verdampft. Abschließend wird eine UV-/Luftfeuchtigkeitsbehandlung zur Stabilisierung der ZnO-Schicht durchgeführt.

Die in Abbildung 4.1 dargestellten Kennlinien zeigen das elektrische Verhalten von TFTs, deren ZnO-Deposition bei einer Rakelgeschwindigkeit von 10, 50 bzw. 100 $\mu\text{m/s}$

¹Die Ergebnisse bezüglich der Integration von ZnO-Nanopartikeln als halbleitende Schicht in Dünnschichttransistoren durch eine Rakelprozess wurde teilweise in [24] veröffentlicht.

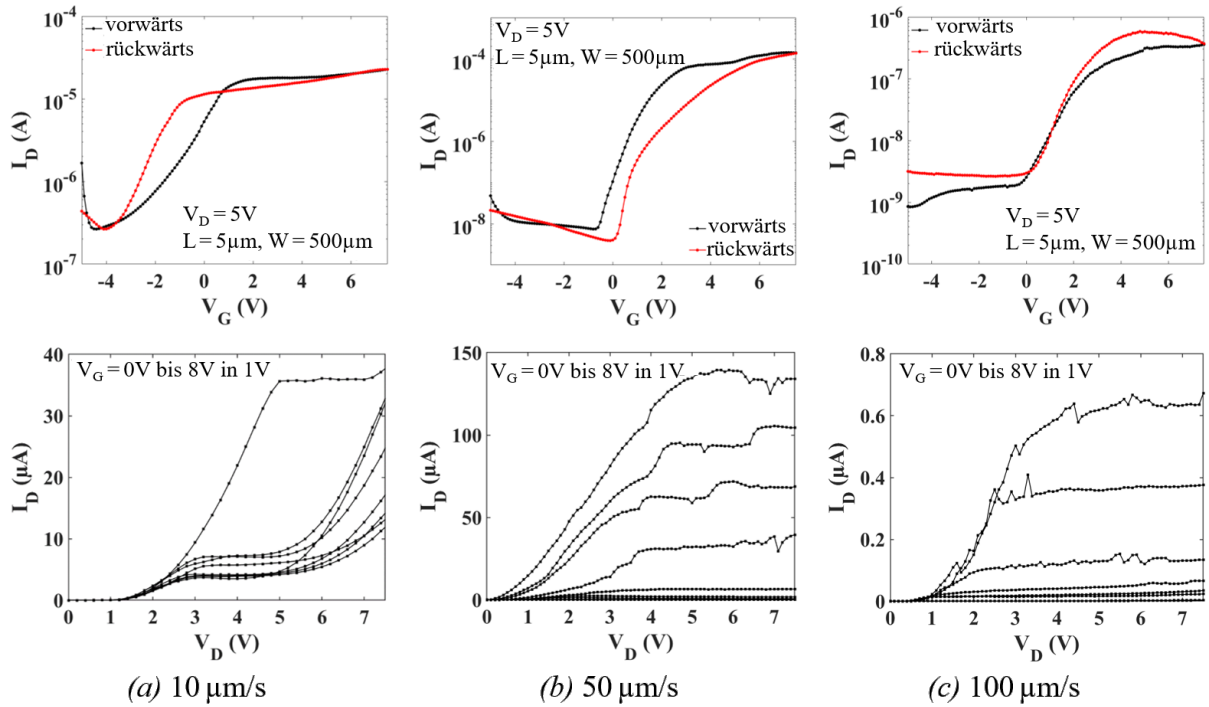


Abbildung 4.1: Vergleich der Transferkennlinien (oben) und Ausgangskennlinienfelder (unten) von TFTs mit Bottom-Gate, Bottom-Contact Architektur. Die Deposition der ZnO-Nanopartikel erfolgte bei Rakelgeschwindigkeiten von (a) $10 \mu\text{m/s}$, (b) $50 \mu\text{m/s}$ und (c) $100 \mu\text{m/s}$.

erfolgte. Für eine Geschwindigkeit von $10 \mu\text{m/s}$ (Abbildung 4.1 (a)) erreicht der Strom zwar einen adäquaten Maximalwert im Bereich von 10^{-5}A , der Strom im ausgeschalteten Zustand beträgt jedoch $2 \cdot 10^{-7}\text{A}$, sodass sich die Strommodulation zu lediglich etwa 10^2 ergibt. Die Schwellenspannung V_{Th} bzw. die Einschaltspannung V_{ON} liegt in Vorwärtsmessrichtung bei $-1,4\text{V}$ bzw. $-4,4\text{V}$ und verschiebt sich in Rückwärtsmessrichtung auf -3V bzw. $-4,1\text{V}$, sodass es zu einer Hysterese von $\Delta V_{ON} = 0,3\text{V}$ bzw. $\Delta V_{Th} = 1,6\text{V}$ kommt. Die Ladungsträgerbeweglichkeit μ_{FE} beträgt $0,4\text{cm}^2(\text{Vs})^{-1}$ und der Subschwel-lenspannungsstromanstieg S wird zu $3,8\text{V/Dek}$ bestimmt. Anhand des Ausgangskennlinienfelds wird deutlich, dass das Gate-Potential seinen Einfluss auf den Drain-Strom bei steigender Drain-Spannung verliert, sodass für kleine Gate-Spannungen keine Sättigung erreicht wird.

Wird die Rakelgeschwindigkeit auf $50 \mu\text{m/s}$ erhöht, verringert sich entsprechend die Dicke der Nanopartikelschicht und man erhält Transistoren mit einem Verhalten gemäß Abbildung 4.1 (b). Aus der Transferkennlinie lässt sich eine verbesserte Strommodulation von ca. $3 \cdot 10^4$ extrahieren, die in erster Linie aus dem deutlich verringerten Sperrstrom im

Tabelle 4.1: Vergleich der Transistorparameter von Bottom-Gate, Bottom-Contact ZnO-Nanopartikel-TFTs bei variierender Rakelgeschwindigkeit. Die Kanallänge beträgt jeweils 5 μm , die Kanalweite 500 μm und die Drain-Spannung 5 V.

v_{Rakel} [$\mu\text{m/s}$]	V_{ON} [V]	ΔV_{ON} [V]	V_{Th} [V]	$I_{\text{ON}}/I_{\text{OFF}}$	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
10	-4,4	0,3	-1,4	10^2	0,4	3,8
50	-0,8	0,7	0,4	$3 \cdot 10^4$	1,3	0,5
100	-0,2	0,2	0,2	$2 \cdot 10^2$	0,01	1,6

Bereich von 10^{-9}A resultiert. Die Schwellenspannung V_{Th} beträgt in Vorwärtsmessrichtung 0,4 V und in Rückwärtsmessrichtung 1,7 V ($\Delta V_{\text{Th}} = 1,3\text{V}$); die Einschaltspannung V_{ON} verschiebt sich ebenfalls in Richtung positiver Gate-Spannungen auf Werte von -0,8 V in Vorwärts- und -0,1 V in Rückwärtsmessrichtung ($\Delta V_{\text{Th}} = 0,7\text{V}$). Mit $\mu_{\text{FE}} = 1,3\text{cm}^2(\text{Vs})^{-1}$ hat sich die Ladungsträgerbeweglichkeit verdreifacht und der Subschwelligkeitsstromanstieg auf lediglich 0,5 V/Dek stark reduziert. Zudem kann anhand des Ausgangskennlinienfeldes die Steuerbarkeit durch die Gate-Spannung ebenso wie ein deutlich ausgeprägter Sättigungsbereich festgestellt werden.

Da mit einer Erhöhung der Rakelgeschwindigkeit von 10 $\mu\text{m/s}$ auf 50 $\mu\text{m/s}$ eine deutliche Performancesteigerung der TFTs erzielt werden konnte, wird nun eine Depositionsgeschwindigkeit von 100 $\mu\text{m/s}$ analysiert. Eine repräsentative Kennlinie eines solchen Transistors ist in Abbildung 4.1 (c) dargestellt. Während der Sperrstrom nur geringfügig unter dem des bei 50 $\mu\text{m/s}$ gerakelten TFTs liegt, ist der On-Strom mit ca. $3 \cdot 10^{-7}\text{A}$ nahezu drei Dekaden geringer. Dies schlägt sich sowohl in der Strommodulation ($I_{\text{ON}}/I_{\text{OFF}} = 2 \cdot 10^2$) als auch in der Ladungsträgerbeweglichkeit ($\mu_{\text{FE}} = 0,01\text{cm}^2(\text{Vs})^{-1}$) nieder. Aus der geringeren Schichtdicke resultieren weniger zusammenhängende Strompfade und dementsprechend insgesamt geringere Stromstärken im Vergleich zu den Geschwindigkeiten zuvor. Zudem kann eine weitere Verschiebung der Schwellenspannung auf $V_{\text{Th}} = 0,2\text{V}$ in Vorwärts- bzw. $V_{\text{Th}} = 0,5\text{V}$ in Rückwärtsmessrichtung ($\Delta V_{\text{Th}} = 0,3\text{V}$), sowie der Einschaltspannung auf $V_{\text{ON}} = -0,2\text{V}$ bzw. $V_{\text{ON}} = 0\text{V}$ ($\Delta V_{\text{ON}} = 0,2\text{V}$) beobachtet werden. Der Subschwelligkeitsstromanstieg beträgt in diesem Fall 1,6 V/Dek. Auch hier ist wieder ein eindeutiger Sättigungsbereich vorhanden. Alle drei Ausgangskennlinienfelder weisen einen nicht-linearen Anlaufbereich auf. Dies bedeutet, dass sich an den Elektroden Schottky-Kontakte bilden, die eine nicht-lineare Ladungsträgerinjektion bewirken [LFA+21]. Die elektrischen Parameter der vorgestellten TFTs sind in Tabelle 4.1 zusammengefasst.

Abbildung 4.2 verdeutlicht, dass sich das Leckstromverhalten des Gate-Dielektrikums

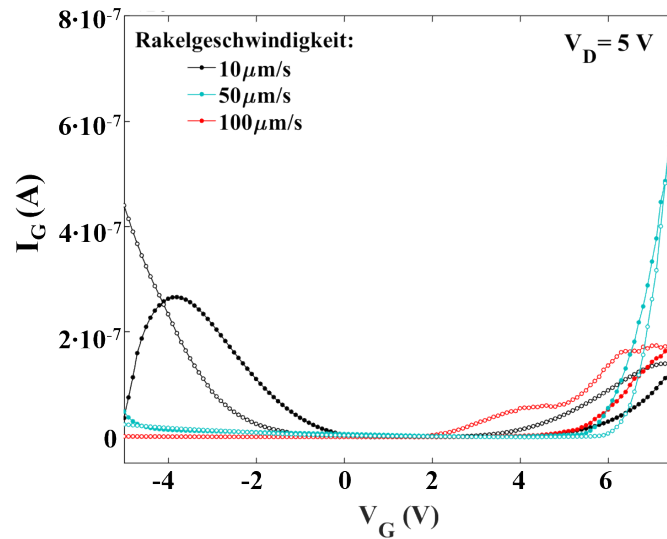


Abbildung 4.2: Gate-Leckströme der bei unterschiedlichen Geschwindigkeiten (10 $\mu\text{m/s}$, 50 $\mu\text{m/s}$ und 100 $\mu\text{m/s}$) gerakelten Bottom-Gate, Bottom-Contact TFTs.

durch die mechanische Beanspruchung während des Rakel-Prozesses nicht verschlechtert und für alle drei untersuchten Rakelgeschwindigkeiten vergleichbar ist. Dies bestätigt zudem die Annahme, dass der Off-Strom durch die Anzahl an Strompfaden bzw. Leitfähigkeit der ZnO-Schicht bestimmt wird. Folglich eignet sich Kaptonband mit einer Dicke von 70 μm als Abstandshalter, um sowohl das Dielektrikum als auch die bereits integrierten Drain-/Source-Elektroden vor einem direkten Kontakt mit der Rakel zu schützen.

Der Zusammenhang zwischen der Schichtdicke des Halbleiters und sowohl der Strommodulation als auch der Schwellenspannung wurde von WOLFF anhand von Simulationen einer Top-Contact Transistorstruktur nachgewiesen [Wol11] und kann in dieser Arbeit anhand der charakterisierten TFTs, hergestellt mit variierenden Rakelgeschwindigkeiten, bestätigt werden. Dabei begrenzt die Schichtdicke das Sperrverhalten des Transistors und damit auch die Strommodulation. Dies bedeutet, dass es mit zunehmender Dicke der Halbleiterschicht zu Strompfaden zwischen Drain- und Source-Elektrode kommt, die kaum durch das Gate-Potential gesteuert werden können. Zudem wird gezeigt, dass sich die Schwellenspannung mit steigender Halbleiterschichtdicke in der Weise verschiebt, dass die Transistoren selbstleitend werden und somit immer höhere Gate-Spannungen zum Ausschalten des Transistors erforderlich sind.

Die für Bottom-Contact TFTs optimale Rakelgeschwindigkeit für die Deposition von in Wasser dispergierten Nanopartikeln wird anhand der zuvor gewonnenen Erkenntnisse zu 50 $\mu\text{m/s}$ bestimmt. Die entsprechenden TFTs zeigen ein elektrisches Verhalten, das vergleichbar mit dem von Transistoren aus vorangegangenen Arbeiten ist, bei denen der

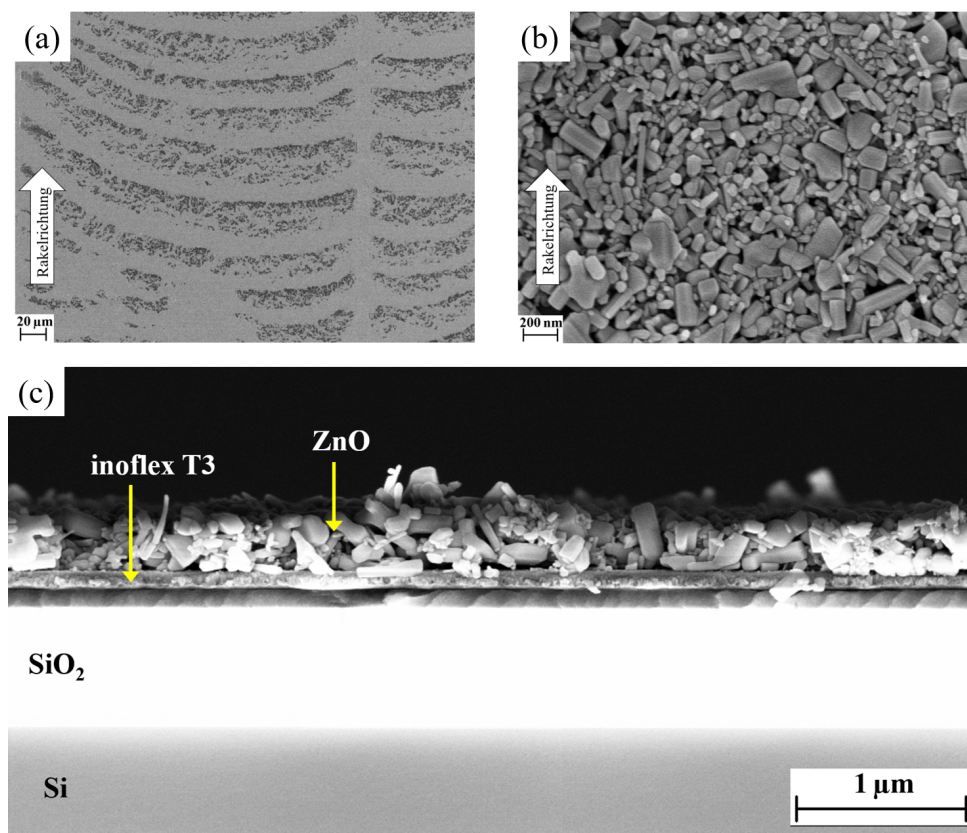


Abbildung 4.3: REM-Aufnahme einer gerakelten ZnO-Nanopartikel-Schicht; (a) makroskopische Betrachtung und (b) vergrößerte Darstellung eines Streifens. (c) REM-Querschnittsaufnahme einer gerakelten ZnO-Schicht, aufgebracht mit einer Rakelgeschwindigkeit von 50 µm/s bei Raumtemperatur auf einem mit inoflex T3 beschichteten oxidierten Si-Wafer.

Halbleiter durch Schleuder- oder Sprühbeschichtung integriert wurde [Vid17].

Die entsprechende makroskopische Rasterelektronenmikroskop (REM)-Aufnahme der gerakelten ZnO-Nanopartikel-Schicht ist in Abbildung 4.3 (a) abgebildet. Dabei können Streifen beobachtet werden, die in regelmäßigem Abstand auftreten. Diese Streifen in einer Nanopartikelschicht wurden bereits von WATANABE et al. und DRUDE bei dem Einsatz von Depositionsmethoden basierend auf einem Flüssigkeitsmeniskus beobachtet [WIM+09],[Dru17]. Die Breite hängt dabei von der Partikelkonzentration in der Dispersion, der Rakelgeschwindigkeit und der Oberflächenspannung ab. Der Streifenabstand hingegen wird bestimmt durch die Streifendicke, die Oberflächenspannung und die Oberflächeneigenschaften des Substrats [WIM+09]. Der Einfluss auf die elektrischen Eigenschaften der TFTs konnte nicht untersucht werden, da die Streifen unter dem Lichtmikroskop des Messplatzes nicht sichtbar sind. Eine vergrößerte Darstellung der beschichteten Ober-

fläche ist in Abbildung 4.3 (b) zu sehen. Hier wird die Variation in der Partikelgeometrie deutlich. Anhand der REM-Aufnahme des Querschnitts der gerakelten ZnO-Schicht (siehe Abbildung 4.3 (c)), die auf einem mit dem Gate-Dielektrikum inoflex T3 beschichteten oxidierten Si-Wafer aufgebracht wurde, ist erkennbar, dass die Nanopartikelschicht zwar recht dicht gepackt ist, allerdings weist sie auch eine hohe Rauigkeit auf. So kann auch die Schichtdicke lediglich in einem Bereich zwischen 200 nm und 350 nm angegeben werden. Es wird auch hier deutlich, dass die Nanopartikel selbst mitunter signifikant sowohl von der sphärischen Form als auch von dem angegebenen durchschnittlichen Durchmesser von 70 nm abweichen. Diese ungleichen Partikelgeometrien erschweren eine gleichmäßige Schichtbildung.

Da das Resultat des Rakelprozesses unter anderem von den Oberflächeneigenschaften des zu beschichtenden Substrats abhängt, ist davon auszugehen, dass sich die Partikelablagerung bei Bottom-Contact TFTs zu der bei Top-Contact Transistoren unterscheidet, da bei letzteren die Deposition auf der unstrukturierten ebenen Oberfläche des Dielektrikums erfolgt. Im Folgenden wird deshalb der Einfluss der Depositionsgeschwindigkeit auf die Eigenschaften von Top-Contact TFTs untersucht. Ausgehend von den vorherigen Versuchen wird zunächst eine Geschwindigkeit von 50 $\mu\text{m/s}$ zum Aufbringen der Nanopartikel gewählt. Im Anschluss an die UV-/Luftfeuchtigkeitsbehandlung erfolgt die Strukturierung der Drain-/Source-Elektroden durch einen Lift-Off-Prozess, gefolgt von einer weiteren UV-/Luftfeuchtigkeitsbehandlung.

Die resultierenden Kennlinien eines solchen TFTs zeigt Abbildung 4.4 (a). In Vorwärtsmessrichtung lässt sich eine Schwellenspannung V_{Th} von 3,8 V und eine Einschaltspannung V_{ON} von 2,6 V bestimmen. Für die Messung in entgegengesetzter Richtung ergeben sich die Werte $V_{Th} = 2,7 \text{ V}$ und $V_{ON} = 1,2 \text{ V}$, entsprechend beträgt die Hysterese $\Delta V_{Th} = 1,1 \text{ V}$ bzw. $\Delta V_{ON} = 1,4 \text{ V}$. Der Subschwelligkeitsstromanstieg beträgt 0,15 V/Dek, die Strommodulation I_{ON}/I_{OFF} liegt bei $7 \cdot 10^5$ und für die Feldeffektbeweglichkeit μ_{FE} wird ein Wert von $0,04 \text{ cm}^2(\text{Vs})^{-1}$ ermittelt. Insgesamt kann im Vergleich zu den zuvor betrachteten Bottom-Contact TFTs eine deutliche Reduzierung des Off-Stromes beobachtet werden, was aufgrund der zwischen Elektroden und Dielektrikum befindlichen Halbleiterschicht, welche von den Ladungsträgern zusätzlich durchquert werden muss, typisch für Top-Contact Transistoren ist. Allerdings ist auch der On-Strom trotz des strukturbedingten reduzierten Kontaktwiderstands etwa zwei Dekaden geringer. Dies lässt darauf schließen, dass die Nanopartikelschicht dünn, bzw. die Anzahl an leitfähigen Pfaden gering ist. Das Ausgangskennlinienfeld weist einen deutlichen Sättigungsbereich

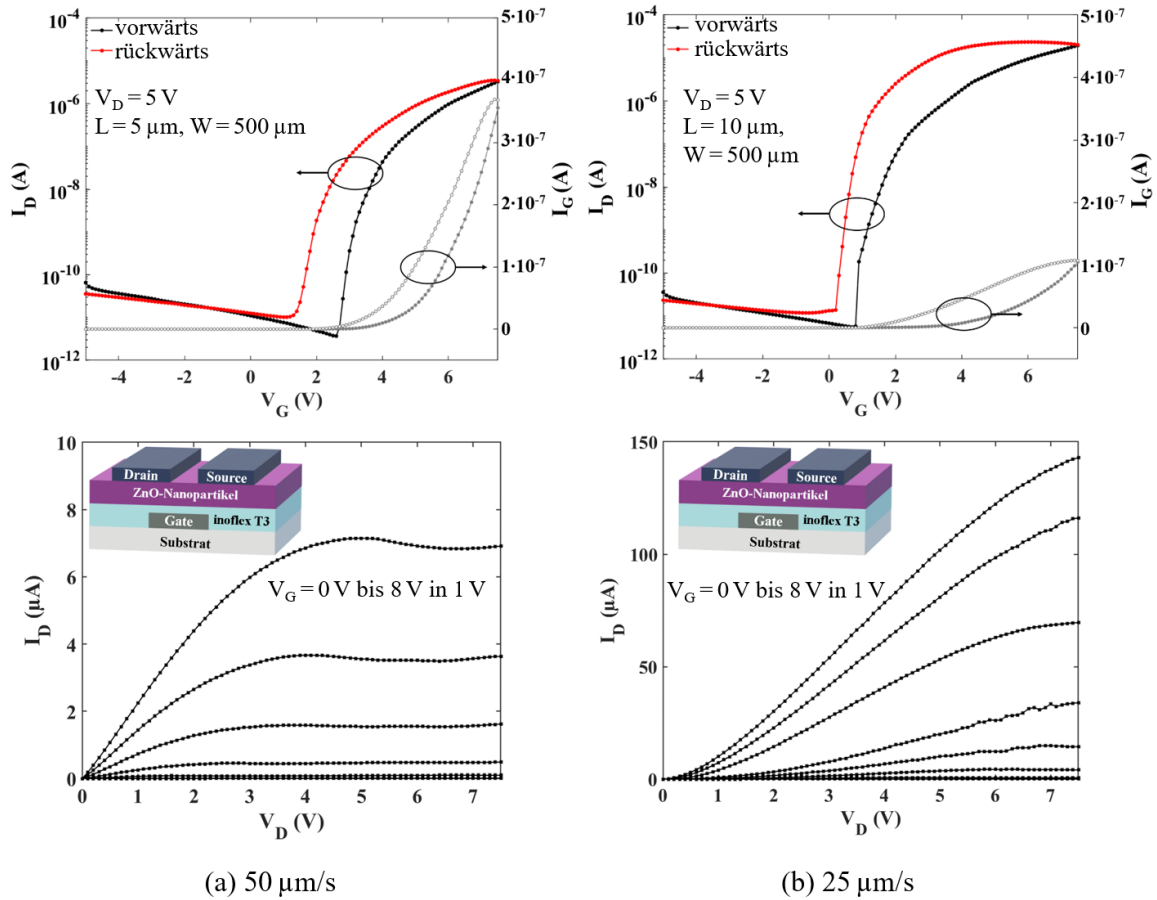


Abbildung 4.4: Vergleich der Transferkennlinien (oben) und Ausgangskennlinienfelder (unten) von TFTs mit Bottom-Gate, Top-Contact Architektur. Die Rakelgeschwindigkeit betrug (a) $50\text{ }\mu\text{m/s}$ bzw. (b) $25\text{ }\mu\text{m/s}$.

auf. Folglich wird die Rakelgeschwindigkeit im nächsten Schritt auf $25\text{ }\mu\text{m/s}$ reduziert. Aus der Transferkennlinie (siehe Abbildung 4.4 (b)) kann in Vorwärtsmessrichtung eine Einschaltspannung von $V_{ON} = 0,7\text{ V}$ sowie eine Schwellenspannung von $V_{Th} = 2,4\text{ V}$ bestimmt werden. Die Strommodulation erhöht sich aufgrund des gesteigerten Drain-Stromes bei annähernd gleichem Sperrstrom auf $I_{ON}/I_{OFF} = 3 \cdot 10^6$, die Ladungsträgermobilität verbessert sich auf $\mu_{FE} = 0,6\text{ cm}^2(\text{Vs})^{-1}$ und der Subschwelligensstromanstieg liegt bei $S = 0,25\text{ V/Dek}$. In Rückwärtsmessrichtung verschiebt sich die Kennlinie mit einer Hysterese ($\Delta V_{Th} = 1,6\text{ V}$ und $\Delta V_{ON} = 0,5\text{ V}$) entgegen des Uhrzeigersinnes.

Während die Strommodulation sowie der Subschwelligensstromanstieg im Vergleich zu den zuvor diskutierten Bottom-Contact TFTs deutlich verbessert werden konnten, ist die Ladungsträgerbeweglichkeit der Top-Contact Transistoren etwas geringer. Dies wird auf den um etwa eine Dekade geringeren On-Strom zurückgeführt. Es wird angenommen, dass die Partikelanlagerung in großem Maße davon abhängt, ob der Rakelprozess

Tabelle 4.2: Vergleich der Transistorparameter von Bottom-Gate, Top-Contact ZnO-Nanopartikel-TFTs bei variierender Rakelgeschwindigkeit. Die angelegte Drain-Spannung V_D beträgt 5 V.

v_{Rakel} [$\mu\text{m/s}$]	V_{ON} [V]	ΔV_{ON} [V]	V_{Th} [V]	$I_{\text{ON}}/I_{\text{OFF}}$	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
25	0,7	0,5	2,4	$3 \cdot 10^6$	0,6	0,25
50	2,6	1,4	3,8	$7 \cdot 10^5$	0,04	0,15

auf einer strukturierten (Bottom-Contact) oder einer ebenen (Top-Contact) Oberfläche durchgeführt wird. Dabei kommt es bei Bottom-Contact TFTs an Elektrodenkanten und damit im Kanalbereich zu einer erhöhten Partikelablagerung und damit zu einem erhöhten Stromfluss zwischen Drain- und Source-Elektroden, der auch die Ladungsträgerbeweglichkeit beeinflusst.

Eine Übersicht über die ermittelten Transistor-Parameter gibt Tabelle 4.2.

Aus den beiden Ausgangskennlinienfeldern kann anhand der Kurvenverläufe im Anlaufbereich im Vergleich zu den zuvor betrachteten Bottom-Contact TFTs auf einen geringeren Kontaktwiderstand zwischen Drain-/Source-Elektroden und dem nanopartikulären Halbleiter geschlossen werden. Dies resultiert aus einer vergrößerten Kontaktfläche durch die Deposition der Kontaktmetallisierung auf dem Halbleiter, wodurch die interpartikulären Lücken gefüllt werden. Während der mit einer Geschwindigkeit von $50 \mu\text{m/s}$ hergestellte TFT einen deutlichen Sättigungsbereich aufweist, deutet das Kennlinienfeld des mit $25 \mu\text{m/s}$ integrierten Transistors eine Sättigung lediglich durch eine leichte Rechtskrümmung an.

Das bessere Injektionsverhalten des Top-Contact TFTs soll mithilfe von Abbildung 4.5 verdeutlicht werden, die die Funktion des Leitwertes $G(V_D) = I_D/V_D$ des Bottom-Contact (Abbildung 4.5 (a)) mit der des Top-Contact TFTs (Abbildung 4.5 (b)) der zuvor diskutierten Transistoren mit einer Rakelgeschwindigkeit von $50 \mu\text{m/s}$ vergleicht. Der Gesamtwiderstand eines TFTs setzt sich gemäß Formel 2.15 aus dem Kontaktwiderstand und dem Kanalwiderstand zusammen. Ist der Kontaktwiderstand gegenüber dem Kanalwiderstand vernachlässigbar gering, zeigt die Funktion $G(V_D)$ mit steigender Drain-Spannung eine lineare Abnahme des Leitwertes. Der Kontaktwiderstand eines TFTs wird durch Oberflächendipole, Grenzflächenzustände am Interface sowie durch eine Energiebarriere zwischen Kontakt und Halbleiter (Schottky-Barriere) verursacht [LMX+15]. Dieser Schottky-Kontakt hat eine nicht-lineare Ladungsträgerinjektion zur Folge und verursacht den Anstieg des Leitwertes für kleine Drain-Spannungen (Bereich I, kontaktbegrenzter

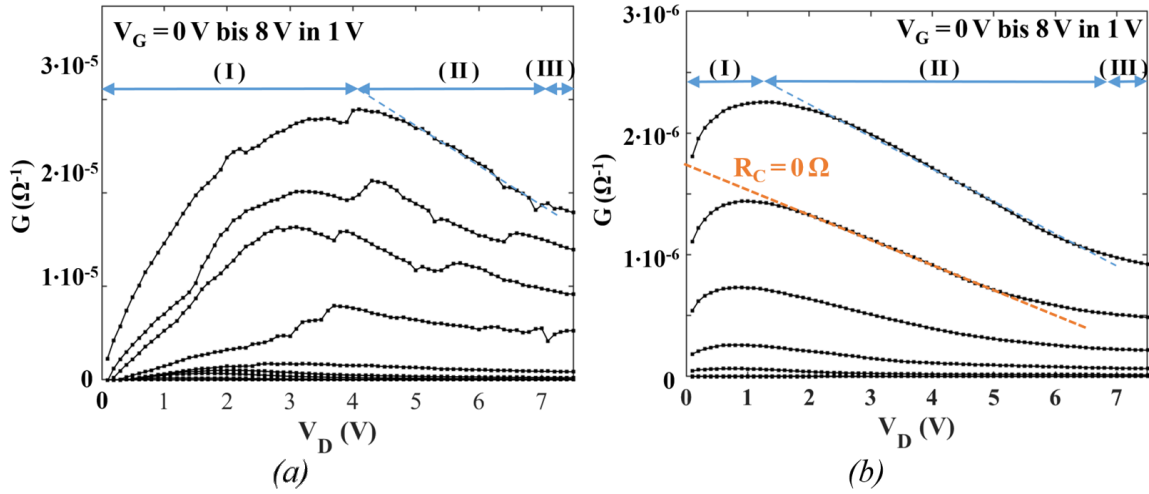


Abbildung 4.5: Vergleich der Leitwerte ermittelt aus den Ausgangskennlinienfeldern des (a) Bottom-Contact TFTs und des (b) Top-Contact TFTs (beide $L = 5 \mu\text{m}$, $W = 500 \mu\text{m}$). Die Rakelgeschwindigkeit betrug jeweils $50 \mu\text{m/s}$. In Orange ist der Verlauf des Leitwertes für einen Ohmschen Kontakt dargestellt.

Bereich), bis ein Maximum erreicht wird ($R_C = R_{Kanal}$). In Bereich II nimmt $G(V_D)$ näherungsweise linear ab (verdeutlicht durch die blaue gestrichelte Linie). Das heißt, in diesem Bereich dominiert der Kanalwiderstand den Ladungstransport und der Kontaktwiderstand wird vernachlässigbar gering. Bereich III entspricht dem Sättigungsbereich [LMX+15],[LHX+16]. Es wird zum einen deutlich, dass bei beiden TFTs ein Schottky-Kontakt vorliegt. Zum anderen ist der Bereich, indem der Kontaktwiderstand den Gesamtwiderstand dominiert für den Top-Contact TFT deutlich kürzer bzw. das lineare Verhalten aufgrund des vorherrschenden Kanalwiderstands wesentlich länger. Dies lässt laut LIU et al. auf einen größeren Kontaktwiderstand im Bottom-Contact TFT schließen [LMX+15], verursacht durch die geringe Fläche, die für eine Ladungsträgerinjektion zur Verfügung steht, sowie durch das native Oberflächenoxid der Al-Elektroden.

Des Weiteren lässt sich bei (gerakelten) ZnO-TFTs ein Hystereseverhalten beobachten. Die auftretende Hysterese kann aus einer Überlagerung verschiedener Effekte resultieren. Allgemein sind dabei Fallenzustände an der Grenzfläche zwischen Halbleiter und Dielektrikum oder im Halbleiter, hervorgerufen durch Verunreinigungen oder strukturelle Defekte, verantwortlich für eine Hysterese im Uhrzeigersinn (bezogen auf einen n-Typ TFT). Diese Ladungsträgerfallen werden in Vorwärtsmessrichtung gefüllt, in Rückwärtsmessrichtung werden die lokalisierten Ladungen jedoch nur langsam wieder frei, sodass die Ladungsträgerkonzentration im Kanal sinkt [EBS+09],[PYL+13]. Bewegliche Ladungen und Dipole im Dielektrikum führen hingegen zu einer Hysterese in entgegengesetzter Richtung. Di-

pole führen zu einer Polarisierung des Dielektrikums, die ein zusätzliches elektrisches Feld erzeugt und das Gate-induzierte Feld verstärkt. Diese Polarisierung bleibt auch mit abnehmender Gate-Spannung erhalten. Mobile Ionen (Kationen im Fall von n-Typ TFTs) bewegen sich aufgrund der Gate-Spannung ($V_G > 0$ V) in Richtung der Grenzfläche und schirmen das elektrische Feld ab, bzw. halten es aufrecht, sodass der Kanal trotz abnehmender Gate-Spannung erhalten bleibt, bis der Einfluss des Gate-Potentials ausreichend groß ist [EBS+09],[WLH+21]. Bei dem Großteil der hier vermessenen TFTs verläuft die Hysterese entgegen dem Uhrzeigersinn, was darauf hindeutet, dass die Entstehung von strukturellen Defekten bzw. Fallenzuständen durch die mechanische Belastung des Dielektrikums während des Rakelns als gering angesehen werden kann.

4.1.2 Nanopartikel-Deposition durch Tintendruck

Im Hinblick auf eine kostengünstige, großflächige Herstellung integrierter Schaltungen ist der Tintendruck neben dem Rakeln eine weitere vielversprechende Technologie. Ebenso wie beim Rakelprozess ist hier von Vorteil, dass keine Lithografie- und Vakuumprozesse erforderlich sind und der Materialverbrauch gering ist. Im Rahmen dieser Arbeit wurde die bereits im vorherigen Abschnitt verwendete ZnO-Nanopartikel-Dispersion mithilfe eines Drop-on-Demand Piezo-Tintendruckers auf einem Si/SiO₂-Substrat mit bereits integrierten Bottom-Gate, Bottom-Contact TFT-Strukturen aufgebracht². Vor der Vermessung der Bauteile wird wiederum eine UV-/Luftfeuchtigkeitsbehandlung durchgeführt. Bei dem Drucker handelt es sich um einen Dimatix DMP-3281 der Firma Fujifilm mit einer mechanischen Auflösung von 5 µm. Die Druckerpatrone enthält 16 Düsen, die jeweils ein Tropfenvolumen von etwa 10 pl liefern und deren Durchmesser 21 µm betragen, was auch dem ungefähren Tröpfchendurchmesser entspricht. Der Düsendurchmesser, Variationen im Tröpfchenflug sowie die Oberflächeneigenschaften des zu bedruckenden Substrates bestimmen dabei die Druckauflösung [JBC+15].

Die Kennlinien eines auf diese Weise integrierten TFTs sind in Abbildung 4.6 dargestellt. Die Deposition erfolgte mit einem Tropfenabstand von 25 µm bei einer Substrattemperatur von 30 °C. Auffällig ist, dass der Transistor in Vorwärtsmessrichtung bereits bei $V_{ON} = -4,5$ V ($V_{Th} = -2,3$ V) schaltet und für die Rückwärtsrichtung in dem aufgenommenen Messbereich kein Ausschaltpunkt bestimmt werden kann. Zudem liegt der On-Strom mit $I_{ON} = 5 \cdot 10^{-6}$ A etwa eine Dekade unter dem Strom eines gerakelten TFTs. Dies könn-

²Die Durchführung des Tintendrucks von nanopartikelären ZnO-Schichten fand in Kooperation mit Petroné Bezuidenhout (University of Pretoria, Südafrika) im Council for Scientific and Industrial Research (CSIR) in Pretoria, Südafrika statt.

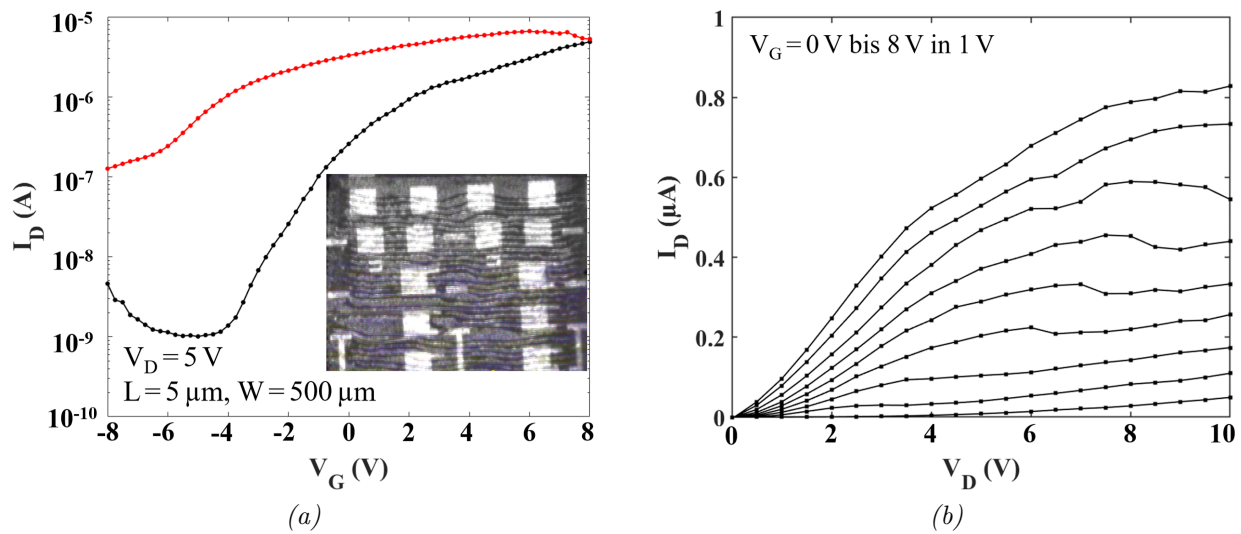


Abbildung 4.6: (a) Transferkennlinie, (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit ZnO-Nanopartikeln aufgebracht durch Tintendruck bei einer $T_{Substrat} = 30^\circ\text{C}$. Der Tropfenabstand beträgt $25\ \mu\text{m}$. Kleines Bild: lichtmikroskopische Aufnahme einer gedruckten ZnO-Schicht.

te auf die ungleichmäßige Nanopartikelschicht und die daraus resultierende geringe Anzahl an leitfähigen Pfaden zwischen Drain- und Source-Elektroden zurückgeführt werden. Abbildung 4.6 (a) zeigt die Lichtmikroskop-Aufnahme einer gedruckten ZnO-Schicht, deren wellenförmiger Verlauf gut erkennbar ist. Folglich ist die Nanopartikelschicht über die gesamte Kanalweite des Transistors sehr inhomogen. Einerseits weist der frühe Einschaltzeitpunkt analog zu der vorherigen Diskussion der Rakelgeschwindigkeiten auf eine hohe Schichtdicke der Wellenberge hin. Andererseits befinden sich in den Wellentälern nur wenige Nanopartikel, die zum Stromfluss beitragen können, sodass der Maximalstrom begrenzt ist. Für die Ladungsträgerbeweglichkeit μ_{FE} und den Subschwelligkeitsstromanstieg S wird ein Wert von $0,04\ \text{cm}^2(\text{Vs})^{-1}$ bzw. $1,5\ \text{V}/\text{Dek}$ ermittelt. Die Strommodulation beträgt aufgrund des geringen Off-Stromes von $1 \cdot 10^{-9}\ \text{A}$ noch $I_{ON}/I_{OFF} = 5 \cdot 10^3$. Das Ausgangskennlinienfeld (siehe Abbildung 4.6 (b)) zeigt den für einen Bottom-Contact TFT typischen Verlauf mit einem nicht-linearen Verhalten für kleine Drain-Spannungen und einem erkennbaren Sättigungsbereich.

Der Grund für die ungewöhnlich große Hysterese kann nicht eindeutig benannt werden. Es wird vermutet, dass zum einen die relativ lange Zeit von ein paar Tagen zwischen der Strukturierung der Al-Elektroden und dem Drucken der ZnO-Schicht eine Anlagerung von Wassermolekülen an der hydrophilen Oberfläche des Dielektrikums begünstigt. Zum anderen wurde für den Druckprozess eine Patrone verwendet, die zuvor bereits für andere Materialien benutzt wurde, sodass eine Verunreinigung der halbleitenden Nanopartikel-

schicht nicht ausgeschlossen werden kann.

Zudem sei anzumerken, dass keine weitere Stabilisierung der wasserbasierten Dispersion hinsichtlich des Einsatzes in einem Tintendrucker erfolgte, sodass hier Optimierungsbedarf besteht. Die erzielten Ergebnisse können mit Hinblick auf eine gedruckte Elektronik jedoch als vielversprechend angesehen werden.

4.1.3 Einfluss des Kontaktmetalls

Die Eigenschaften des Metall-Halbleiter-Kontakts bestimmen den Kontaktwiderstand der Drain-/Source-Elektroden und damit die Ladungsträgerbeweglichkeit bzw. das dynamische Verhalten der TFTs [GZN+06],[BVG+08],[XSK+20]. Bereits im Jahr 1938 entwickelten SCHOTTKY und MOTT die Theorie der Bildung einer Schottky-Barriere an einem Metall-Halbleiter-Kontakt. Diese Theorie besagt, dass die Barrierenhöhe gemäß Gleichung 2.13 der Differenz zwischen der Austrittsarbeit des Metalls und der Elektronenaffinität des Halbleiters entspricht ($q\phi_{Bn0} = q(\phi_M - \chi)$) [SN07]. Folglich sollten sich die Kontakteigenschaften (Ohmscher oder SCHOTTKY-Kontakt) durch die Wahl des Kontaktmetalls einfach einstellen lassen.

WOLFF untersuchte bereits verschiedene Metalle hinsichtlich ihrer Eignung zur Kontaktierung von halbleitenden ZnO-Nanopartikeln. Dabei zeigte sich, dass Aluminium die besten Eigenschaften als Kontaktmetall aufweist. Titan- und Gold-Kontakte führten hingegen, wahrscheinlich aufgrund von Grenzflächenzuständen am Metall-Halbleiter-Übergang, zu TFTs mit einem schlechten Sperrverhalten [Wol11]. Problematisch wird die Verwendung einer Al-Metallisierung allerdings bei der in Kapitel 6 beschriebenen Selbstjustierung der Drain-/Source-Kontakte. Wie bereits in Abschnitt 3.4 erwähnt wurde, wird das polymere Gate-Dielektrikum inoflex T3 durch die NaOH-Entwicklerlösung geschädigt und erfordert demzufolge eine Al-Schutzschicht [Mey21]. Diese Schutzschicht ist für die Integration herkömmlicher TFTs mit Al-Kontakten, die durch einen nasschemischen Ätzprozess strukturiert werden (siehe Abbildung 3.8 (links)), nicht erforderlich. Erfolgt die Strukturierung jedoch durch einen Lift-Off-Prozess (Abbildung 3.8, rechts), wird ein Schutz des Dielektrikums notwendig. Eine Strukturierung mittels Lift-Off-Prozesses ist unter anderem bei der Integration selbstjustierter Kontakte unabdingbar, da eine rückseitige Belichtung des Fotolackes durch eine 150 nm dicke Metallschicht nicht möglich ist. Aufgrund dessen wird der Einsatz von Aluminium-Elektroden in selbstjustierten ZnO-TFTs verhindert, da die Al-Schutzschicht im Anschluss an den Lift-Off-Prozess selektiv zum Kontaktmetall entfernt werden muss. Folglich ist eine adäquate Alternative für die Drain-/Source-Metallisierung aus Aluminium erforderlich.

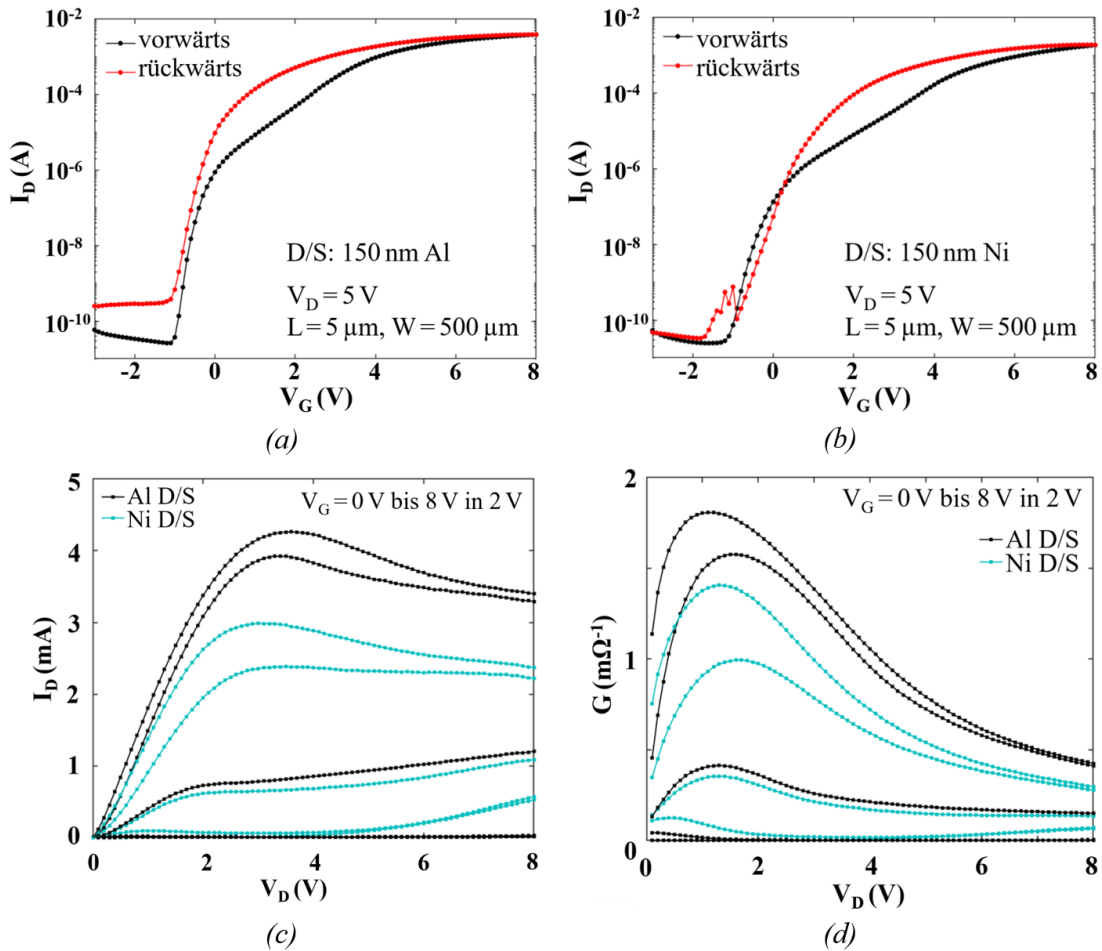


Abbildung 4.7: Transferkennlinien von Bottom-Gate, Top-Contact ZnO-TFTs mit Drain-/Source-Elektroden bestehend aus (a) Aluminium und (b) Nickel. Die Schichtdicke beträgt jeweils 150 nm. (c) Ausgangskennlinienfelder und (d) Ausgangsleitwert G für eine Ni- bzw. Al-Metallisierung.

In der Literatur wird häufig von ZnO-TFTs mit Al-Kontakten berichtet, deren geringe Austrittsarbeit ($\Phi_{Al} = 4,28$ eV [Mic77]) im Bereich der Elektronenaffinität des Zinkoxids ($\chi = 4,5$ eV [HDX+13],[LCW+21]) liegt, sodass sich niederohmige Kontakte mit geringen Barrierenhöhen herstellen lassen. Man findet jedoch auch Gold-Elektroden [VMM+04] [OKB05],[Hof06] oder Materialkombinationen, die seltene Elemente wie Indium (z.B. Indiumzinnoxid, kurz ITO) [HNW03],[NAW+03] oder Gallium (z.B. Galliumdotiertes ZnO, kurz GZO) [FBP+05] enthalten. Allerdings soll in dieser Arbeit der Fokus auf möglichst kostengünstigen und nachhaltigen Materialien liegen, weshalb letztere für einen Ersatz der Al-Metallisierung nicht weiter in Betracht gezogen werden.

Als mögliche Alternative soll hier Nickel (Ni) als Kontaktmetall untersucht werden, da Ni ebenso wie Al einfach abzuscheiden ist und zudem resistent gegenüber der Al-Ätzlösung

ist³. Theoretisch sollte Ni aufgrund der hohen Austrittsarbeit ($\Phi_{Ni} = 5,15 \text{ eV}$ [Mic77]) eine Schottky-Barriere zum ZnO bilden [LP06] und damit, verglichen zu TFTs mit Al-Elektroden, zu einer verringerten Bauteilperformance führen. Um den Einfluss herstellungsbedingter Variationen auf die elektrischen Eigenschaften zu minimieren, wird ein Wafer bis zur Deposition des Halbleiters durch eine Schleuderbeschichtung mit nachfolgender Fotolithografie zur Strukturierung der Drain-/Source-Elektroden durch einen Lift-Off-Prozess integriert. Anschließend wird der Wafer halbiert und jeweils eine Hälfte mit 150 nm Al bzw. Ni bedampft. Abbildung 4.7 vergleicht die resultierenden Transferkennlinien der Bottom-Gate, Top-Contact TFTs mit Al- (a) und Ni-Elektroden (b). Für den TFT mit Al-Kontakten wird ein maximaler Strom I_{ON} von $3,8 \cdot 10^{-3} \text{ A}$ erreicht; der Strom des TFTs mit Ni-Elektroden liegt mit $1,9 \cdot 10^{-3} \text{ A}$ in der selben Größenordnung. Mit Sperrströmen I_{OFF} jeweils im Bereich von 10^{-11} A ergeben sich ähnliche Strommodulationen von $I_{ON}/I_{OFF} = 1 \cdot 10^8$ für den Al-TFT und $I_{ON}/I_{OFF} = 9 \cdot 10^7$ für den Ni-TFT. Im Fall der Al-Elektroden wird eine Einschaltspannung V_{ON} in Vorwärtsmessrichtung von $-1,2 \text{ V}$ und eine Schwellenspannung V_{Th} von $1,7 \text{ V}$ bestimmt. In entgegengesetzter Messrichtung liegt V_{ON} ebenfalls bei $-1,4 \text{ V}$ und V_{Th} bei $-0,1 \text{ V}$, sodass sich zwischen den beiden Messrichtungen eine Hysterese von $\Delta V_{ON} = 0 \text{ V}$ bzw. $\Delta V_{Th} = 1,8 \text{ V}$ ergibt. Der Ni-TFT schaltet während der Messung in Vorwärtsrichtung bei $V_{ON} = -1,4 \text{ V}$ bzw. $V_{Th} = 2,4 \text{ V}$ und in Rückwärtsrichtung bei $V_{ON} = -1,8 \text{ V}$ bzw. $V_{Th} = 0,7 \text{ V}$. Dadurch ergibt sich ein ähnliches Hystereseverhalten von $\Delta V_{ON} = -0,4 \text{ V}$ und $\Delta V_{Th} = 1,7 \text{ V}$. Der Subschwelligkeitsstromanstieg S des Al-TFTs ist mit $0,18 \text{ V/Dek}$ etwas geringer als der des Ni-TFTs ($S = 0,3 \text{ V/Dek}$). Mit einer Ladungsträgerbeweglichkeit μ_{FE} von $28,8 \text{ cm}^2(\text{Vs})^{-1}$ ist der Wert des Al-TFTs etwa doppelt so hoch wie die Beweglichkeit des mit Ni kontaktierten Transistors, die zu $13,3 \text{ cm}^2(\text{Vs})^{-1}$ berechnet werden konnte.

Die Verläufe der Ausgangskennlinienfelder in Abbildung 4.7 (c) weisen ebenfalls eine starke Ähnlichkeit auf mit eindeutig vorhandenen Sättigungsbereichen und einem etwas höheren Strom I_D für den Al-kontaktierten TFT. Aus dem Kennlinienverlauf im Anlaufbereich kann auf einen, für Top-Contact-Architekturen typischen, geringen Kontaktwiderstand geschlossen werden. Allerdings zeigt sich anhand der Verläufe der Ausgangsleitwerte in Abbildung 4.7 (d) für beide Kontaktmetalle ein nicht-lineares Injektionsverhalten, was auf Schottky-Kontakte in beiden TFTs hindeutet. Die Parameter der mit Al bzw. Ni kontaktierten TFTs sind in Tabelle 4.3 zusammengefasst.

Im Vergleich zu VIDOR, der mit Bottom-Gate, Top-Contact ZnO-TFTs mit einer Al-

³Die Ergebnisse bezüglich des Einflusses der Kontaktmetallisierung auf die Performance von ZnO-TFTs wurden teilweise in [2] veröffentlicht.

Tabelle 4.3: Vergleich der Transistorparameter von Bottom-Gate, Top-Contact ZnO-Nanopartikel-TFTs mit Al- bzw. Ni-Kontakten. Die angelegte Drain-Spannung V_D beträgt 5 V.

Metall	V_{ON} [V]	ΔV_{ON} [V]	V_{Th} [V]	I_{ON}/I_{OFF}	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
Al	-1,2	0,0	1,7	$1 \cdot 10^8$	28,8	0,18
Ni	-1,4	-0,4	2,4	$9 \cdot 10^7$	13,3	0,3

Metallisierung unter anderem eine maximale Beweglichkeit von $\mu_{FE} = 3,7 \text{ cm}^2(\text{Vs})^{-1}$ erreichte, zeigen die ZnO-TFTs in dieser Arbeit trotz derselben verwendeten Materialien eine leicht verbesserte Performance. Folglich ist der entscheidende Unterschied wahrscheinlich die Verwendung eines anderen Maskensets. Während die Einzel-TFTs vorheriger Arbeiten in Sets zu sieben Transistoren unterschiedlicher Kanalweite mit einer gemeinsamen großen Gate-Elektrode zusammengefasst waren, sind die TFTs in dieser Arbeit jeweils über ein eigenes Gate ansteuerbar. Während eine ganzflächige Gate-Elektrode zu einer homogenen Feldverteilung an der Halbleiter-Dielektrikum-Grenzfläche führt, haben separate Gate-Elektroden einen ungleichmäßigen Feldverlauf zur Folge. Einerseits wird die Feldverteilung durch die Elektrodengeometrie selbst bestimmt, da an Elektrodenkanten eine höhere Feldliniendichte vorherrscht [BBW+15],[SYK+20]. Andererseits gehen Strukturkanten auch mit einer reduzierten Schichtdicke des Dielektrikums einher, was zusätzlich in einer erhöhten Feldstärke in diesen Bereichen resultiert [CCL95],[DRT+16]. Diese Feldstärkespitzen in den Überlappbereichen zwischen Gate- und Drain-/Source-Elektroden führen dort wahrscheinlich zu einem Anstieg der Ladungsträgerkonzentration. Es wird vermutet, dass sich dadurch der Schichtwiderstand zwischen Kanal und Kontaktelektroden (Access-Widerstand) verringert, den die Ladungsträger überwinden müssen, wodurch die leicht verbesserten TFT-Parameter erklärt werden können.

Kontaktwiderstandsmessungen

Während die Kontakteigenschaften im vorherigen Abschnitt lediglich quantitativ betrachtet wurden, soll im Folgenden eine qualitative Analyse anhand des Kontaktwiderstandes zwischen den Al- bzw. Ni-Elektroden und dem nanopartikulären ZnO betrachtet werden. Hierfür wird die in Kapitel 2.4.2 beschriebene Transferlängen-Methode (kurz: TLM-Methode) angewandt, bei der eine graphische Bestimmung des Kontaktwiderstandes $R_{D/S}$ erfolgt. Dazu werden die Transferkennlinien von TFTs mit variierender Kanallänge im linearen Bereich bei einer festen Drain-Spannung von $V_D = 0,1 \text{ V}$ aufgenommen und anschließend wird der sich daraus ergebende Gesamtwiderstand, normiert auf die

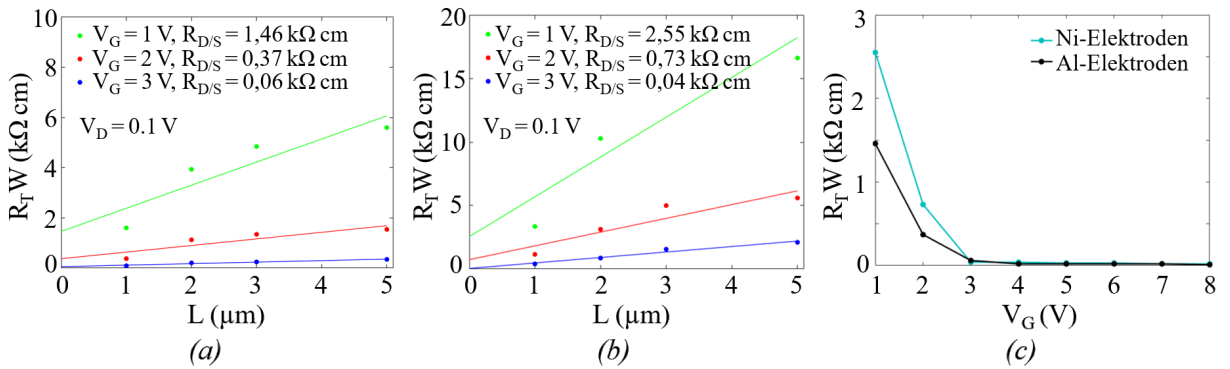


Abbildung 4.8: Normierter Gesamtwiderstand $R_T W$ ($k\Omega cm$) eines ZnO-TFTs mit Drain-/Source-Elektroden bestehend aus (a) Aluminium und (b) Nickel als Funktion der Kanallänge bei variierender Gate-Spannung. (c) Abhängigkeit der Kontaktwiderstände von der Gate-Spannung V_G . Die Schichtdicke der Drain-/Source-Elektroden beträgt jeweils 150 nm.

Kanalweite W , in Abhängigkeit von der Kanallänge L für verschiedene Gate-Spannungen aufgetragen (siehe Abbildung 4.8). Durch lineare Extrapolation kann der Kontaktwiderstand am Schnittpunkt mit der $R_T W$ -Achse ($L = 0$) abgelesen werden. Für den TFT mit Al-Elektroden ergibt sich dabei ein Kontaktwiderstand im Bereich von $1,46 k\Omega cm - 60 \Omega cm$ (für $V_G = 1 - 3$ V), der Kontaktwiderstand des mit Ni kontaktierten TFTs liegt im selben Gate-Spannungsbereich zwischen $2,55 k\Omega cm$ und $40 \Omega cm$. Anhand des Verlaufes des Kontaktwiderstandes $R_T W$ als Funktion der Gate-Spannung V_G in Abbildung 4.8 (c) wird deutlich, dass der Kontaktwiderstand mit steigender Gate-Spannung abnimmt. Diese Gate-Spannungsabhängigkeit kann durch zwei Effekte erklärt werden. Zum einen wird die Höhe der Schottky-Barriere durch V_G moduliert, sodass eine Erhöhung der Gate-Spannung zu einer Reduzierung der Barrierenhöhe führt [WLL+15],[WSJ+18]. Zum anderen resultiert aus einer steigenden Gate-Spannung eine zunehmende Ladungsträgerkonzentration sowohl im Kanal als auch in den Kontaktbereichen [BVG+08]. Die in dieser Arbeit ermittelten Werte liegen im Bereich der geringsten Kontaktwiderstände, die bislang sowohl für anorganische [MSP+14] [SKZ+17] [WKT+20] [LCW+21] als auch für organische [BZL+20] [BWL+22] TFTs berichtet wurden. Ein direkter Vergleich der Werte wird allerdings durch die Gate-Spannungsabhängigkeit erschwert. Abschließend kann anhand der erzielten Kontaktwiderstände angenommen werden, dass die hier integrierten Bauteile Potential für einen Einsatz in Hochfrequenzanwendungen bieten.

Es stellt sich jedoch noch die Frage, warum Al- und Ni-Elektroden zu TFTs mit vergleichbaren Parametern führen, obwohl die Austrittsarbeit von Nickel deutlich über der Elektronenaffinität des Zinkoxids liegt. Idealerweise sollten Al-Kontakte in Ohmschen

und Ni-Elektroden in Schottky-Kontakten resultieren. Hier zeigen jedoch beide TFTs ein nicht-lineares Injektionsverhalten und geringe Kontaktwiderstände. In der Literatur wird häufig davon berichtet, dass die Höhe der Energiebarriere nicht von der Austrittsarbeit des Metalls abhängt. Die Ursachen hierfür sind vielfältig. Der Effekt kann einerseits auf das sogenannte Fermi-Level-Pinning zurückgeführt werden [Tun01],[AD08],[BL11]. Laut ALLEN und DURBIN besteht eine eindeutige Korrelation zwischen der Barrierenhöhe und der Bildungsenergie des Oxids des zur Kontaktierung verwendeten Metalls, was auf eine chemische Reaktion an der Metall-Halbleiter-Grenzfläche hindeutet⁴. Dabei kommt es zu einer Diffusion von grenzflächennahem Sauerstoff aus dem ZnO in das Metall, was zu einer Erhöhung der Sauerstoffleerstellendichte im ZnO führt. Die Energieniveaus dieser Sauerstoffleerstellen sind zu tief, um zur elektrischen Leitfähigkeit beizutragen, sie sind jedoch tief genug, um ein Fermi-Level-Pinning an der ZnO-Oberfläche zu bewirken [AD08]. Des Weiteren können die entstandenen Metalloxide - in diesem Fall Al_2O_3 und NiO_x - zu einer Erhöhung der Energiebarriere führen [KKP+03].

Andererseits kann die Zunahme an oberflächennahen Sauerstoffleerstellen, die bekannt dafür sind, als Donatoren zu agieren, gleichzeitig zu einer Verringerung der Barrierenweite und damit zu einer Erhöhung der Tunnelwahrscheinlichkeit führen und somit den Kontaktwiderstand reduzieren [KKP+03],[BL11],[STT+14]. Die resultierende Barriere-eigenschaft ist folglich eine Kombination der zuvor genannten Effekte, die zu vergleichbarer Performance der mit Al- und Ni-Elektroden kontaktierten ZnO-TFTs führen.

Abschließend kann festgehalten werden, dass eine Ni-Metallisierung als adäquater Ersatz für die standardmäßig verwendeten Al-Kontakte verwendet werden kann.

4.1.4 Einfluss der Gate-Metallisierung

Während im vorangegangenen Abschnitt der Einfluss des Kontaktmetalls auf ZnO-TFTs analysiert wurde, soll nun die Gate-Metallisierung variiert und mögliche Auswirkungen auf das elektrische Verhalten diskutiert werden⁵. Bislang bestand die Gate-Metallisierung aus 50 nm Aluminium. Im Folgenden soll diese mit einer 30 nm dicken Gold (Au)-Schicht verglichen werden. Dazu werden Bottom-Gate, Top-Contact ZnO-TFTs mit einer Drain-/Source-Metallisierung aus 150 nm Al entsprechend der in Kapitel 3.4 beschrie-

⁴Die Bildungsenthalpie von ZnO beträgt $\Delta H_{\text{ZnO}} = -348 \text{ kJ/mol}$, bezogen darauf ist die Enthalpie von Al_2O_3 ($\Delta H_{\text{Al}_2\text{O}_3} = -1675 \text{ kJ/mol}$) gering und die von NiO ($\Delta H_{\text{NiO}_x} = -244 \text{ kJ/mol}$) im selben Bereich, sodass Sauerstoff bereits bei Raumtemperatur aus dem ZnO in die Al- bzw. Ni-Elektroden diffundiert.

⁵Die Ergebnisse bezüglich der Untersuchung des Einflusses der Gate-Metallisierung auf die Transistorperformance wurden teilweise in [2] veröffentlicht.

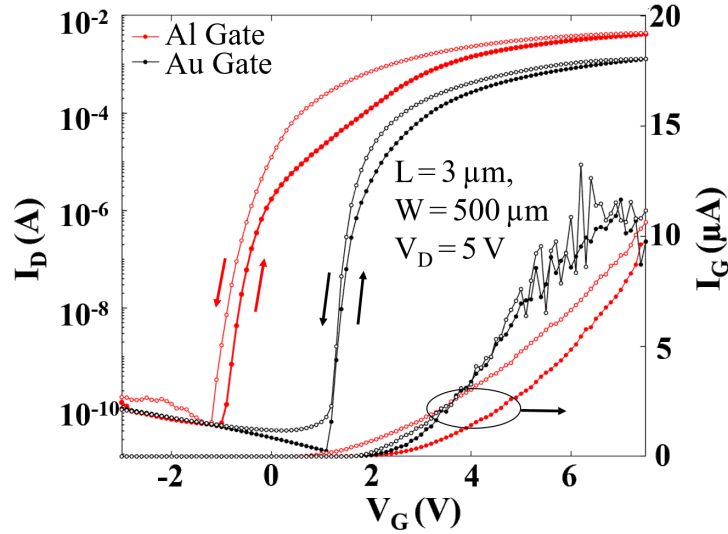


Abbildung 4.9: Transferkennlinien und Leckströme eines Bottom-Gate, Top-Contact ZnO-TFTs mit einer 50 nm dicken Al-Gate-Elektrode bzw. 2 nm Ti/ 30 nm Au-Gate-Elektrode. Die Drain-/Source-Elektroden bestehen aus 150 nm Al.

benen Routine integriert. Die Halbleiterdeposition erfolgt dabei durch einen Schleuderprozess. Um die Haftung des Goldes auf dem oxidierten Si-Wafer zu verbessern, werden zuvor 2 nm Titan (Ti) als Haftvermittler aufgedampft. Die Strukturierung der Ti-/Au-Elektroden erfolgt ebenso wie die der Al-Elektroden durch optische Fotolithografie und einen nasschemischen Ätzprozess. Das Gold wird dabei mithilfe einer wässrigen Ätzlösung basierend auf Kaliumiodid (KI) und Jod (I) strukturiert, das Titan wird durch eine Lösung bestehend aus Ammoniumhydroxid (NH_4OH) und Wasserstoffperoxid (H_2O_2) geätzt.

Die resultierenden Transferkennlinien sind vergleichend in Abbildung 4.9 dargestellt. Auffallend ist die Verschiebung der Einschaltspannung V_{ON} von $-1,2\text{ V}$ für den Transistor mit einem Al-Gate auf $1,1\text{ V}$ für den Au-Gate-TFT. Die Ursache kann eine Verschiebung der Flachbandspannung aufgrund der unterschiedlichen Austrittsarbeiten der Gate-Elektroden ($\Phi_{Al} = 4,28\text{ eV}$, $\Phi_{Au} = 5,1\text{ eV}$ [Mic77]) sein. Die Flachbandspannung entspricht dabei dem Wert der Gate-Spannung, bei dem keine Bandverbiegung zwischen Halbleiter und Dielektrikum auftritt. Eine Flachbandspannung ungleich Null kann aus der Differenz zwischen den Austrittsarbeiten der Gate-Elektrode und dem Halbleiter resultieren [SYT+15]. Diese Spannung entspricht näherungsweise der Einschaltspannung und kann demzufolge direkt aus der Transferkennlinie bestimmt werden [KMM+07]. Die Hysterese ΔV_{ON} der beiden Transistoren liegt mit $0,2\text{ V}$ (Al) und $0,3\text{ V}$ (Au) nah beieinander und wird offensichtlich nicht durch die Gate-Metallisierung beeinflusst.

Anhand der Transferkennlinien können zudem etwas höhere Stromniveaus für den TFT

Tabelle 4.4: Vergleich der Transistorparameter von Bottom-Gate, Top-Contact ZnO-Nanopartikel-TFTs mit einem Al- bzw. Au-Gate. $L=3\ \mu\text{m}$, $W=500\ \mu\text{m}$, $V_D=5\ \text{V}$ und Al-Drain-/Source-Kontakten.

Metall	V_{ON} [V]	ΔV_{ON} [V]	V_{Th} [V]	$I_{\text{ON}}/I_{\text{OFF}}$	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
Al	-1,1	0,2	1,2	$1 \cdot 10^8$	15	0,18
Au	1,1	0,3	1,8	$1 \cdot 10^8$	6,3	0,1

mit einem Al-Gate beobachtet werden. Die Strommodulationen werden für beide Transistoren zu $I_{\text{ON}}/I_{\text{OFF}} = 1 \cdot 10^8$ bestimmt. Der Subschwelligensspannungsstromanstieg beträgt $S_{\text{Al}} = 0,18\ \text{V/Dek}$ bzw. $S_{\text{Au}} = 0,1\ \text{V/Dek}$, das heißt, beide Bauteile weisen ein gutes Schaltverhalten auf. Der etwas größere Wert für den TFT mit Al-Gate deutet auf eine höhere Defektdichte an der Grenzfläche zwischen Halbleiter und Dielektrikum hin [YXD+11], was sich auf die unebenere Oberfläche des Dielektrikums (siehe unten) zurückführen lässt. Die Feldeffektladungsträgerbeweglichkeit kann für den Al-Gate-TFT zu $\mu_{FE} = 15\ \text{cm}^2(\text{Vs})^{-1}$ und für den TFT mit Au-Gate zu $\mu_{FE} = 6,3\ \text{cm}^2(\text{Vs})^{-1}$ berechnet werden. Tabelle 4.4 gibt eine Zusammenfassung der extrahierten Transistorparameter.

Neben der Austrittsarbeit des Gate-Metalls, die offenbar eine Verschiebung der Einschaltspannung zur Folge hat, gibt es einen Unterschied in der Schichtdicke der integrierten Gate-Elektroden. Während das Al-Gate eine Höhe von 50 nm aufweist, reduziert sich die Dicke der Ti/Au-Schicht auf insgesamt 32 nm. Der Morphologieunterschied der Gate-Metallisierungen wirkt sich auch auf die Oberfläche des Dielektrikums und damit auf die Grenzfläche zum Halbleiter aus. Abbildung 4.10 zeigt eine AFM-Aufnahme der Oberfläche des polymeren Dielektrikums, das auf den verschiedenen Gate-Elektroden aufgeschleudert wurde. Es wird deutlich, dass die Strukturhöhe der Al-Elektrode und der Ti/Au-Elektrode

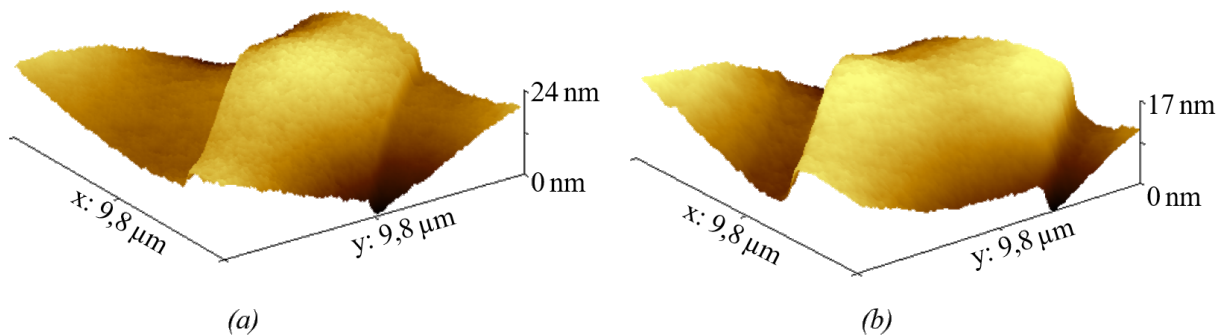


Abbildung 4.10: AFM-Bild der Oberfläche des Dielektrikums inoflex T3 mit einer untenliegenden (a) 50 nm dicken Al-Gate-Elektrode sowie einer (b) 2 nm Ti/30 nm Au-Gate-Elektrode.

zu einem Profil von etwa 24 nm (Abb. 4.10 (a)) bzw. 17 nm (Abb. 4.10 (b)) auf der Oberfläche führt. Dadurch ist die effektive Schichtdicke des Dielektrikums auf dem Al-Gate geringer als auf dem Au-Gate. Wie bereits im vorangegangenen Kapitel erwähnt, kann dies zu einer erhöhten Feldstärke in den Überlappungsbereichen bzw. zu einer Erhöhung der Ladungsträgerkonzentration im Kanal im Bereich der Kontaktelektroden führen [DRT+16]. Dies ist mit hoher Wahrscheinlichkeit der Grund für den etwas höheren Drain-Strom des Al-Gate-TFTs. Gleichzeitig wird ein erhöhter Gate-Leckstrom erwartet. Dieser liegt jedoch in der selben Größenordnung wie der des Au-Gate-TFTs ($I_{G,max} = 1 \cdot 10^{-5} A$). Ein solcher Anstieg wird durch das natürliche Oberflächenoxid verhindert, das sich auf der Al-Elektrode unter Umgebungsbedingungen bildet und als zusätzlicher Isolator wirkt.

Bewertung und Fazit

Anhand der vorgestellten ZnO-TFTs wird zunächst das Rakelverfahren evaluiert. Dabei stellt sich heraus, dass mit dieser Methode erfolgreich TFTs mit zu anderen Depositionsprozessen vergleichbaren Parametern herstellen lassen. Des Weiteren stellt sich angesichts der Analyse sowohl der Transferkennlinien bzw. der Ausgangskennlinienfelder als auch der Kontaktwiderstandsmessungen heraus, dass Nickel eine adäquate Alternative zu den bislang in ZnO-TFTs verwendeten Al-Kontakten darstellt. Dadurch wird eine Integration von Bottom-Contact Transistoren mit einer Al-Schutzschicht ermöglicht, was insbesondere für den Selbstjustierungsprozess in Kapitel 6 von entscheidender Bedeutung ist. Die Variation der Gate-Metallisierung hat in erster Linie einen Einfluss auf die Einschaltspannung, resultierend aus der Differenz der Austrittsarbeiten und der damit einhergehenden Verschiebung der Flachbandspannung. Jedoch spielt auch die Morphologie der Gate-Elektrode und damit die effektive Schichtdicke des Gate-Dielektrikums in den Überlappbereichen eine Rolle.

4.2 TFTs mit p-leitendem CuO

Aufgrund der Tatsache, dass oxidbasierte Halbleiter, bis auf wenige Ausnahmen, eine n-Typ-Leitfähigkeit aufweisen, wird die Integration komplementärer Schaltungen erschwert. Verglichen dazu weisen die wenigen bekannten p-leitenden Metalloxide zudem eine deutlich geringere Leistungsfähigkeit auf. Dadurch beruhen leistungsfähige Schaltungen bislang auf unipolaren (n-Typ) Bauteilen, die allerdings eine gesteigerte Schaltungskomplexität verhindern und weniger energieeffizient als CMOS-Schaltungen sind.

Im Folgenden werden Bottom-Gate, Bottom-Contact TFTs mit unterschiedlichen, kommerziell erhältlichen CuO-Nanopartikeln integriert und charakterisiert. Zudem werden Untersuchungen hinsichtlich der Drain-/Source-Metallisierung durchgeführt, sowie Top-Contact CuO-TFTs hergestellt und analysiert. Abschließend wird eine Routine zur Integration von Bottom-Contact TFTs auf ein Foliensubstrat entwickelt und realisiert.

Generell ist CuO als p-Halbleiter in Dünnschichttransistoren in der Literatur zwar bekannt, dessen Integration in nanopartikulärer Form ist jedoch bis dato nahezu kaum untersucht. In der gängigen Literatur sind lediglich TFTs basierend auf gedruckten CuO-Quantum Dots bekannt, die mikrowellen-unterstützt ausgeheizt wurden [VHK+13].

4.2.1 Dünnschichttransistoren mit Kupferoxid-Nanopartikeln

In dieser Arbeit soll nun Kupferoxid (CuO) in nanopartikulärer Form als p-leitendes Halbleitermaterial in TFTs integriert und analysiert werden. Sämtliche verwendeten Nanopartikel sind kommerziell erhältlich und liegen entweder als Pulver oder in einer wässrigen Dispersion vor. Direkt vor der Integration wird das Pulver in VE-Wasser dispergiert, bzw. die Dispersion verdünnt, sodass der Massenanteil des Kupferoxids an der Dispersion etwa 10% beträgt. Um entstandene Agglomerate aufzubrechen, wird die Dispersion für ca. 30 Minuten in einem Ultraschallbad behandelt. Für die Deposition wurde, sofern nicht anders angegeben, das Rakelverfahren ($v_{\text{Rakel}} = 50 \mu\text{m/s}$) genutzt. Im Anschluss an den Rakelprozess wurde das Dispersionsmittel im Umluftofen bei 115°C für 30 Minuten ausgetrieben. Durch die Verwendung von Nanopartikeln kann folglich die maximal erforderliche Prozesstemperatur sowie der Anlagenaufwand deutlich gesenkt werden⁶.

CuO-Nanopartikel von US Research Nanomaterials

Zunächst sollen CuO-Nanopartikel der Firma US Research Nanomaterials Inc. (Texas, USA) hinsichtlich ihrer Eignung als Halbleitermaterial für p-Typ TFTs untersucht werden. Diese Nanopartikel liegen mit einem Massenanteil von 20% in einer wasserbasierten Dispersion vor und werden dementsprechend vor der Deposition verdünnt. Der Partikeldurchmesser liegt laut Datenblatt im Bereich von 25–55 nm [US b]. Mit abnehmender Partikelgröße sollte die Rakelgeschwindigkeit theoretisch reduziert werden, um eine durchgängige Schicht zu erhalten. Da die CuO-Nanopartikel jedoch bereits in der Dispersion agglomerieren, führt eine geringere Depositionsgeschwindigkeit zu einer sehr dicken

⁶Die Ergebnisse bezüglich des Vergleichs unterschiedlicher CuO-Nanopartikel als halbleitendes Material in Dünnschichttransistoren wurde teilweise in [20] veröffentlicht.

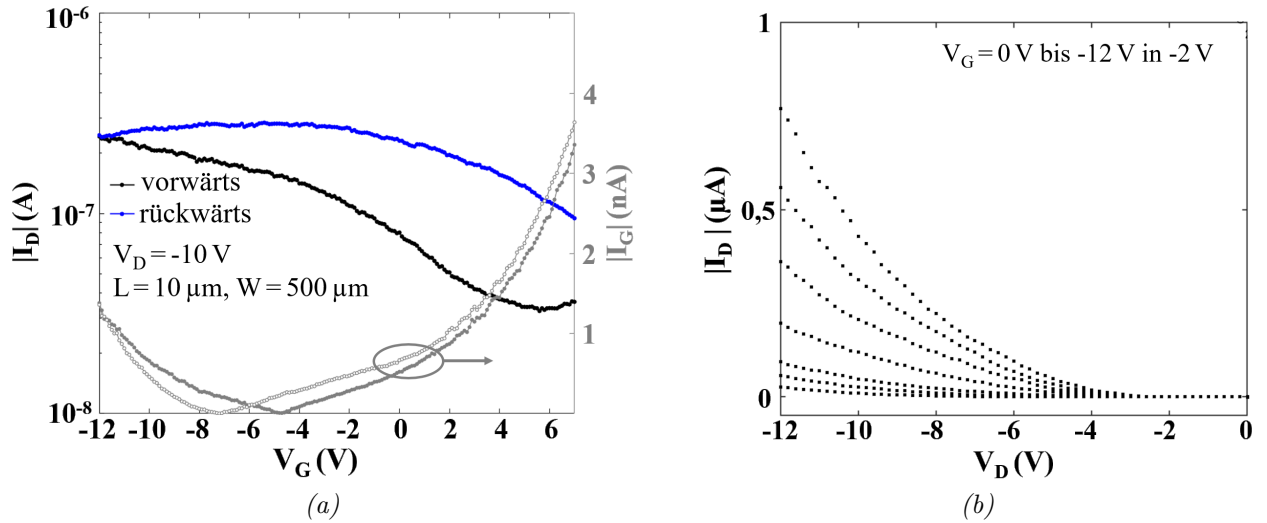


Abbildung 4.11: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit 100 nm Au als Drain-/Source-Material und CuO-Nanopartikeln bezogen von US Research Nanomaterials Inc.

Schicht, sodass sich trotz des verringerten Durchmessers der Primärpartikel eine Rakelgeschwindigkeit von 50 μm als geeignet herausstellt.

Als Kontaktmetall für CuO-TFTs wird in der Literatur häufig Gold eingesetzt, das sich aufgrund der hohen Austrittsarbeit zur Kontaktierung eignet [SVJ14],[JCK+16],[SJ18],[LJT+21]. Für die Metallisierung der Drain-/Source-Elektroden wird deshalb zunächst eine Schicht aus 100 nm Gold integriert.

Typische Kennlinien eines solchen Bottom-Gate, Bottom-Contact TFTs sind in Abbildung 4.11 dargestellt. In Richtung negativer Gate-Spannung kommt es zu einem (betragsmäßigen) Anstieg des Drain-Stromes. Damit zeigt der Transistor das erwartete p-Typ Verhalten. Um dieses Transistorverhalten jedoch zu erreichen, müssen sowohl die Drain-Spannung ($V_D = -10\text{ V}$) als auch die Gate-Spannung ($0 \leq V_G \leq -12\text{ V}$) relativ hoch gewählt werden. Während die Transferkennlinie in Vorwärtsmessrichtung die Bestimmung der Einschaltspannung von $V_{ON} = 5,6\text{ V}$ und der Schwellenspannung von $V_{Th} = 5,1\text{ V}$ ermöglicht und damit ein selbstleitendes Verhalten aufweist, lässt der Kennlinienverlauf in umgekehrter Messrichtung die Extraktion dieser Parameter in dem aufgenommenem Bereich der Gate-Spannung nicht zu. Anzumerken sei hier allerdings, dass die Wurzel-darstellung des Drain-Stromes eine quadratische Abhängigkeit von der Gate-Spannung aufweist, weshalb es sich bei der Schwellenspannung lediglich um einen abgeschätzten Wert handelt [Die07]. Für die resultierende Feldeffektladungsträgerbeweglichkeit wird ein Wert von $\mu_{FE} = 8 \cdot 10^{-4}\text{ cm}^2(\text{Vs})^{-1}$ bestimmt und die Strommodulation beträgt lediglich $I_{ON}/I_{OFF} = 7$ bei einem sehr flachen Stromanstieg. Folglich ist das Schaltverhalten die-

ses Transistors als nicht ausreichend zu bewerten. Die geringe Strommodulation kann einerseits durch eine hohe Schichtdicke des Halbleiters hervorgerufen werden, sodass es zu Strompfaden zwischen Drain- und Source-Elektrode kommt, die nicht durch die Gate-Spannung gesteuert werden können. Betrachtet man jedoch das Ausgangskennlinienfeld, wird die Steuerbarkeit durch das Gate deutlich, sodass dies nicht als der vorherrschende Grund für das begrenzte I_{ON}/I_{OFF} -Verhältnis angenommen wird. Andererseits kann eine geringe Strommodulation auch auf eine hohe Zustandsdichte innerhalb der Bandlücke des Kupferoxids hindeuten. Der Einfluss des Feldeffektes ist in diesem Fall gering, da ein Teil der Gate-Spannung zur (Ent-)Ladung dieser Zustände aufgewendet wird. Außerdem können freie, durch den Feldeffekt generierte Ladungsträger in solchen Fallenzuständen gefangen werden und somit nicht zum Ladungstransport beitragen [Deu17].

Die Strommodulation wird zudem durch den hohen Drain-Strom im ausgeschalteten Zustand begrenzt. Anhand der Kennlinie wird deutlich, dass der hohe Off-Strom nicht durch den Gate-Leckstrom I_G verursacht wird, da dieser im Bereich von maximal 10^{-9} A und damit etwa eine Dekade unterhalb des minimalen Drain-Stromes liegt. Eine naheliegende Möglichkeit, um den Off-Strom zu verringern, ist die Reduzierung der Drain-Spannung. Verringert man jedoch V_D , ist kein Transistorverhalten mehr zu beobachten. Eine Erhöhung der Drain-Spannung, um eventuell den Maximalstrom zu vergrößern, hat ebenso zur Folge, dass eine Modulation der Kanalleitfähigkeit nicht mehr möglich ist. Auffällig ist zudem die große Hysterese in der Transferkennlinie, die hier stets im Uhrzeigersinn auftritt. Das heißt, der Kanal hält seine Leitfähigkeit trotz abnehmender Gate-Spannung aufrecht. Mögliche Gründe für dieses Verhalten werden an anderer Stelle in diesem Kapitel diskutiert.

Im Ausgangskennlinienfeld ist eine Sättigung des Drain-Stromes nicht vorhanden, sodass I_D im gesamten Messbereich von der Drain-Spannung abhängt. Nichtsdestotrotz ist eine Steuerung von I_D durch die Gate-Spannung möglich. Aufgrund des nicht-linearen Verhaltens der Kennlinien für kleine V_D sowie des stark verzögerten Anstiegs von I_D kann von einem großen Einfluss des Kontaktwiderstandes auf das Transistorverhalten ausgegangen werden.

Neben Gold wird in der Literatur von einer Kontaktierung der CuO-TFTs durch Nickel berichtet, das sich aufgrund einer Austrittsarbeit von $\Phi_{Ni} = 5,15$ eV ebenfalls für einen Löchertransport durch das Valenzband eignet [LLZ+15],[LNL+17]. Des Weiteren bietet Nickel aufgrund des deutlich geringeren Preises (ca. 22 €/kg [fin22]) mit Hinblick auf eine kostengünstige Integration ökonomische Vorteile gegenüber Gold (ca. 56.000 €/kg [fin22]).

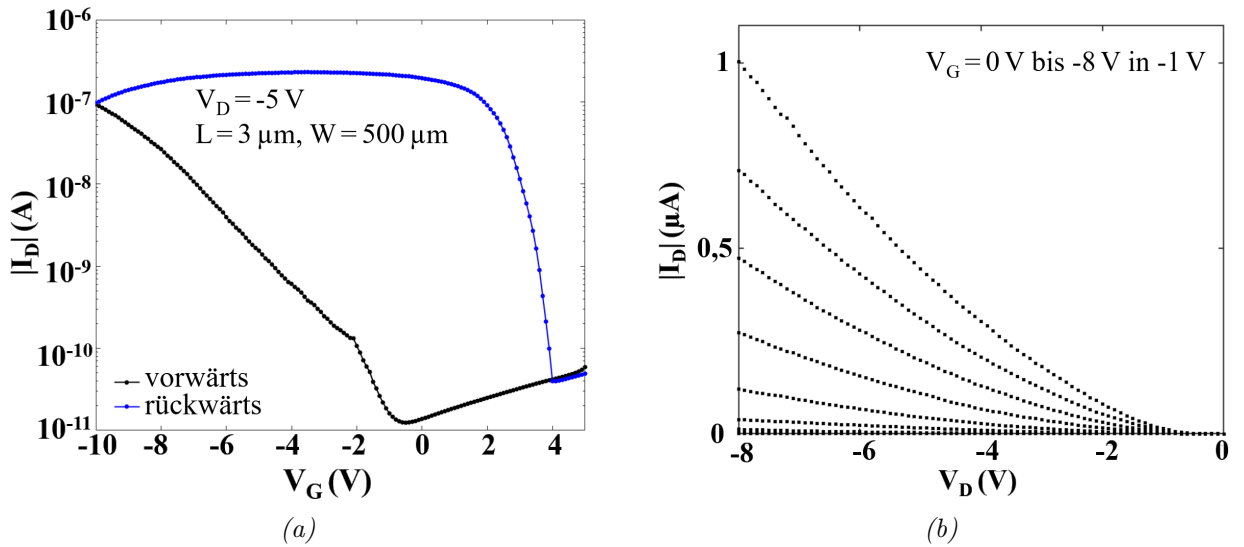


Abbildung 4.12: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit 100 nm Ni als Drain-/Source-Material und CuO-Nanopartikeln bezogen von US Research Nanomaterials Inc.

Die Schichtdicke beträgt wiederum 100 nm.

Abbildung 4.12 zeigt die repräsentativen Kennlinien eines Bottom-Gate, Bottom-Contact TFTs mit CuO-Nanopartikeln der Firma US Research Nanomaterials Inc. und Ni-Elektroden. Verglichen mit der Drain-/Source-Metallisierung aus Au fällt hier ein verbesserter Kennlinienverlauf mit einem deutlich reduzierten Off-Strom ($I_{OFF} = -1 \cdot 10^{-11}$ A) bei nahezu gleich bleibendem On-Strom ($I_{ON} = -1 \cdot 10^{-7}$ A) auf, womit sich die Strommodulation auf $I_{ON}/I_{OFF} \approx 10^4$ verbessert. Dabei ist der Bereich der Gate-Spannung vergleichbar, die Drain-Spannung V_D kann sogar von -10 V auf -5 V gesenkt werden. Zudem kann durch eine Ni-Metallisierung eine signifikante Verringerung des Subschwelligenspannungsstromanstiegs auf $S = -1,6$ V/Dek erreicht werden. Die Feldeffektladungsträgerbeweglichkeit erhöht sich leicht auf $\mu_{FE} = 2 \cdot 10^{-3} \text{ cm}^2(\text{Vs})^{-1}$.

Die Austrittsarbeiten von Gold und Nickel liegen mit $\Phi_{Au} = 5,1$ eV und $\Phi_{Ni} = 5,15$ eV nah beieinander, sodass das unterschiedliche Verhalten der Transistoren nicht allein damit begründet werden kann. Allerdings bildet Nickel im Gegensatz zu Gold unter Umgebungsbedingungen eine natürliche Oxidschicht an der Oberfläche aus (NiO_x), welche die Austrittsarbeit verändert und dadurch das Injektionsverhalten beeinflusst. Dadurch lässt sich der deutlich reduzierte Off-Strom bei gleichzeitig nur leicht verringertem On-Strom erklären. Insgesamt lässt sich feststellen, dass sich das Transistorverhalten, insbesondere die Strommodulation, mit Ni-Elektroden verbessert.

In Vorwärtsrichtung kann eine Einschaltspannung von $V_{ON} = -0,5$ V und eine Schwellenspannung von $V_{Th} = -2$ V bestimmt werden. In diesem Fall ist ein eindeutiges Ausschaltver-

halten vorhanden, sodass sich eine Hysterese von $\Delta V_{ON} = 4,5 \text{ V}$ bzw. $\Delta V_{Th} = 5,6 \text{ V}$ ergibt, die im Uhrzeigersinn verläuft. Diese Art von Hysterese, das heißt das Aufrechterhalten der Kanalleitfähigkeit trotz abnehmender Gate-Spannung, konnte bereits bei den meisten der zuvor diskutierten ZnO-TFTs mit dem Dielektrikum inoflex T3 beobachtet werden.

Allgemein wird das Hystereseverhalten durch die Eigenschaften des Gate-Dielektrikums, des Halbleiters und dessen Interaktion mit der Umgebungsatmosphäre sowie der Grenzfläche zwischen diesen beiden Materialien verursacht. Die resultierende Hysterese kann dabei durch eine Überlagerung mehrerer Effekte verursacht werden. Eine im Uhrzeigersinn (bezogen auf einen p-Typ TFT) verlaufende Hysterese wird in erster Linie durch bewegliche Dipole und Ionen im Dielektrikum hervorgerufen [EBS+09],[YYX+17]. Dipole orientieren sich anhand des elektrischen Feldes, hervorgerufen durch die Gate-Spannung, und richten sich dementsprechend aus. Anionen bewegen sich aufgrund des vertikalen E-Feldes in Richtung des Kanals und verbleiben dort auch bei wieder abnehmender Gate-Spannung. Beide Effekte halten das elektrische Feld und damit die Leitfähigkeit des Kanals so lange aufrecht, bis der Einfluss des Gates ausreicht, um den Drain-Strom zu verringern. Da ein solcher Verlauf bei dem Großteil sowohl der ZnO- als auch der CuO-TFTs festgestellt werden kann, wird ein Einfluss dieses Mechanismus auf das Hystereseverhalten angenommen. Des Weiteren kann die Hysterese der CuO-TFTs dadurch verstärkt werden, dass die Vermessung der Transistoren unter Umgebungsbedingungen erfolgt. Wie bereits in Kapitel 3.1.2 erwähnt, interagiert CuO mit oxidierenden und reduzierenden Gasen. Dieser Effekt wird durch die Verwendung von Nanopartikeln aufgrund des erhöhten Oberfläche-zu-Volumen-Verhältnisses weiter erhöht. Unter Umgebungsbedingungen wird Sauerstoff aus der Luft an der CuO-Oberfläche adsorbiert, wobei Elektronen aus Oberflächenzuständen eingefangen werden. Dadurch kommt es zu einem Anstieg der Löcherkonzentration in der Nähe der Partikeloberfläche, wodurch sich der Schichtwiderstand verringert [WLY+16],[SSN+21], [MKC22]. Die dadurch resultierende Erhöhung der Leitfähigkeit während des Transistorbetriebs kann zu der im Uhrzeigersinn verlaufenden Hysterese beitragen. Andererseits führt Luftfeuchtigkeit dazu, dass Cu-OH-Gruppen an der CuO-Oberfläche als Fallenzustände agieren und somit den Löchertransport hemmen, wodurch sich die Schwellenspannung in Richtung negativer Gate-Spannung verschiebt [HST+11],[ZLN20]. Wäre dies der dominierende Effekt, würde die Hysterese jedoch entgegen dem Uhrzeigersinn verlaufen. Dieses Hystereseverhalten würde auch dann auftreten, wenn das Einfangen von Ladungen in Haftstellen an der Halbleiter-Dielektrikum-Grenzfläche oder eine Ladungsträgerinjektion vom Halbleiter in das Gate-Dielektrikum der vorherrschende Mechanismus wäre [EBS+09],[JLC20],[AJ21].

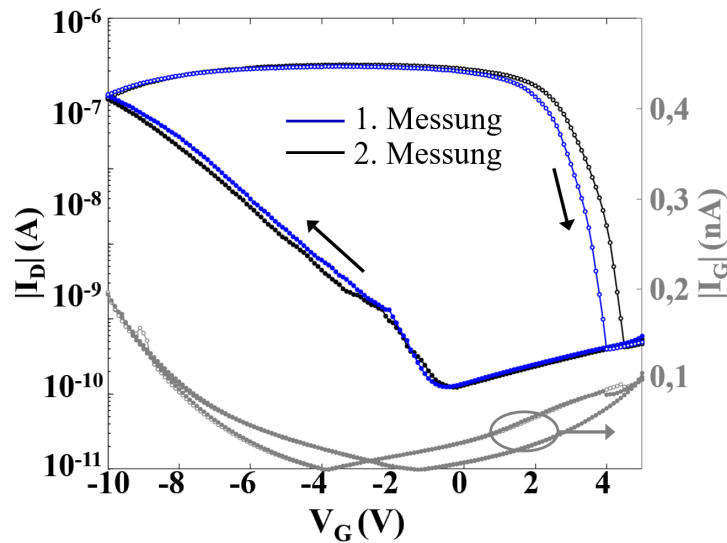


Abbildung 4.13: Wiederholte Messung der Transferkennlinie und des Leckstromes eines CuO-TFTs (US Research Nanomaterials Inc.) mit Ni-Elektroden.

Es wird zudem vermutet, dass Fallenzustände innerhalb des Kupferoxids für den Verlauf der Hysterese verantwortlich sind, die mit steigender Gate-Spannung gefüllt werden, wodurch leitfähige Pfade entstehen. Diese Pfade behalten ihre Leitfähigkeit auch noch bei bereits wieder abnehmender Gate-Spannung aufrecht, sodass der Drain-Strom in einem weiten Bereich der Gate-Spannung nahezu konstant ist. Ab einem Wert der Gate-Spannung (hier etwa bei $V_G = 1$ V) werden die in den Fallen gebundenen Ladungsträger frei und der Drain-Strom kann wieder kontrolliert werden. Der reproduzierbare Kurvenverlauf bzw. das Hystereseverhalten in Abbildung 4.13 bedeutet, dass die Fallenzustände sich entsprechend der Gate-Spannung füllen und leeren lassen. Laut WAGER kann angenommen werden, dass dieser Effekt in erster Linie innerhalb oder in der Nähe der Akkumulationsschicht auftritt [Wag10]. Dies ist mit hoher Wahrscheinlichkeit der Grund dafür, dass etwaige Versuche zur Reduzierung der Hysterese (Bestrahlung mit UV-Licht, Lagerung in hoher Luftfeuchtigkeit, Behandlung im O_2 -Plasma) keinen signifikanten Effekt erzielen.

Die Photolumineszenz-Spektroskopie (PL-Spektroskopie) stellt eine Methode dar, um eine Aussage über die Zustände innerhalb der Bandlücke (Verunreinigungen, Kristallgitterdefekte) zu treffen. Dazu wird der Halbleiter mit einem Laser bestrahlt, woraufhin ein Elektron vom Valenz- in das Leitungsband angehoben wird. Durch anschließende Rekombination wird Strahlung emittiert, die detektiert wird. Allerdings konnte für sämtliche in dieser Arbeit verwendeten nanopartikulären CuO-Schichten keine Photolumineszenz ge-

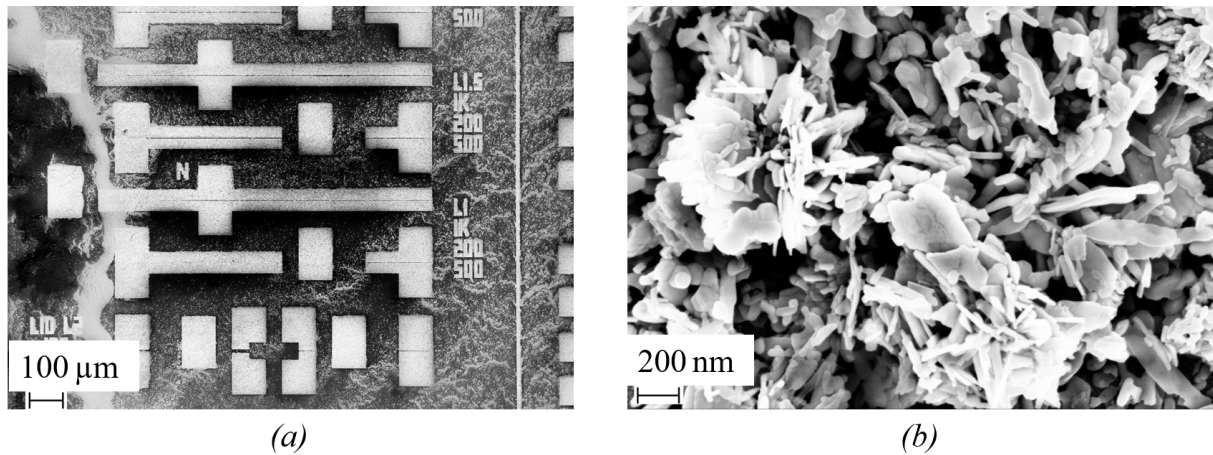


Abbildung 4.14: (a) REM-Aufnahme einer Bottom-Gate, Bottom-Contact TFT-Struktur mit CuO-Nanopartikeln (US Research Nanomaterials Inc.), aufgebracht durch einen Rakelprozess. (b) Vergrößerte Darstellung der CuO-Schicht.

messen werden, was auf nicht-strahlende Rekombinationsprozesse schließen lässt [Dwo07]. Das Leckstromverhalten in Abbildung 4.13 deutet abschließend darauf hin, dass auch hier der mechanische Einfluss des Rakelprozesses auf das Dielektrikum keine Rolle spielt.

Das Ausgangskennlinienfeld in Abbildung 4.12 (b) zeigt ebenso wie der mit Gold kontaktierte TFT keine Sättigung, jedoch kann auch hier eine Steuerbarkeit von der Gate-Spannung festgestellt werden. Der nicht-lineare Anlaufbereich lässt wiederum auf einen erhöhten Kontaktwiderstand schließen.

Zusammenfassend kann festgestellt werden, dass sich die (verdünnte) Nanopartikeldispersion der Firma US Research Nanomaterials Inc. auch ohne weitere Stabilisierung gut integrieren lässt. Das heißt, es kommt zu keiner direkten Ablagerung der Partikel inner-

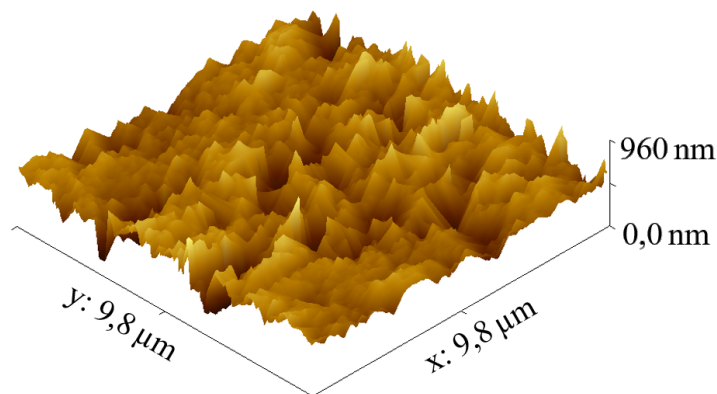


Abbildung 4.15: AFM-Aufnahme einer CuO-Nanopartikelschicht (US Research Nanomaterials Inc.).

Tabelle 4.5: Vergleich der Transistorparameter von Bottom-Gate, Bottom-Contact CuO-Nanopartikel-TFTs (US Research Nanomaterials) mit Au- bzw. Ni-Kontakten (Schichtdicke jeweils 100 nm).

	V_D [V]	V_{ON} [V]	ΔV_{ON} [V]	I_{ON}/I_{OFF}	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
Au	-10	5,6	–	≈ 7	$8 \cdot 10^{-4}$	–
Ni	-5	-0,5	4,5	$1 \cdot 10^4$	$2 \cdot 10^{-3}$	-1,6

halb der Lösung, wodurch makroskopisch eine relativ gleichmäßige Schicht mithilfe des Rakelprozesses erzielt werden kann (siehe Abbildung 4.14 (a)). Es kann jedoch davon ausgegangen werden, dass die Partikel innerhalb der Dispersion Agglomerate bilden, die auch durch Ultraschallanregung nicht aufgebrochen werden können. Zudem zeigt Abbildung 4.14 (b), dass zum einen eine Abweichung von der sphärischen Form und zum anderen eine starke Variation des Partikeldurchmessers vorliegt. Folglich wird die Herstellung einer durchgängigen Nanopartikelschicht sowie eines flächigen Kontaktes zu den planaren Elektroden erschwert, woraus die hohen Kontaktwiderstände resultieren. Mithilfe einer AFM-Untersuchung der Oberfläche der CuO-Nanopartikelschicht (siehe Abbildung 4.15) kann laut BUBEL eine Abschätzung der Grenzflächenrauheit zwischen Halbleiter und Dielektrikum erfolgen [Bub10]. Eine geringe Rauheit führt dazu, dass Ladungsträgerpfade nah an der Grenzfläche statt in einem gewissen Abstand dazu verlaufen. Die Rauheit wird als quadratisches Mittel der Höhenabweichung vom Mittelwert (engl.: *root mean square roughness*, kurz RMS roughness) angegeben. Hier kann ein hoher RMS-Wert von etwa 106 nm extrahiert werden. Insgesamt kann dies die geringen Drain-Ströme der TFTs basierend auf CuO-Nanopartikeln der Firma US Research Nanomaterials Inc. erklären. Die Parameter der zuvor diskutierten TFTs sind in Tabelle 4.5 zusammengefasst.

CuO-Nanopartikel der PlasmaChem GmbH

Die Nanopartikel der Firma PlasmaChem GmbH (Berlin, Deutschland) liegen in Pulverform vor und werden in VE-Wasser dispergiert, sodass eine Dispersion mit einem Massenanteil des CuO von 10 % entsteht. Laut Datenblatt beträgt der Partikeldurchmesser im Durchschnitt 40 nm [Pla]. Die Drain-/Source-Kontakte der Bottom-Gate, Bottom-Contact TFTs bestehen zunächst wiederum aus einer 100 nm dicken Goldschicht.

Die Transferkennlinie in Abbildung 4.16 (a) zeigt im Vergleich zu den baugleichen TFTs mit CuO-Nanopartikeln der Firma US Research Nanomaterials ein deutlich verbessertes Transistorverhalten. Zunächst sei anzumerken, dass dieses Verhalten bereits bei einer Betriebsspannung von $V_D = -5$ V erzielt werden kann. Allerdings kommt es auch hier zu einer starken Hysterese, wobei die Einschalt- bzw. Schwellenspannung in Rückwärtsmess-

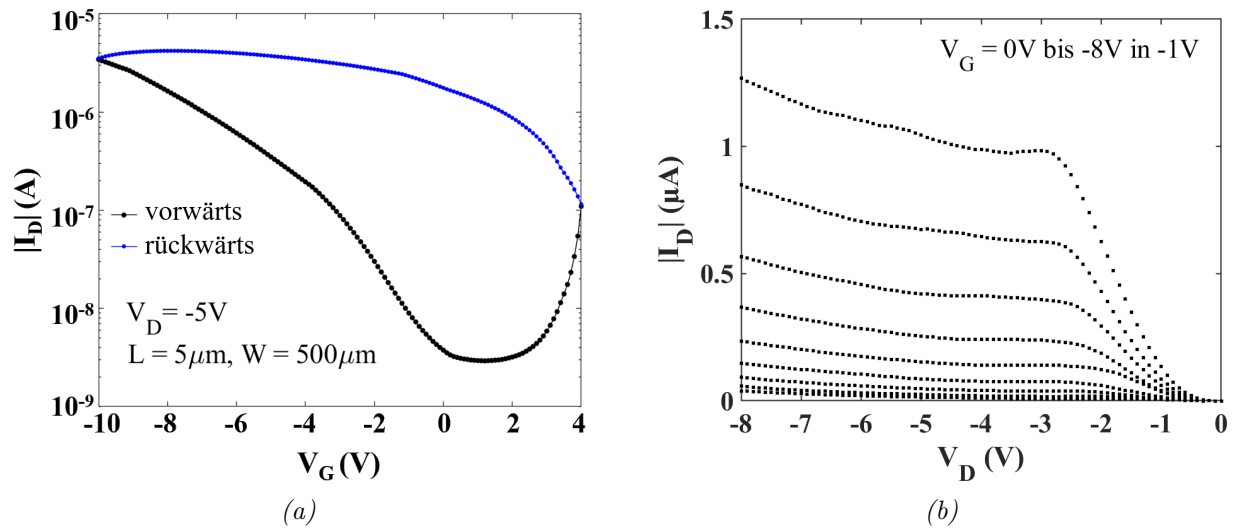


Abbildung 4.16: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit 100 nm Au als Drain-/Source-Material und CuO-Nanopartikeln bezogen von der PlasmaChem GmbH.

richtung in dem aufgenommenen Bereich nicht bestimmbar sind. In Vorwärtsmessrichtung ergeben sich hierfür Werte von $V_{ON} = 0,6 V$ und $V_{Th} = -0,8 V$. Die Ladungsträgerbeweglichkeit kann zu $0,03 \text{ cm}^2(\text{Vs})^{-1}$ bestimmt werden. Die Strommodulation beträgt $I_{ON}/I_{OFF} = 1 \cdot 10^3$ und der Anstieg des Drain-Stromes im Subschwellenbereich liegt bei einem Wert von $S = -2,2 \text{ V/Dek}$.

Der Subschwelligenspannungsstromanstieg ist ein Indikator für die Dichte an Fallenzuständen in einem Transistor. Diese Fallenzustände können sich entweder im Halbleitermaterial selbst oder an der Grenzfläche zum Dielektrikum befinden. Während Letztere durch Oberflächeneigenschaften wie die Rauheit der Grenzfläche hervorgerufen werden, entsprechen Fallen im Halbleiter energetischen Zuständen in dessen Bandlücke, hervorgerufen durch strukturelle Defekte oder Verunreinigungen [SPD03],[LHZ+15],[GSZ+18],[JJP21].

Das in Abbildung 4.16 (b) dargestellte Ausgangskennlinienfeld zeigt eine deutliche Verbesserung der Kurvenverläufe verglichen mit den zuvor diskutierten CuO-TFTs. In diesem Fall weist der Transistor ein ausgeprägtes Sättigungsverhalten des Drain-Stromes auf. Im Anlaufbereich kommt es zwar weiterhin zu einer leichten Rechtskrümmung, was auf eine Potenzialbarriere hindeutet, allerdings scheint diese hier weniger ausgeprägt zu sein, als bei den TFTs zuvor.

Die gesteigerte Leistungsfähigkeit der TFTs kann auf die verbesserte Morphologie der

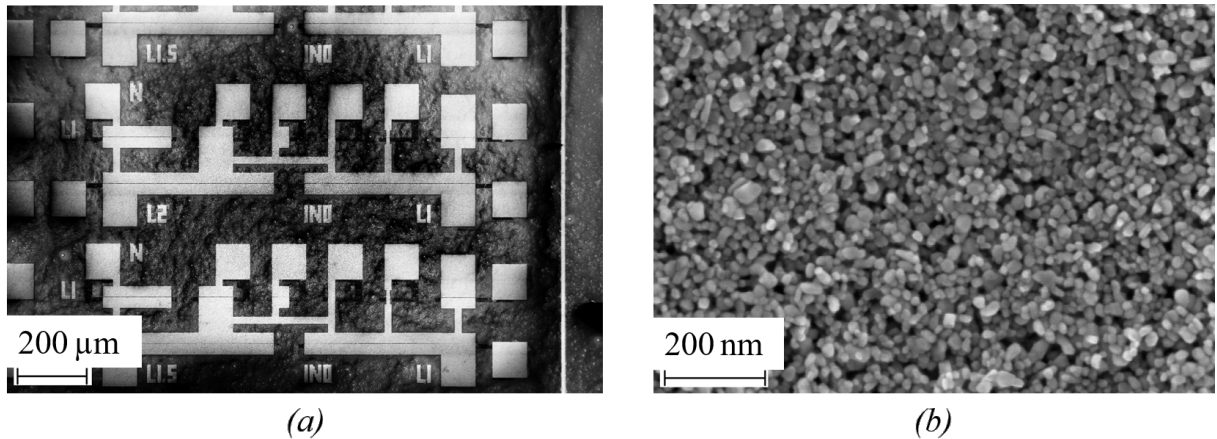


Abbildung 4.17: (a) REM-Aufnahme einer Bottom-Gate, Bottom-Contact TFT-Struktur mit CuO-Nanopartikeln (PlasmaChem GmbH), aufgebracht durch einen Rakelprozess. (b) Vergrößerte Dargestellung der CuO-Schicht

Nanopartikelschicht zurückgeführt werden. Das CuO-Pulver lässt sich äußerst gut dispergieren, sodass es auch nach einigen Tagen kaum Ablagerungen innerhalb der Lösung gibt. Dies macht sich auch während des Rakelprozesses bemerkbar, sodass es zu einer homogenen Schicht kommt, veranschaulicht in Abbildung 4.17 (a). Auch der Partikeldurchmesser (siehe Abbildung 4.17 (b)) ist wesentlich einheitlicher und es kommt seltener zur Bildung von Agglomeraten als bei den zuvor verwendeten Kupferoxiden. Dies resultiert einerseits in einer besseren Kantenbedeckung der Drain- und Source-Elektroden. Andererseits ist die Rauheit der CuO-Oberfläche, die eine Abschätzung der Grenzflächenrauheit bietet, mit ungefähr 21 nm, extrahiert aus der AFM-Messung in Abbildung 4.18, deutlich geringer. Folglich lässt sich der erhöhte On-Strom ($|I_{ON}| \approx 10^{-6} \text{ A}$) sowohl auf eine Verringerung des Kontaktwiderstandes als auch auf eine grenzflächennahe Kanalausbildung zurückführen.

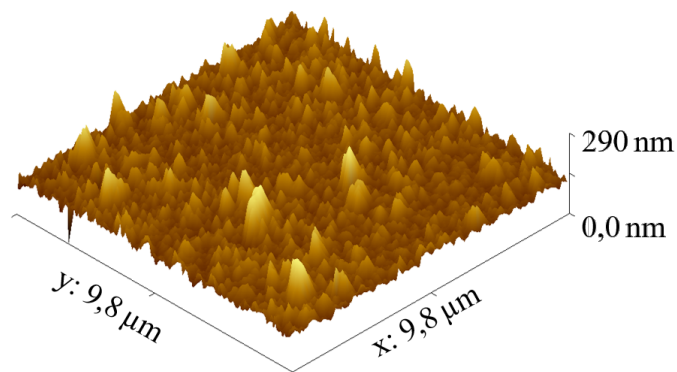


Abbildung 4.18: AFM-Aufnahme einer CuO-Nanopartikelschicht (PlasmaChem GmbH).

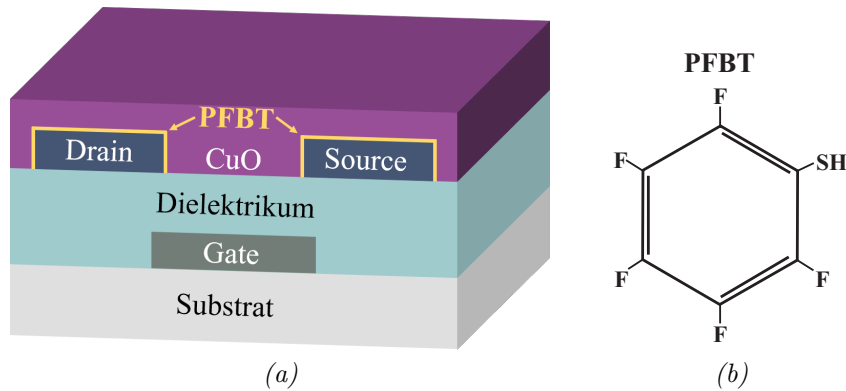


Abbildung 4.19: (a) Schematische Darstellung des Bottom-Gate, Bottom-Contact TFTs mit behandelter Oberfläche der Drain-/Source-Elektroden. (b) Chemische Struktur des Pentafluorothiophenol (PFBT).

Insbesondere aus dem Bereich der organischen TFT-Technologie ist die Behandlung der Drain-/Source-Elektroden durch selbstorganisierende Monolagen (engl.: *Self-Assembled Monolayer*, kurz SAM) zur Optimierung der Kontakteigenschaften bekannt [BPL+19], [PTS+20], [BWL+22]. Die sich dabei durch Chemisorption auf dem Metall selbst anordnenden polaren Moleküle resultieren in einer dünnen Schicht, die Dipole aufweist. Dadurch kann die Austrittsarbeit der Metalle, je nach Richtung der Dipole, erhöht oder verringert werden [BHM+05]. Neben der Austrittsarbeit wird durch solche Monolagen auch die Oberflächenenergie verändert, sodass die Benetzbarkeit beeinflusst wird. Solche SAMs sind in TFTs basierend auf halbleitenden Metalloxiden eher selten anzutreffen. Begründet wird dies dadurch, dass die Monolagen während der Halbleiterdeposition durch eventuell erforderliche hohe Temperaturen beschädigt werden können [CZW+20].

In TFTs mit organischen Halbleitern wird unter anderem Pentafluorobenzenethiol (PFBT), auch als Pentafluorothiophenol bezeichnet, verwendet, um die Austrittsarbeit der Au-Kontakte zu erhöhen [FvM+15],[BPL+19],[PTS+20]. Wie MEYERS bereits erwähnte, reduziert sich die Austrittsarbeit von Gold unter dem Einfluss von Aceton und Isopropanol, die hier im Rahmen der Wafer-Reinigung eingesetzt werden, auf etwa 4,5 eV [Mey21]. Da sich das Valenzband von CuO bei -5,5 eV befindet, ergibt sich dadurch eine hohe Diskrepanz [JL19]. Dementsprechend wird im Folgenden eine PFBT-Behandlung der Drain-/Source-Elektroden durchgeführt, um die Austrittsarbeit der Gold-Elektroden wieder zu erhöhen.

Die Elektrodenbehandlung erfolgt direkt im Anschluss an die Strukturierung der Drain-/Source-Elektroden (Lift-off-Prozess, Ätzen der Schutzschicht, Reinigung mithilfe von Aceton, Isopropanol und VE-Wasser). Dazu wird das Substrat für drei Stunden in einer

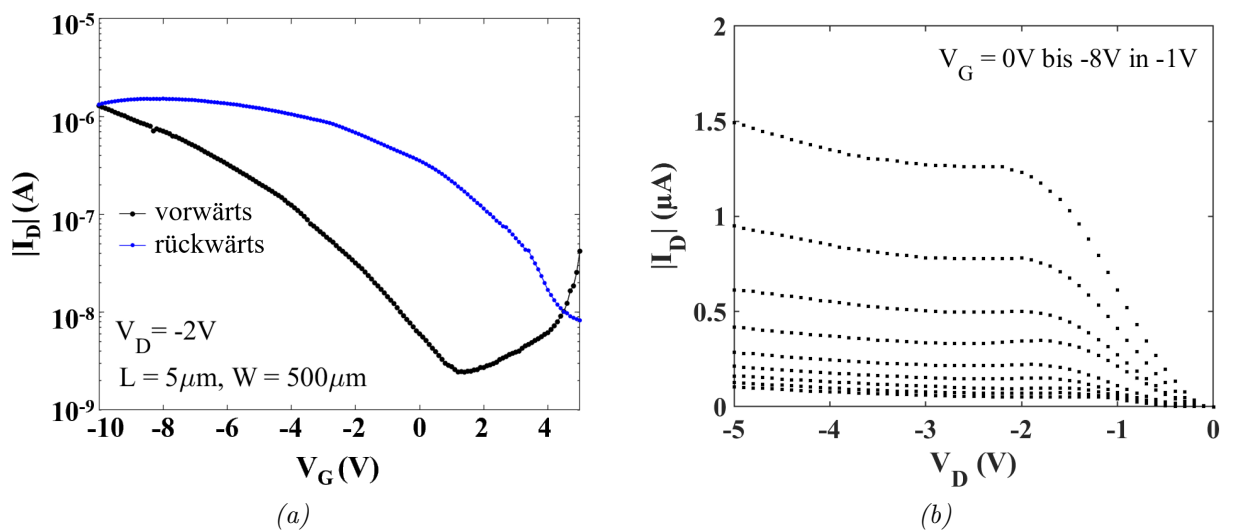


Abbildung 4.20: (a) Transferkennlinie, (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit CuO-Nanopartikeln (PlasmaChem) und einer PFBT-behandelten Drain-/Source-Metallisierung aus 100 nm Au.

Lösung bestehend aus 160 μl PFBT (bezogen von der Firma Sigma-Aldrich [Siga]) und 80 ml Ethanol platziert. Nach dem Spülen mit Ethanol und Trocknen in einem Stickstofffluss wird der Halbleiter durch einen Rakelprozess aufgebracht und das Lösungsmittel bei 115 $^{\circ}\text{C}$ ausgetrieben. Die schematische Darstellung eines TFTs mit behandelten Kontaktelektroden zeigt Abbildung 4.19 (a). Die chemische Struktur von Pentafluorothiophenols wird in Abbildung 4.19 (b) veranschaulicht.

Die repräsentativen Kennlinien eines Bottom-Contact CuO-TFTs mit PFBT-behandelten Au-Elektroden (siehe Abbildung 4.20) weisen auf den ersten Blick keine signifikanten Veränderungen zu dem zuvor vorgestellten Transistor ohne Elektrodenbehandlung auf⁷. Das vergleichbare elektrische Verhalten kann hier jedoch mit einer Betriebsspannung von lediglich -2 V erreicht werden. Mit einem ähnlichen Stromniveau im ausgeschalteten Zustand und einem nur leicht geringeren On-Strom ergibt sich eine Strommodulation von $I_{ON}/I_{OFF} = 7 \cdot 10^2$. Der hier deutlicher ausgeprägte Einschaltpunkt liegt in Vorwärtsmessrichtung bei $V_{ON} = 1,2 \text{ V}$. Die Schwellenspannung kann aufgrund der quadratischen Abhängigkeit von der Gate-Spannung nicht eindeutig bestimmt werden, sodass der Wert auf $V_{Th} = -0,8 \text{ V}$ abgeschätzt wird. Auch hier können diese Parameter für die entgegengesetzte Messrichtung nicht extrahiert werden, auch wenn die Hysterese etwas geringer erscheint.

⁷Die Ergebnisse bezüglich der Untersuchung der Kontakt-Metallisierung und deren PFBT-Behandlung in TFTs basierend auf p-leitenden CuO-Nanopartikeln wurden teilweise in [13] veröffentlicht.

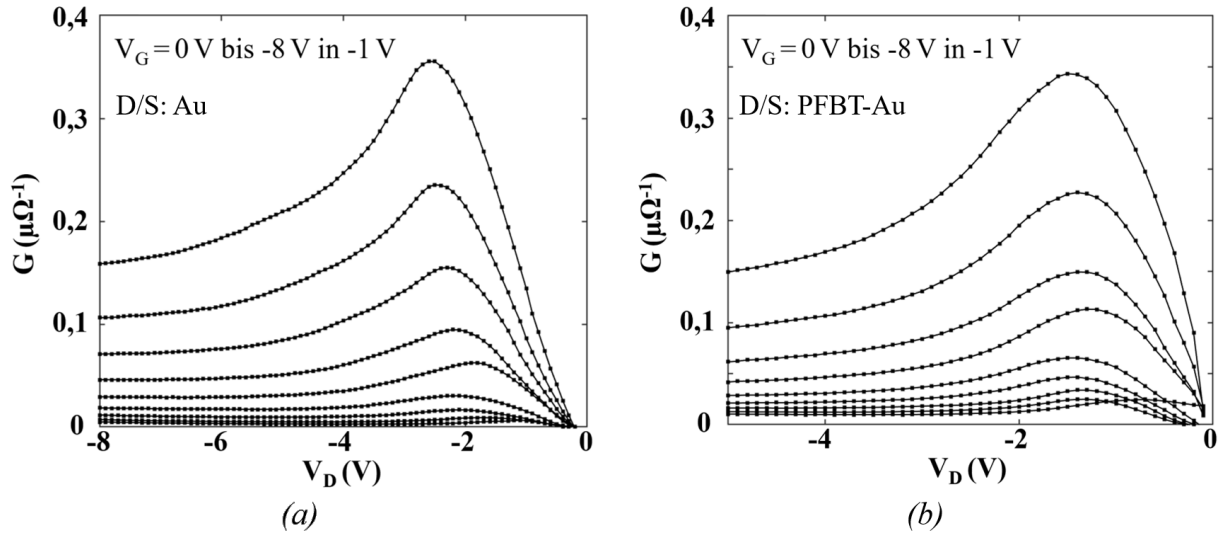


Abbildung 4.21: Vergleich der Leitwerte ermittelt aus den Ausgangskennlinienfeldern (a) des CuO-TFTs mit einer Kontaktmetallisierung aus Au und (b) des CuO-TFTs mit PFBT-behandelten Au-Elektroden (beide $L = 5 \mu\text{m}$, $W = 500 \mu\text{m}$).

Die Ladungsträgerbeweglichkeit sowie der Subschwellsenungsstromanstieg liegen mit $\mu_{FE} = 0,02 \text{ cm}^2(\text{Vs})^{-1}$ bzw. $S = -2,9 \text{ V/Dek}$ in der gleichen Größenordnung wie die Kennwerte des unbehandelten TFTs.

Das Ausgangskennlinienfeld weist auch hier ein Sättigungsverhalten auf. Der durch den Schottky-Kontakt verursachte nicht-lineare Verlauf von I_D für kleine Drain-Spannungen ist deutlich weniger ausgeprägt als bei dem vorherigen TFT mit unbehandelten Kontaktelektroden, sodass von einem geringeren Kontaktwiderstand ausgegangen werden kann. Diese Vermutung legt auch der Vergleich der aus den Ausgangskennlinienfeldern extrahierten Leitwerte nahe. Der Leitwert-Verlauf des TFTs mit unbehandelten Au-Elektroden in Abbildung 4.21 (a) weist Maxima bei $V_D < -2 \text{ V}$ auf, während diese beim PFBT-behandelten TFT bei $V_D \approx -1 \text{ V}$ liegen. Folglich ist der kontaktbegrenzende Bereich bei dem Transistor mit modifizierten Elektroden kleiner, was auf einen reduzierten Kontaktwiderstand schließen lässt [LMX+15].

Insgesamt wird mit der PFBT-Behandlung der Au-Kontakte eine Reduzierung der Betriebsspannung von -5 V auf -2 V erreicht bei ansonsten annähernd gleich bleibenden Kennwerten. Es deutet darauf hin, dass diese Elektrodenbehandlung auch bei anorganischen TFTs basierend auf CuO-Nanopartikeln aufgrund der Anpassung der Austrittsarbeit zu einer verbesserten Ladungsträgerinjektion führt.

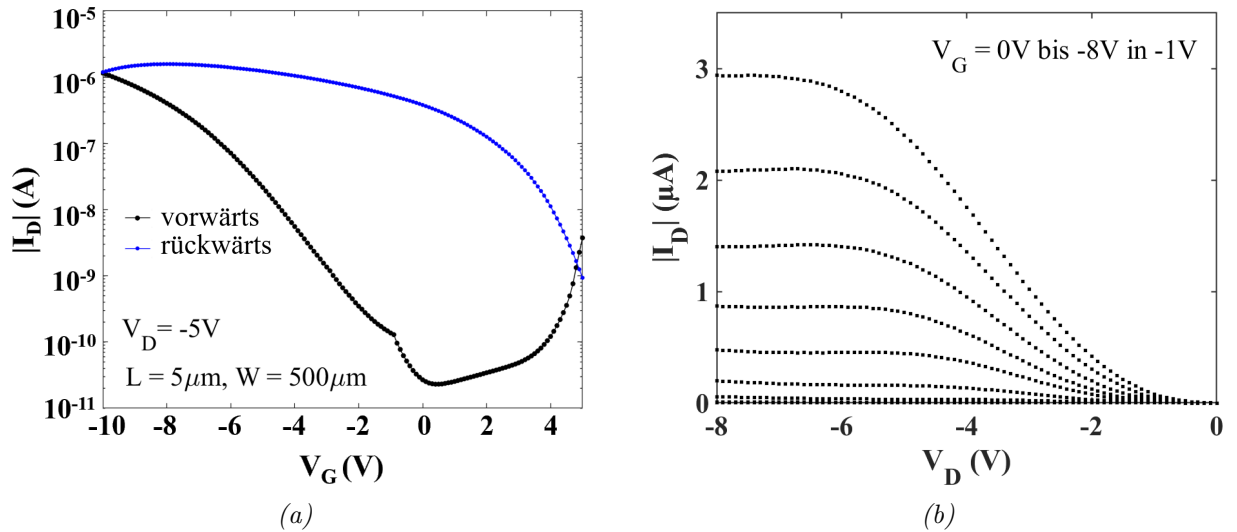


Abbildung 4.22: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit CuO-Nanopartikeln (PlasmaChem) und einer Drain-/Source-Metallisierung aus 100 nm Ni.

Im Folgenden werden die Au-Kontakte wiederum durch Ni ersetzt und die resultierenden TFTs charakterisiert. Wie bereits zuvor bei den TFTs mit CuO-Nanopartikeln des Herstellers US Research Nanomaterials beobachtet werden konnte, zeigt auch die Transferkennlinie in Abbildung 4.22 (a), aufgenommen bei einer Spannung von $V_D = -5$ V, einen um etwa zwei Dekaden reduzierten Off-Strom ($|I_{OFF}| \approx 10^{-11}$ A) im Vergleich zu dem TFT mit Au-Elektroden (siehe Abbildung 4.16 (a)). Der Strom im eingeschalteten Zustand verringert sich gleichzeitig nur geringfügig auf $I_{ON} = -1 \cdot 10^{-6}$ A. Daraus ergibt sich eine Strommodulation von $I_{ON}/I_{OFF} = 7 \cdot 10^4$. Die Ladungsträgerbeweglichkeit und der Subschwelligenspannungsstromanstieg werden zu $\mu_{FE} = 0,02 \text{ cm}^2(\text{Vs})^{-1}$ bzw. $-1,8 \text{ V/Dek}$ bestimmt. Während die Beweglichkeit im Bereich der TFTs mit Gold-Elektroden liegt, kann das Sperrverhalten in Anbetracht des reduzierten Subschwelligenspannungsstromanstiegs verbessert werden. Die Einschaltspannung V_{ON} liegt in Vorwärtsmessrichtung bei $0,4$ V und die Schwellenspannung V_{Th} wird auf einen Wert von $-3,6$ V abgeschätzt. Für die entgegengesetzte Messrichtung können auch hier keine Werte ermittelt werden, sodass die Hysterese nicht explizit angegeben werden kann.

Anhand des Ausgangskennlinienfeldes lässt sich neben einem deutlichen Sättigungsbereich wieder der Einfluss eines Schottky-Kontaktes erkennen. Der resultierende Kontaktwiderstand scheint größer als der des mit Au kontaktierten TFTs zu sein, da der Anstieg des Drain-Stromes hier deutlich verzögerter erfolgt. Betrachtet man wieder den Verlauf

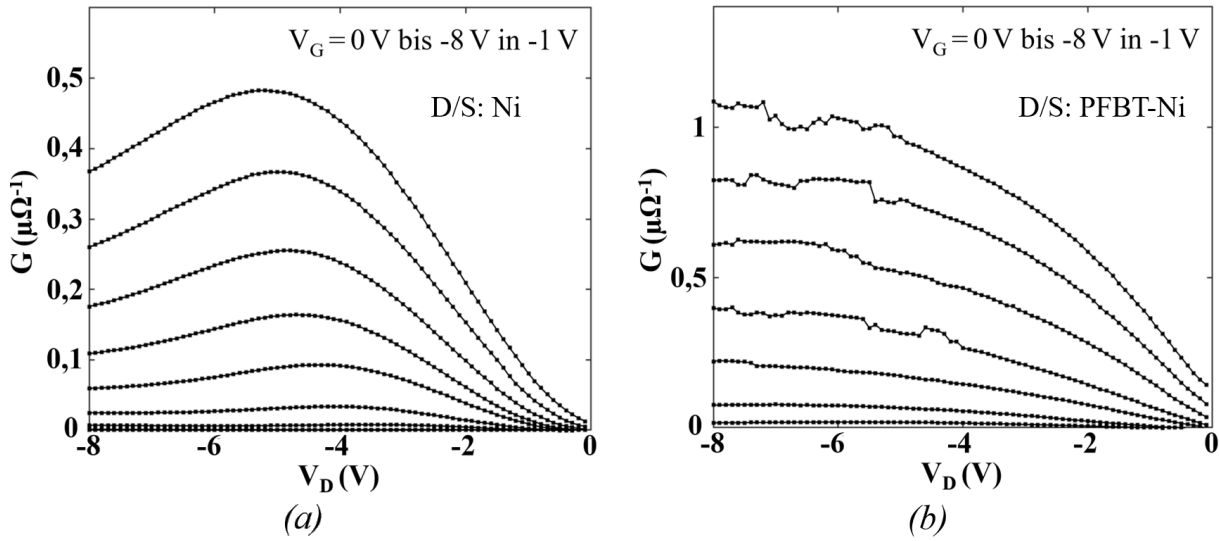


Abbildung 4.23: Vergleich der Leitwerte ermittelt aus den Ausgangskennlinienfeldern (a) des CuO-TFTs mit einer Kontaktmetallisierung aus Ni und (b) des CuO-TFTs mit PFBT-behandelten Ni-Elektroden (beide $L = 5 \mu\text{m}$, $W = 500 \mu\text{m}$). Die Rakelgeschwindigkeit betrug jeweils $50 \mu\text{m/s}$.

des Leitwertes (siehe Abbildung 4.23 (a)), kann diese Annahme aufgrund der Lage des Maximums bei $V_D \approx -5$ V und dem damit einhergehenden großen kontaktbegrenzenden Bereich bestätigt werden.

Da Thiole trotz des natürlichen Oxids gut an Nickeloberflächen binden, sollen im Folgenden auch die Ni-Elektroden einer PFBT-Behandlung unterzogen werden [HND+08]. Die experimentelle Durchführung erfolgt analog zu der zuvor für Au-Kontakte beschriebenen Methode. Repräsentative Kennlinien dieses TFT-Typs sind in Abbildung 4.24 dargestellt. Zunächst sei angemerkt, dass die Transferkennlinie wieder bei einer verringerten Drain-Spannung von -2 V aufgenommen werden kann und dabei annähernd gleiche Stromniveaus erreicht ($I_{ON}/I_{OFF} = 8 \cdot 10^4$). Während die Ladungsträgerbeweglichkeit mit $\mu_{FE} = 0,02 \text{ cm}^2(\text{Vs})^{-1}$ wieder vergleichbar mit den Werten der zuvor gezeigten TFTs mit CuO-Nanopartikeln der Firma PlasmaChem GmbH ist, kann der Subschwelligkeitsstromanstieg deutlich auf $S = -0,5 \text{ V/Dek}$ gesenkt werden. Des Weiteren kann in Vorwärtsmessrichtung eine Einschaltspannung von $V_{ON} = -0,2$ V und eine Schwellenspannung von $V_{Th} = -1,6$ V bestimmt werden. In diesem Fall ist es zudem möglich, mit $V_{ON,Rückwärts} = 3,6$ V und $V_{Th,Rückwärts} = 2,1$ V die entsprechenden Werte für die entgegengesetzte Messrichtung anzugeben, bedingt durch eine leichte Reduzierung der Hysterese auf $\Delta V_{ON} = 3,8$ V.

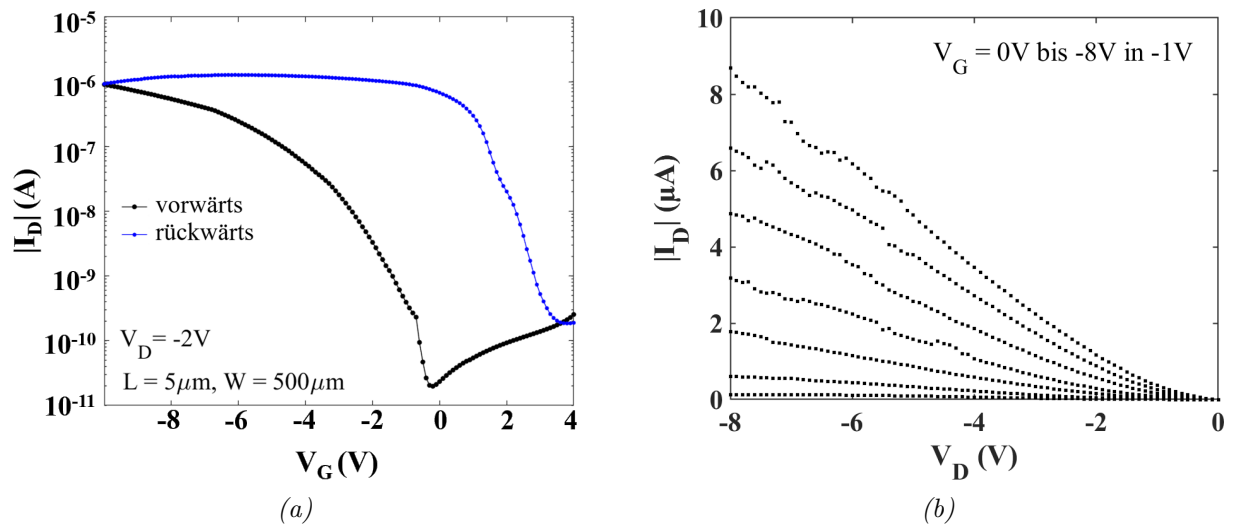


Abbildung 4.24: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit CuO-Nanopartikeln (PlasmaChem) und einer PFBT-behandelten Drain-/Source-Metallisierung aus 100 nm Ni.

Das Ausgangskennlinienfeld in Abbildung 4.24 (b) weist keinen Sättigungsbereich auf. Zudem kann wieder ein nicht-linearer Stromverlauf für kleine Drain-Spannungen beobachtet werden. Nichtsdestotrotz kann ein erhöhter maximaler Drain-Strom $I_{D_{max}}$ von mehr als $-8\mu\text{A}$ bei einer Gate-Spannung V_G von -8V gemessen werden. Das Ausbleiben einer Sättigung hat zur Folge, dass der Verlauf des Leitwertes in Abbildung 4.23 (b) kein Maximum zeigt und dementsprechend keine eindeutige Aussage bezüglich des kontaktbegrenzenden Bereichs gemacht werden kann.

Neben einem Einfluss auf die Austrittsarbeit der Ni-Elektroden kann auch eine Änderung der Benetzbarkeit infolge der Kontaktmodifikation ein abweichendes TFT-Verhalten begründen. Eine dadurch resultierende unterschiedliche Anlagerung der Partikel innerhalb des Kanalbereiches kann dabei zu Variationen in den Kennlinien führen. Ohne eine Oberflächenbehandlung mit Pentafluorothiophenol weist die Nickelschicht einen Kontaktwinkel mit Wasser von 25° auf. Durch die Modifikation der metallischen Kontakte erhöht sich der Kontaktwinkel auf 49° . Auch die Oberflächenenergie des polymeren Gate-Dielektrikums wird durch die PFBT-Behandlung verändert. Nach dem nasschemischen Ätzen der Al-Schicht auf dem Dielektrikum inoflex T3 beträgt der Kontaktwinkel 24° . Durch die Anlagerung der Monolage erhöht sich dieser auf 39° . Nach der Elektrodenbehandlung sind die Ni-Oberflächen im Vergleich zu der Oberfläche des Gate-Dielektrikums verhältnismäßig hydrophober als vor der Oberflächenbehandlung, sodass die Nanopartikelanordnung im

Kanal beeinflusst wird.

Der Verlauf des Ausgangskennlinienfeldes (siehe Abbildung 4.24 (b)) zeigt kein eindeutiges Sättigungsverhalten, sondern einen Anstieg des Drain-Stromes mit zunehmender Drain-Spannung. Dies lässt auf eine erhöhte Schichtdicke der CuO-Nanopartikel schließen, wodurch der Halbleiter nicht über seine ganze Dicke durch die Gate-Spannung kontrolliert werden kann.

Auch für TFTs mit Ni-Elektroden kann mithilfe einer PFBT-Behandlung eine Reduzierung der Betriebsspannung von -5 V auf -2 V erreicht werden. Die I_{ON}/I_{OFF} -Verhältnisse von bis zu $8 \cdot 10^4$ deuten auf ein angemessenes Sperrverhalten hin und ermöglichen einen Einsatz in logischen Grundschaltungen, die eine Strommodulation von mindestens 10^4 benötigen [Die07]. Folglich lassen Ni-Kontakte im eingeschalteten Zustand einen adäquaten Stromfluss zu, während sie den Ladungstransport im ausgeschalteten sperren. Das adäquate Sperrverhalten spiegelt sich auch in den Werten für den Subschwelligkeitsstromanstieg wieder, der für den PFBT-behandelten TFT lediglich -0,5 V/Dek beträgt. Das unter Umgebungsbedingungen entstehende Oberflächenoxid der Ni-Kontakte ist wahrscheinlich jedoch auch der Grund für den erhöhten Kontaktwiderstand bzw. für den größeren kontaktdominierenden Bereich in der $G(V_D)$ -Kennlinie der Ni-Elektroden verglichen mit Au-Kontaktierung.

Auch hier wird das reproduzierbare Verhalten anhand von mehreren, im Abstand von 5 s durchgeführten Messungen deutlich (siehe Abbildung 4.25). Wie bereits erwähnt, lässt sich die auftretende Hysterese einerseits auf Dipole und Ionen im Dielektrikum und andererseits auf Fallenzustände innerhalb der CuO-Nanopartikel zurückführen.

Tabelle 4.6 fasst die Kennwerte der zuvor diskutierten CuO-TFTs mit unbehandelten und PFBT-behandelten Drain-/Source-Elektroden bestehend aus 100 nm Au bzw. Ni zusammen.

Tabelle 4.6: Vergleich der Transistorparameter von Bottom-Gate, Bottom-Contact CuO-Nanopartikel-TFTs (PlasmaChem) mit un-/PFBT-behandelten Au- und Ni-Kontakten.

	V_D [V]	V_{ON} [V]	ΔV_{ON} [V]	I_{ON}/I_{OFF}	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
Au	-5	0,6	–	$1 \cdot 10^3$	0,03	-2,2
PFBT-Au	-2	1,2	–	$7 \cdot 10^2$	0,02	-2,9
Ni	-5	0,4	–	$7 \cdot 10^4$	0,02	-1,8
PFBT-Ni	-2	-0,2	3,8	$8 \cdot 10^4$	0,02	-0,5

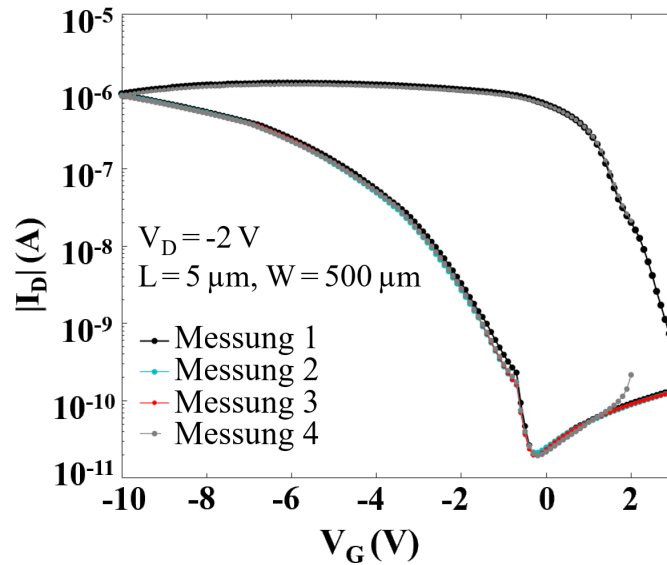


Abbildung 4.25: Transferkennlinien eines CuO-TFTs mit PFBT-behandelten Ni-Elektroden für mehrere Durchläufe mit einer jeweiligen Pause von 5 s zwischen den einzelnen Messungen unter Umgebungsbedingungen.

CuO-Nanopartikel von Nanografi

Abschließend werden die kommerziell erhältlichen CuO-Nanopartikel der Firma Nanografi (Ankara, Türkei) mit einem mittleren Durchmesser von 38 nm in Bottom-Gate, Bottom-Contact TFTs integriert und analysiert. Die Nanopartikel liegen in Pulverform vor und müssen vor dem Aufbringen durch einen Rakelprozess in VE-Wasser dispergiert werden. Da sich in den vorherigen Abschnitten zeigte, dass eine Kontaktmetallisierung aus Nickel zu einer gesteigerten Leistungsfähigkeit der Bauelemente führt, werden hier ebenfalls Ni-Kontakte mit einer Schichtdicke von 100 nm verwendet.

Abbildung 4.26 stellt die entsprechenden Kennlinien dar. Der Transistor kann mit einer Spannung von $V_D = -5$ V betrieben werden und weist p-leitendes Verhalten auf mit einer Einschalt- und Schwellenspannung in Vorwärtsrichtung bei $V_{ON} = 2,6$ V bzw. $V_{Th} = -2,7$ V. Auch hier kann eine Hysteresis nicht genau beziffert werden, da sowohl V_{ON} als auch V_{Th} in entgegengesetzter Messrichtung aus dem aufgenommenen Messbereich nicht extrahiert werden können. Die Strommodulation beträgt $I_{ON}/I_{OFF} = 1 \cdot 10^3$ mit einem annehmbaren Strom im ausgeschalteten Zustand ($|I_{OFF}| \approx 10^{-11}$ A), jedoch mit einem sehr geringen On-Strom ($|I_{ON}| \approx 10^{-8}$ A). Der Subschwellsenpannungsstromanstieg ist mit $-4,3$ V/Dek deutlich größer als der des vorherigen CuO-TFTs. Die Ladungsträgerbeweglichkeit liegt mit $\mu_{FE} = 1 \cdot 10^{-3}$ cm²(Vs)⁻¹ in der selben Größenordnung.

Eine Sättigung des Drain-Stromes im Ausgangskennlinienfeld (Abbildung 4.26 (b)) kann

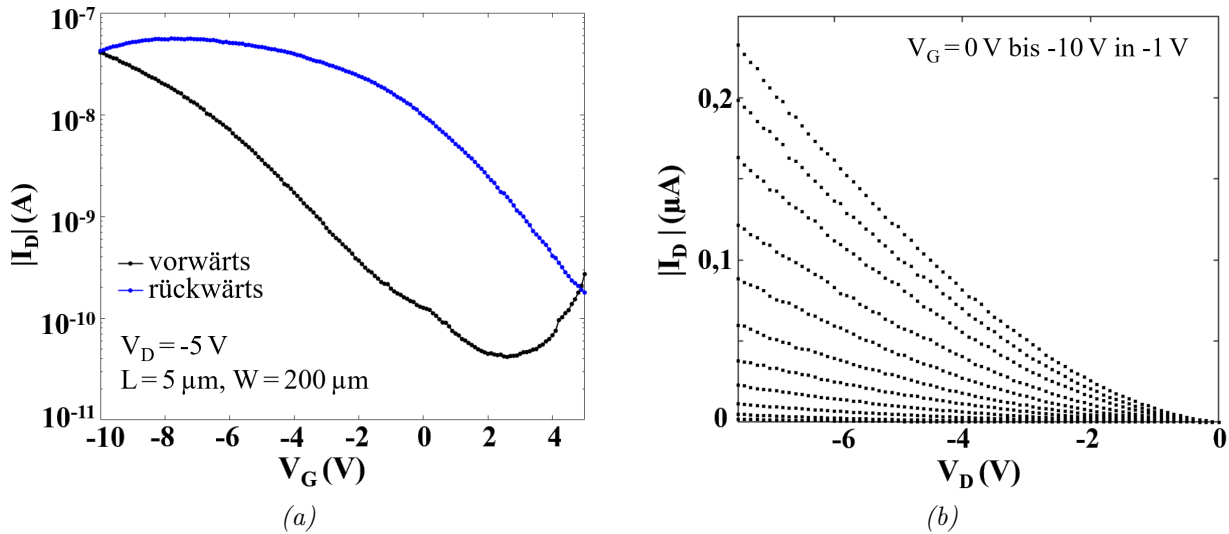


Abbildung 4.26: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Bottom-Contact p-Typ TFTs mit 100 nm Ni als Drain-/Source-Material und CuO-Nanopartikeln bezogen von Nanografi.

hier nicht erreicht werden, eine Steuerbarkeit durch das Gate-Potential liegt jedoch vor. Der Drain-Strom beginnt bereits bei kleinen Drain-Spannungen anzusteigen, das nicht-lineare Verhalten im Anlaufbereich ist jedoch weiterhin vorhanden und ist zum Teil auch der Bottom-Contact TFT-Architektur selbst geschuldet, die in der Regel einen größeren Kontaktwiderstand als TFTs in Top-Contact Bauweise aufweist. Der Kontaktwiderstand scheint jedoch im Vergleich zu den TFTs mit CuO-Nanopartikeln des Herstellers US Research Nanomaterials Inc. etwas geringer zu sein, was eventuell auf einen besseren Kontakt zwischen den planaren Elektroden und den größtenteils sphärischen Partikeln (siehe Abbildung 4.27 (b)) zurückzuführen ist. Es wird vermutet, dass das Ausbleiben der Sättigung auf eine zu hohe CuO-Schichtdicke zurückzuführen ist, sodass es zu Strompfaden zwischen Drain- und Source-Elektroden kommt, die nicht von der Gate-Spannung beeinflusst werden können. Diese Vermutung lässt sich anhand der REM-Aufnahme in Abbildung 4.27 veranschaulichen, die eine CuO-Beschichtung lediglich in einzelnen Bereichen zeigt. In diesen Bereichen ist die Schichtdicke jedoch hoch.

Eine gleichmäßige Deposition auf der Substratoberfläche stellt sich entsprechend als schwierig heraus, da das Dispergiervermögen dieser Nanopartikel gering ist und es direkt nach der Entnahme der Dispersion aus dem Ultraschallbecken zu einer Ablagerung und Agglomeration der Partikel innerhalb der Lösung kommt. Abbildung 4.27 (a) macht deutlich, dass die Integration von TFTs mit einer reproduzierbaren kontinuierlichen Schicht bei der Verwendung dieser CuO-Nanopartikel ohne den Einsatz von Dispergieradditiven

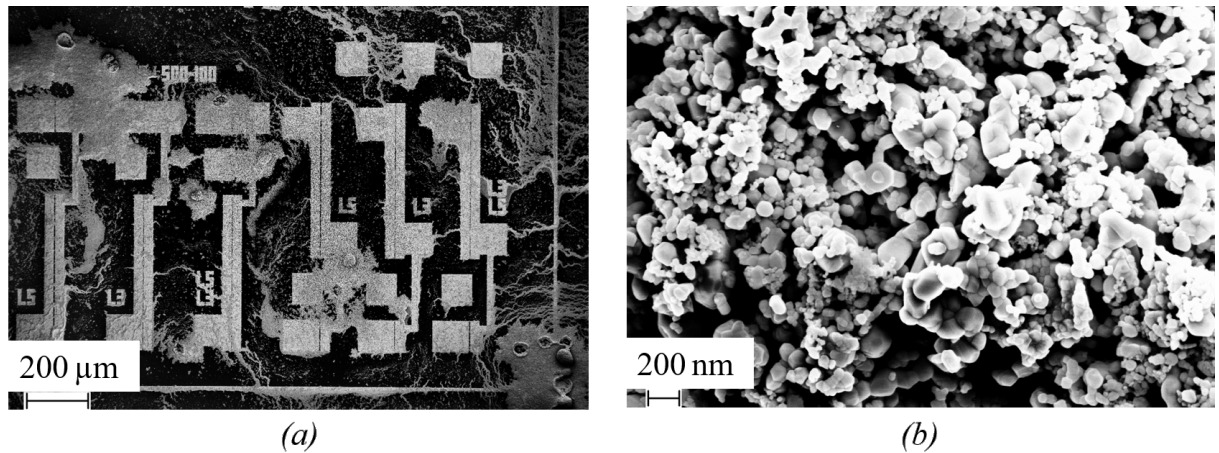


Abbildung 4.27: REM-Aufnahme einer Bottom-Gate, Bottom-Contact TFT-Struktur mit CuO-Nanopartikeln (Nanografi), aufgebracht durch einen Rakelprozess.

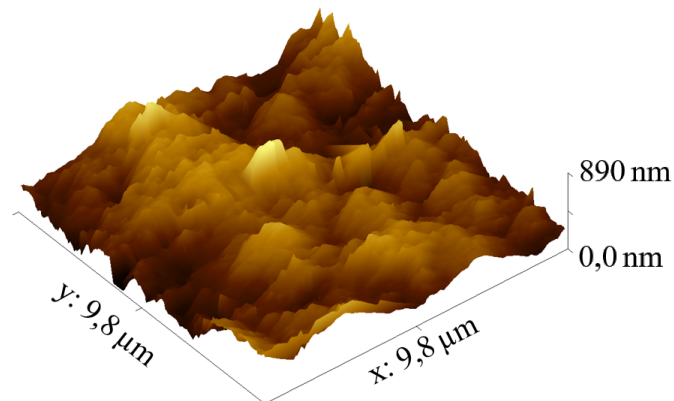


Abbildung 4.28: AFM-Aufnahme einer CuO-Nanopartikelschicht (Nanografi).

nicht möglich ist. Die geringen Ströme resultieren folglich daraus, dass die Anzahl an durchgängigen Ladungsträgerpfaden zwischen Drain- und Source-Elektrode begrenzt ist, sodass die effektive Kanalweite deutlich unterhalb der angegebenen geometrischen Weite liegt. Des Weiteren weisen die resultierenden Schichten trotz der gleichmäßigeren Partikeldurchmesser eine hohe Oberflächenrauheit von 134 nm auf (siehe Abbildung 4.28). Dies ist wahrscheinlich auf die Formierung von Agglomeraten zurückzuführen. Anhand der mangelhaften Schichtabscheidung lässt sich auch die geringe Ausbeute an funktionsfähigen TFTs erklären.

4.2.2 Top-Contact-Architektur

In Kapitel 2.1 wurde bereits der Vorteil eines reduzierten Kontaktwiderstandes in Top-Contact Architekturen genannt. Dies konnte anhand der Charakterisierung der ZnO-TFTs

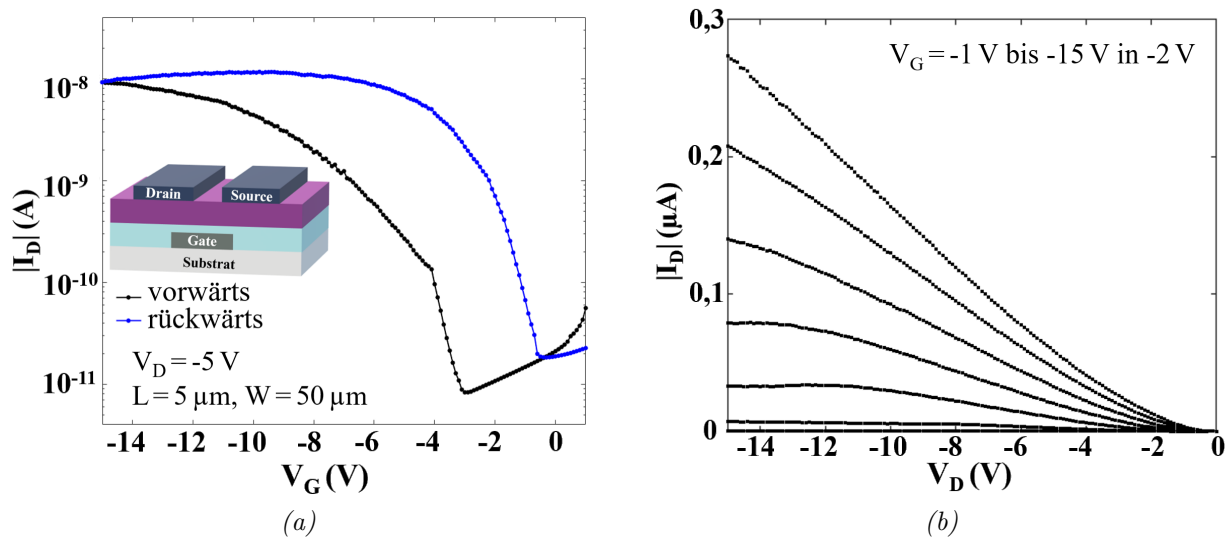


Abbildung 4.29: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Top-Contact p-Typ TFTs mit CuO-Nanopartikeln (PlasmaChem) und einer Drain-/Source-Metallisierung aus 100 nm Ni.

in Abschnitt 4.1.1 verifiziert werden. Folglich sollen im Folgenden CuO-TFTs mit dieser Bauweise integriert und charakterisiert werden. Dazu wird die Integration gemäß dem in Kapitel 3.4 beschriebenen Prozess bis zur Deposition der Al-Schutzschicht auf dem Dielektrikum durchgeführt. Direkt vor der Abscheidung der CuO-Nanopartikel (PlasmaChem GmbH) wird diese Schutzschicht durch einen nasschemischen Ätzprozess entfernt. Die Halbleiterdeposition erfolgt durch einen Schleuderprozess mit anschließendem Verdampfen des Lösungsmittels bei 115°C für 30 Minuten. Die Strukturierung der Kontaktelektroden soll durch einen Lift-off-Prozess erfolgen. Dazu wird auf der CuO-Schicht der Fotolack strukturiert und im nachfolgenden Schritt die Metallisierung aufgedampft (150 nm Ni). Abschließend wird der Fotolack und damit auch das überschüssige Metall durch eine Kombination aus Aceton und Isopropanol entfernt.

In Abbildung 4.29 sind die Transferkennlinie (a) sowie das Ausgangskennlinienfeld (b) eines CuO-TFTs mit Bottom-Gate, Top-Contact Architektur dargestellt. Der Strom I_D beträgt bei einer angelegten Drain-Spannung von -5 V im eingeschalteten Zustand $-1 \cdot 10^{-8} \text{ A}$ und im ausgeschalteten Zustand $-8 \cdot 10^{-12} \text{ A}$, daraus folgt eine Strommodulation von etwa $1 \cdot 10^3$. Der geringe Drain-Strom kann teilweise aus der um einen Faktor zehn kleineren Kanalweite W resultieren ($I_D \propto W$). Zudem ist die Schichtdicke des Halbleiters geringer als bei den zuvor gezeigten Bottom-Contact Bauteilen, woraus weniger Strompfade zwischen Drain- und Source-Elektrode resultieren. Eine Verbesserung könnte durch den Einsatz

des Rakelverfahrens mit entsprechender Anpassung der Rakelgeschwindigkeit erzielt werden, sodass sich die Dicke der Kupferoxidschicht erhöht. Die Einschaltspannung liegt in Vorwärtsmessrichtung bei $V_{ON} = -3\text{ V}$ und in entgegengesetzter Richtung bei $V_{ON,Rück} = -0,5\text{ V}$, sodass sich eine Hysterese von $\Delta V_{ON} = 2,5\text{ V}$ ergibt. Im Vergleich zu den vorherigen TFTs basierend auf CuO-Nanopartikeln ist die Hysterese damit deutlich geringer. Dies lässt sich ebenfalls mit der geringeren Anzahl an Nanopartikeln erklären, da somit auch die Interaktion mit der Umgebung verringert wird. Der Subschwellsenpannungsstromanstieg ist mit -1 V/Dek als gut zu bewerten, die Ladungsträgerbeweglichkeit μ_{FE} ist jedoch mit lediglich $4 \cdot 10^{-4}\text{ cm}^2(\text{Vs})^{-1}$ äußerst gering.

Im Ausgangskennlinienfeld wird die Steuerbarkeit des Transistors deutlich, der Sättigungsbereich wird allerdings nur anhand einer leichten Linkskrümmung angedeutet. Zudem besteht auch hier ein nicht-lineares Injektionsverhalten bei kleinen Drain-Spannungen, sodass trotz Top-Contact Architektur ein ausgeprägter Kontaktwiderstand vorhanden ist. Neben der bereits erwähnten geringen CuO-Schichtdicke infolge der Schleuderbeschichtung resultieren die limitierten Ströme und der für Top-Contact Architektur hohe Kontaktwiderstand möglicherweise aus einer chemischen Reaktion des CuO mit der NaOH-Entwicklerlösung [JYC15],[UKT+15]. Ein Indiz dafür ist die REM-Aufnahme einer TFT-Struktur in Abbildung 4.30, in der deutlich zu sehen ist, dass die CuO-Nanopartikel in den entwickelten Bereichen infolge des Kontaktes mit der NaOH-Entwicklerlösung agglomerieren. Um diese Agglomerate entstehen Bereiche, in denen kaum mehr Partikel vorhanden sind, wodurch die genannten Effekte erklärt werden können. Eine chemische Interaktion der Entwicklerlösung mit dem Dielektrikum wird ausgeschlossen, da die Entwicklungszeit der Dicke des Fotolackes entsprechend sorgfältig gewählt wurde. Ein solcher Effekt würde zudem zu einer Entfernung der Nanopartikel führen und weniger in einer Agglomeration resultieren.

Des Weiteren ist die Ausbeute an funktionsfähigen TFTs mit größerer Kanalweite gering, da sich diese Agglomerate teilweise auch in der Nähe des Kanals bilden und es dadurch nach der Abscheidung der Kontaktmetallisierung zu Kurzschlüssen zwischen Drain- und Source-Elektrode kommt.

4.2.3 CuO-TFTs auf Foliensubstrat

Im Hinblick auf einen Einsatz im Bereich der flexiblen Elektronikapplikationen soll nun, basierend auf den Arbeiten von VIDOR und MEYERS, ein Transfer der Integrationsroutine zur Herstellung von nanopartikulären CuO-TFTs auf ein Foliensubstrat erfolgen

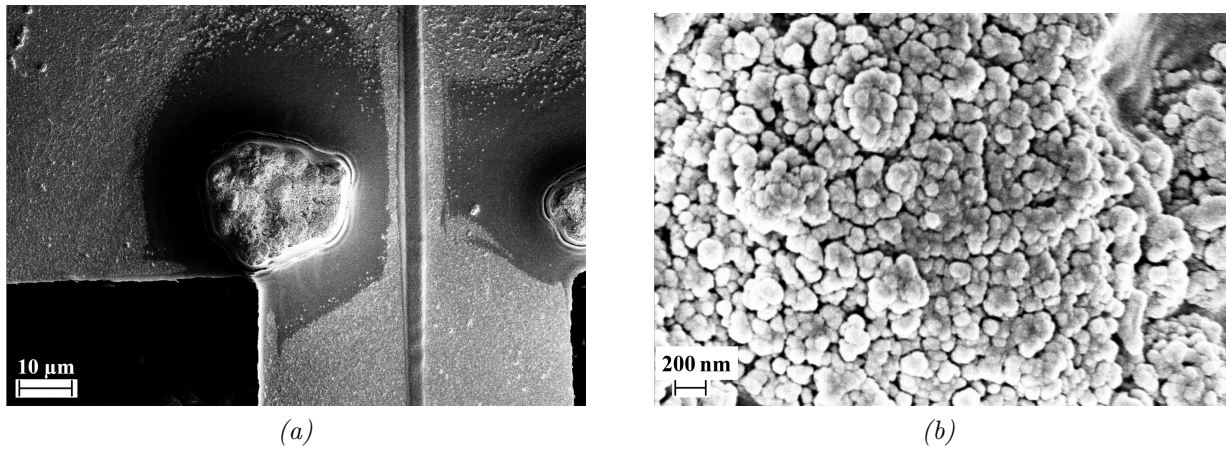


Abbildung 4.30: REM-Aufnahme (a) einer Top-Contact CuO-Struktur und (b) der Vergrößerung des Agglomerats. Der auf der CuO-Schicht aufgebrachte Fotolack wurde mit einer NaOH-Lösung entwickelt, anschließend wurden 100 nm Ni aufgedampft und via Lift-off strukturiert.

[Vid17],[Mey21]. An das Trägermaterial werden dabei eine Reihe an Anforderungen gestellt. Dazu gehören unter anderem eine geringe Oberflächenrauheit, eine ausreichende Temperatur- und Formstabilität, eine Resistenz gegenüber den eingesetzten Chemikalien, sowie gegebenenfalls eine optische Transparenz [Die07]. Die in Kapitel 3.4 vorgestellte Routine kann aufgrund einer Maximaltemperatur von nur 120 °C direkt auf flexible Substrate übertragen werden. Das verwendete Polyethylenterephthalat (PET)-Substrat, zur Verfügung gestellt von der Firma Mitsubishi Polyester Film GmbH, mit einer Dicke von 250 µm (Bezeichnung: Hostaphan® GN 250) wird zunächst durch eine Reinigungsprozedur aus Aceton, Isopropanol und VE-Wasser gereinigt. Um eine Verformung während des Integrationsprozesses zu vermeiden, wird die PET-Folie zunächst einer thermischen Behandlung für 30 Minuten bei 150 °C im Konvektionsofen unterzogen. Durch dieses kontrollierte Schrumpfen erhält man ein nahezu formstabiles Substrat, das eine reproduzierbare Bauteilintegration ermöglicht. Die Folienstärke von 250 µm bietet eine ausreichende mechanische Stabilität, sodass während sämtlicher Schleuderprozesse kein unterstützendes Trägersubstrat notwendig ist. Die Drain-/Source-Metallisierung der Bottom-Gate, Bottom-Contact TFTs besteht wiederum aus 100 nm Ni.

Abbildung 4.31 (a) stellt die Transferkennlinie eines CuO-TFTs auf einem Foliensubstrat dar. Die Schwellenspannung V_{Th} und die Einschaltspannung V_{ON} liegen bei 0,5 V bzw. 0,6 V. Die Strommodulation I_{ON}/I_{OFF} beträgt $2 \cdot 10^2$, während die Ladungsträgerbeweglichkeit μ_{FE} zu $3 \cdot 10^{-3} \text{ cm}^2(\text{Vs})^{-1}$ bestimmt werden kann.

Im Ausgangskennlinienfeld in Abbildung 4.31 (b) wird wiederum die Steuerbarkeit des

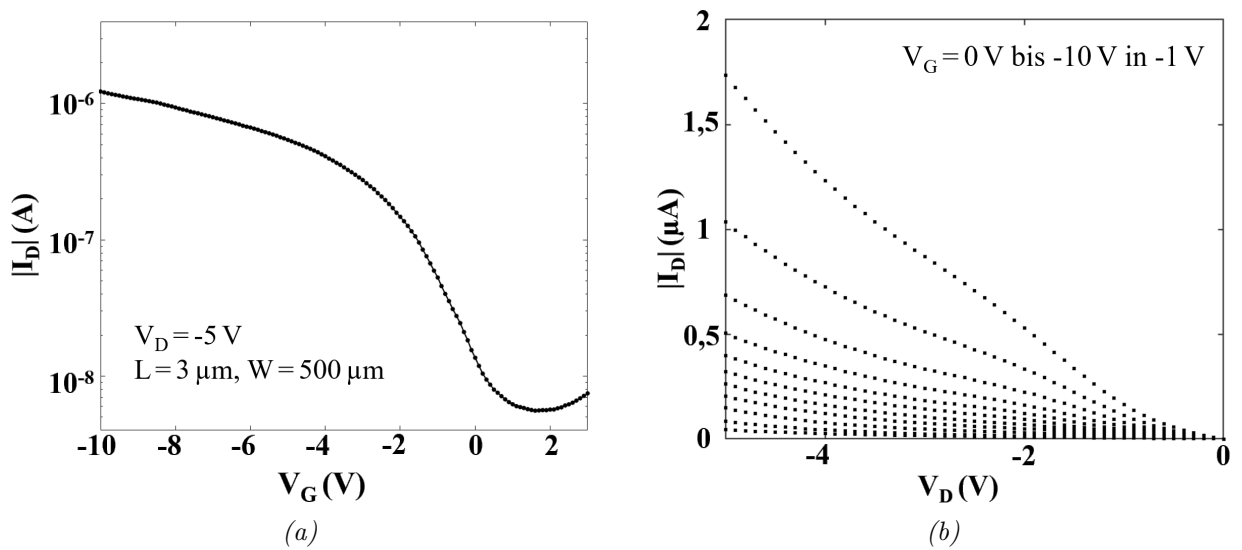


Abbildung 4.31: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines Bottom-Gate, Top-Contact p-Typ TFTs mit CuO-Nanopartikeln (PlasmaChem) und einer Drain-/Source-Metallisierung aus 100 nm Ni, integriert auf einem flexiblen Trägersubstrat (Hostaphan® GN 250).

Transistors sowie die Schottky-Barriere zwischen Halbleiter und Kontaktelektroden deutlich. Der Sättigungsbereich wird durch eine leichte Linkskrümmung angedeutet, allerdings steigt I_D danach weiter an.

Insgesamt liegen die Werte für die Strommodulation und die Beweglichkeit mindestens eine Größenordnung unter denen der CuO-TFTs auf starren Substraten. Dies lässt darauf schließen, dass die Oberflächeneigenschaften der Folie (Rauigkeit, Unebenheiten) das TFT-Verhalten negativ beeinflussen. Insbesondere die Grenzfläche zwischen Halbleiter und Dielektrikum wird dadurch beeinträchtigt, sodass der Ladungsträgertransport durch Streuprozesse und Fallenzustände erschwert werden kann. Auffallend ist der deutlich höhere Drain-Strom im ausgeschalteten Zustand von $I_{OFF} = 5 \cdot 10^{-9}$ A. Damit ist er trotz des vergleichbaren Messspannungsbereiches ($V_D = -5$ V, -10 V $\leq V_G \leq 3$ V) mehr als zwei Dekaden schlechter als der des baugleichen CuO-TFTs auf einem Si-Substrat (siehe Abbildung 4.22 (a)). Verantwortlich hierfür ist der Gate-Leckstrom I_G , der auf Si-Substrat im Bereich der Einschaltspannung etwa $1 \cdot 10^{-11}$ A betrug, während der Wert bei dem TFT auf Foliensubstrat bei $1 \cdot 10^{-9}$ A liegt. Dies kann durch Abweichungen der Schichtdicke des Dielektrikums aufgrund der Eigenschaften der Folienoberfläche oder durch eventuelle Aufwölbungen während der Schleuderbeschichtung hervorgerufen werden. Zudem kommt es laut DIEKMANN bei polymeren Schichten zu kleinen Löchern (Pinholes), die verstärkt bei der Deposition auf rauen Oberflächen auftreten. Befinden sich diese Pinholes im Ak-

tivgebiet eines TFTs, treten signifikante Gate-Leckströme auf und erhöhen dadurch den Off-Strom [Die07]. Da der Subschwelligkeitsstromanstieg mit $-1,9 \text{ V/Dek}$ im Bereich des CuO-TFTs auf einem starren Substrat liegt, scheint es nicht zu einer signifikanten Zunahme an Fallenzuständen an der Grenzfläche zu kommen. Dementsprechend wird die reduzierte Leistungsfähigkeit dem verschlechterten Leckstromverhalten zugeschrieben. Eine Verbesserung könnte durch die Verwendung einer Folie mit einer geringeren Oberflächenrauheit als der hier verwendeten Folie mit einer Rauheit von 10 nm erreicht werden [Mit]. Des Weiteren konnte bereits für organische Transistoren gezeigt werden, dass eine Planarisierungsschicht, bestehend aus einer Schicht inoflex T3, sowohl zu einer erhöhten Ausbeute an funktionsfähigen Transistoren führt, als auch zu Bauteilen mit gesteigerter Leistungsfähigkeit [Mey21].

Bewertung und Fazit

Die kommerziell erhältlichen CuO-Nanopartikel von drei verschiedenen Herstellern zeigen allesamt p-leitendes Verhalten. Dabei weisen die Transistoren mit den CuO-Nanopartikeln der Firma PlasmaChem GmbH die beste Performance auf. Ein Vergleich zwischen TFTs mit Drain-/Source-Elektroden bestehend aus Au oder Ni zeigt, dass CuO-TFTs mit Ni-Kontakten insbesondere aufgrund des reduzierten Off-Stroms ein leicht verbessertes elektrisches Verhalten attestiert werden kann. Infolge einer Elektrodenbehandlung mit Pentafluorothiophenol kann die Betriebsspannung der TFTs sowohl mit Au- als auch mit Ni-Elektroden von -5 V auf -2 V mehr als halbiert werden. Sämtliche TFTs weisen ein ausgeprägtes Hystereseverhalten auf, das mit hoher Wahrscheinlichkeit auf Fallenzustände innerhalb des Halbleiters zurückzuführen ist.

Komplementäre Inverterschaltungen

Nachdem im vorangegangenen Kapitel die Integration und Charakterisierung von anorganischen Einzeltransistoren basierend auf n-leitenden ZnO- sowie p-leitenden CuO-Nanopartikeln behandelt wurde, erfolgt in diesem Kapitel der Übergang zu komplementären Inverterschaltungen. Während in der Literatur ein Großteil der auf Metalloxiden basierenden Inverter auf der Einkanaltechnologie (hauptsächlich NMOS) beruhen [SVW+20], werden komplementäre Inverter bislang in erster Linie durch einen Mangel an leistungsfähigen anorganischen p-Typ Halbleitern limitiert [DKF+11],[YWL+18]. Nichtsdestotrotz konnten bereits vielversprechende Ergebnisse erzielt werden. So konnten YANG et al. durch eine Kombination von p-SnO und n-InGaZnO, aufgebracht durch HF-Sputtern, komplementäre Metalloxid-Inverter herstellen, die bei einer Versorgungsspannung von $V_{DD} = 8V$ eine Verstärkung von $137 V/V$ erreichten [YWL+18]. JOO et al. konnten durch die Verwendung von p-SnO und n-IGZO, sowie durch eine sogenannte *Corbino*-Struktur, bei der eine kreisförmige Elektrode von einer ringförmigen Elektrode umgeben ist, die Verstärkung im Vergleich zu einer herkömmlichen rechteckigen Transistorform für $V_{DD} = 10V$ von $18,7 V/V$ auf $92,4 V/V$ bei ansonsten gleicher Prozessierung erhöhen [JSK+19]. Die Herstellung eines Inverters aus gesputtertem p-CuO beziehungsweise n-IGZO auf einem flexiblen Trägersubstrat gelang DINDAR et al. Bei einer maximalen Prozess-temperatur von $150^{\circ}C$ konnte dabei für $V_{DD} = 10V$ eine Verstärkung von $30 V/V$ erzielt werden [DKF+11]. Auch wenn die Leistungsfähigkeit mit einer Verstärkung von $10,5 V/V$ bei einer Versorgungsspannung von $12 V$ geringer ausfällt, konnten CHEN et al. lösungsmittelbasierte Inverter, bestehend aus p-NiO und n-IGZO, durch eine Kombination aus Tintendruck und Laser Annealing bei einer maximalen Temperatur von nur $175^{\circ}C$ herstellen [CYC+19].

Im Folgenden werden die in Kapitel 4 vorgestellten n- und p-Typ-TFTs, basierend auf Metalloxid-Nanopartikeln, in einfachen Logikgattern angewandt. Kapitel 5.1 beschreibt gängige Kenngrößen, die zur Bewertung von Inverterschaltungen verwendet werden. In Abschnitt 5.2 werden zunächst Einzel-TFTs mit CuO und ZnO zu komplementären In-

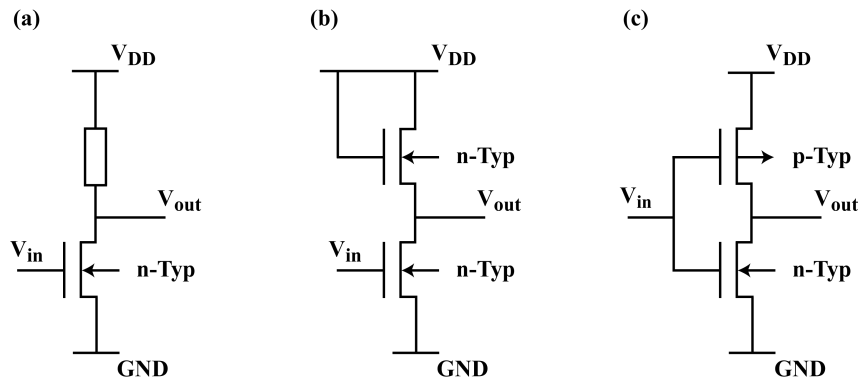


Abbildung 5.1: Vergleich der Schaltbilder von unipolaren Invertern mit (a) einem Ohmschen Pull-Up-Widerstand und (b) einem Last-Transistor. (c) Schaltbild eines CMOS-Inverters.

vertoren verschaltet und diese elektrisch charakterisiert, bevor in Kapitel 5.3 eine Routine zur monolithischen Integration von p- und n-Typ Dünnschichttransistoren vorgestellt wird. Dadurch können nicht nur zwei verschiedene Halbleiter strukturiert aufgebracht werden, sondern auch die Kontaktmetallisierung hinsichtlich einer Anpassung zwischen Austrittsarbeit und Elektronenaffinität für den jeweiligen Halbleiter separat abgeschlossen werden. Nach einer statischen Charakterisierung der so erzeugten Schaltungen, erfolgt in Kapitel 7 die monolithische Integration hybrider organisch-anorganischer CMOS-Inverter zunächst auf einem starren Substrat, bevor die Herstellungsroutine auf ein flexibles Foliensubstrat übertragen wird. Abschließend wird mit einer zweilagigen Kontaktmetallisierung eine Alternative zu dem zuvor vorgestellten komplexen Integrationsprozess zur strukturierten Abscheidung zweier Drain-/Source-Metallisierungen gegeben.

5.1 Funktionsweise und Charakterisierung

Der Inverter stellt als sogenanntes NICHT-Gatter (engl.: *NOT gate*) neben der UND- und ODER-Verknüpfung eine der logischen Grundfunktionen dar. Dabei wird das Eingangssignal über eine entsprechende Verschaltung entweder von einer resistiven Last (ohmscher Widerstand oder Transistorlast) in Kombination mit einem Transistor (unipolarer Inverter) oder durch zwei komplementäre Transistoren (komplementärer Inverter) invertiert und am Ausgang zur Verfügung gestellt. Abbildung 5.1 stellt die Schaltbilder von Inverterschaltungen in (a) Einkanaltechnologie mit n-Kanal TFTs sowie in (c) CMOS-Technologie gegenüber.

Ein CMOS-Inverter wird durch eine Kombination aus einem aktiven n- und einem p-Kanal Transistor gebildet. Dabei bestimmen die jeweiligen elektrischen und geometrischen

Dimensionierungen der einzelnen Transistoren die Eigenschaften des Inverters [KA07], [YWL+18]. Idealerweise sperrt im statischen Betrieb jeweils einer der Transistoren vollständig, sodass zwischen Versorgungsspannung und Masse kein Strompfad existiert. Lediglich während des Schaltvorgangs, in dem der bislang sperrende Transistor in den Sättigungsbereich übergeht, fließt ein Strom durch beide Transistoren [Str19]. Aufgrund der sich dadurch ergebenden geringen Verlustleistung, sowie ihrer hohen Integrationsdichte und Störsicherheit, wird die Komplementär (engl.: *Complementary Metal Oxide Semiconductor*, kurz CMOS)-Technik in herkömmlichen integrierten Schaltkreisen eingesetzt.

Die statische Performance einer Inverterschaltung kann anhand ihrer Übertragungskennlinie $V_{OUT}(V_{IN})$ (engl.: *Voltage Transfer Characteristics*, kurz VTC) bewertet werden, bei der die Ausgangsspannung (sowie der Querstrom I_{DD} , der durch den Inverter fließt) über der Eingangsspannung bei konstanter Betriebsspannung V_{DD} aufgetragen wird (siehe Abbildung 5.2). Idealerweise entspricht die Spannung am Ausgang bei einem *High*-Pegel (logische 1) der Betriebsspannung V_{DD} beziehungsweise *GND* bei einem *Low*-Pegel (logische 0).

Schaltsschwelle

Die logische Schaltschwelle V_M entspricht dem Wendepunkt der Übertragungskennlinie. An diesem Punkt befinden sich beide Transistoren im Sättigungsbereich und es gilt

$$R_n = R_p. \tag{5.1}$$

Das heißt, am Punkt der Schaltschwelle fließt der maximale Strom durch den Inverter, der die Höhe der Verlustleistung der Schaltung bestimmt. Im Bereich der Schaltschwelle ergibt sich anhand von Gleichung 2.12 für den Drain-Strom im Sättigungsbereich folglich

$$\frac{\beta_n}{2}(V_{G,n} - V_{Th,n})^2 = \frac{\beta_p}{2}(V_{G,p} - |V_{Th,p}|)^2 \tag{5.2}$$

$$\tag{5.3}$$

mit $\beta_n = \mu_n C_{Diel} W_n / L_n$ bzw. $\beta_p = \mu_p C_{Diel} W_p / L_p$. Mit $V_{G,n} = V_{IN}$ und $V_{G,p} = V_{DD} - V_{IN}$ ergibt sich der Ausdruck entsprechend zu

$$\frac{\beta_n}{2}(V_{IN} - V_{Th,n})^2 = \frac{\beta_p}{2}(V_{DD} - V_{IN} - |V_{Th,p}|)^2. \tag{5.4}$$

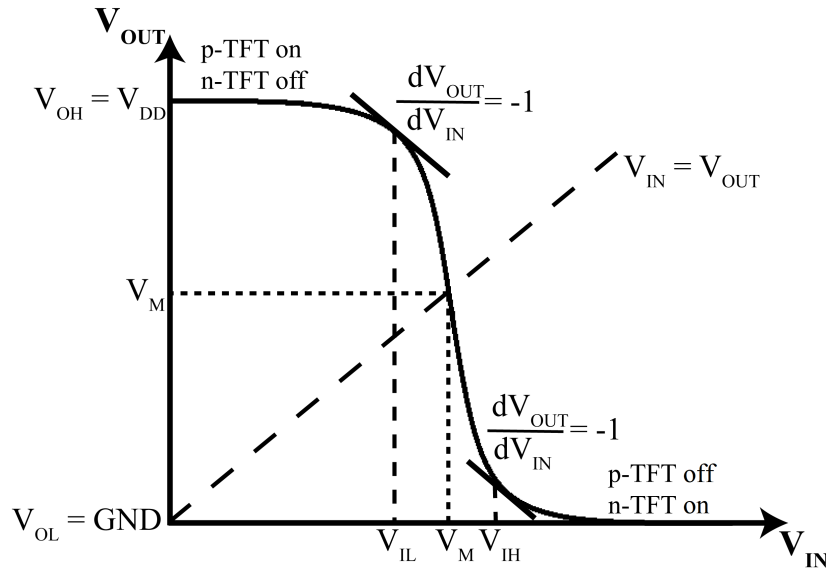


Abbildung 5.2: Übertragungskennlinie eines komplementären Inverters mit gängigen Parametern.

Ersetzt man nun V_{IN} durch V_M , erhält man für die Schaltschwelle den folgenden Ausdruck [KA07]:

$$V_M = \frac{V_{DD} - |V_{Th,p}| + V_{Th,n} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}. \quad (5.5)$$

Geht man also von einem, bis auf das Vorzeichen, identischen Transistorverhalten aus, das heißt p- und n-Kanal TFTs haben die gleiche Beweglichkeit ($\mu_n = \mu_p$), das gleiche Verhältnis der geometrischen Abmessungen ($(\frac{W}{L})_n = (\frac{W}{L})_p$) und eine betragsmäßig gleiche Schwellenspannung ($V_{Th,n} = |V_{Th,p}|$), weist der Inverter ein symmetrisches Verhalten auf. Folglich befindet sich der Schaltungspunkt idealerweise bei der Hälfte der Versorgungsspannung ($V_M = V_{DD}/2$) [KA07],[DKF+11].

Da die Beweglichkeiten für n- und p-Typ Metalloxide in der Regel nicht gleich sind, gilt für die Dimensionierung der Bauteile mit der Annahme, dass $L_n = L_p$ [KN15],[Str19]:

$$\frac{\mu_n}{\mu_p} = \frac{W_p}{W_n} \quad (5.6)$$

Laut STRECKER sollten durch die Anpassung der Kanalweite aus Platzgründen jedoch nur Differenzen zwischen den Beweglichkeiten von maximal einer Größenordnung kompensiert werden [Str19].

Grafisch kann die Schaltschwelle an dem Punkt abgelesen werden, an dem die Übertra-

gungskennlinie die Gerade $V_{IN} = V_{OUT}$ schneidet.

Verstärkungsfaktor

Der Verstärkungsfaktor G (engl.: *Gain*) eines Inverters entspricht der ersten Ableitung, beziehungsweise der Steigung der Übertragungskennlinie und ist eine Funktion der Betriebsspannung V_{DD} . Hohe Verstärkungen sind beispielsweise für integrierte Schaltungen wie Ringoszillatoren oder Verstärkerschaltungen erforderlich [YWL+18]. Die Berechnung erfolgt anhand von Formel 5.7.

$$G = \left| \frac{dV_{IN}}{dV_{OUT}} \right|_{V_{DD}=\text{konstant}} \quad (5.7)$$

Störabstand

Der Störabstand NM (engl.: *Noise Margin*) entspricht dem Bereich der Eingangsspannung, bei dem der Inverter an seinem Ausgang den richtigen Wert ausgibt [LZG+19]. Für die Berechnung sind die Eingangspegel von Bedeutung, an denen die Verstärkung $V = -1$ entspricht, und die als V_{IL} und V_{IH} definiert werden. Die zugehörigen Ausgangspegel werden entsprechend mit V_{OH} und V_{OL} bezeichnet (siehe Abbildung 5.2). Die Differenz zwischen den beiden Eingangsspannungen ($V_{IH} - V_{IL}$) bestimmt den Übergangsbereich, auch als Unsicherheitsbereich bezeichnet, und sollte möglichst gering sein, um einen Betrieb bei geringen Betriebsspannungen zu ermöglichen. Der Unsicherheitsbereich entspricht dem Amplitudenbereich der Eingangsspannung, in welchem dem Ausgang kein eindeutiger Pegel zugeordnet werden kann [SVW+20],[LWG20]. Die Störabstände NM_H bzw. NM_L können gemäß folgender Ausdrücke bestimmt werden [YWL+18]:

$$NM_H = V_{OH} - V_{IH} \quad (5.8a)$$

$$NM_L = V_{IL} - V_{OL} \quad (5.8b)$$

5.2 Komplementäre Inverter aus separat integrierten TFTs

Zunächst werden komplementäre Inverter realisiert, indem Einzel-TFTs über die Messnadeln des Spitzenmessplatzes entsprechend miteinander verschaltet werden. Die Integration der Einzeltransistoren wird gemäß der in Kapitel 3.4 beschriebenen Routine auf

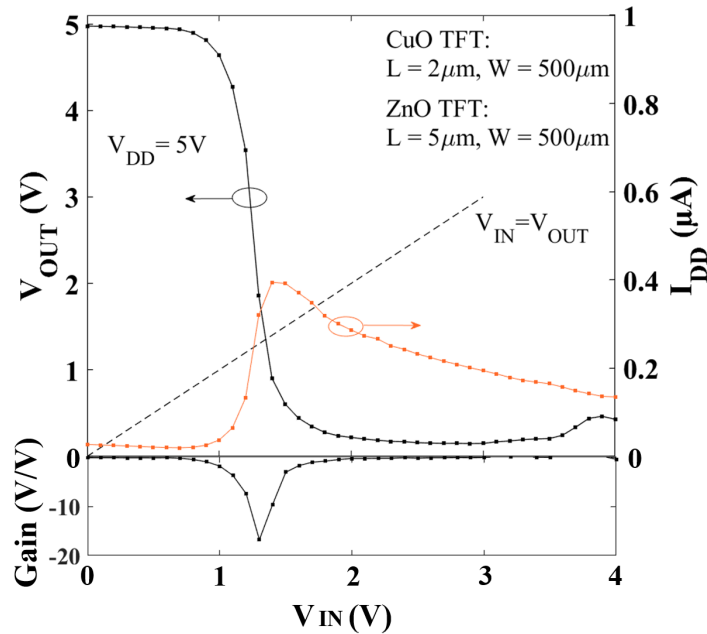


Abbildung 5.3: Übertragungskennlinie, Querstrom I_{DD} sowie Verstärkung eines komplementären Inverters mit einem n-leitenden ZnO- und einem p-leitenden CuO-TFT, integriert auf jeweils getrennten Si/SiO₂-Substraten.

thermisch oxidierten Si-Substraten durchgeführt. Für die Gate-Elektrode wird sowohl für den CuO- als auch für den ZnO-TFT eine Schicht aus 2 nm Ti und 30 nm Au verwendet. Der CuO-Transistor wird in der Bottom-Gate, Bottom-Contact Architektur integriert, wobei die Kontaktelektroden aus 100 nm Au (PFBT-behandelt) bestehen und die Nanopartikel durch einen Rakelprozess aufgetragen werden. Für den ZnO-TFT wird aufgrund der besseren Performance ein Top-Contact Aufbau mit einer Drain-/Source-Metallisierung aus 150 nm Al gewählt. Die Deposition der Nanopartikel erfolgt in diesem Fall durch eine Schleuderbeschichtung.

Während der Aufnahme der Übertragungskennlinie werden die TFTs durch die elektrische Verbindung der Drain-Elektroden gemäß Abbildung 5.1 (c) zu einem komplementären Inverter verschaltet. Dabei wirkt der p-leitende CuO-TFT als Pull-up-Element, der n-leitende ZnO-TFT dient demnach als Pull-down-Element.

Charakterisierung

Die elektrische Charakterisierung des komplementären Inverters, der aus der Kombination zweier Einzeltransistoren gebildet wird, erfolgt anhand der Übertragungskennlinie in Abbildung 5.3, die bei einer Versorgungsspannung von $V_{DD} = 5V$ aufgenommen wur-

de¹. Das Ausgangssignal V_{OUT} weist einen High-Pegel von mindestens 4,8 V auf, solange sich die Eingangsspannung V_{IN} in dem Bereich zwischen 0 V und 0,9 V bewegt. Entsprechend befindet sich der Ausgang bei V_{IN} größer als 1,7 V auf einem Low-Pegel von 0,15 V. Dementsprechend erhält man für den Unsicherheitsbereich einen Wert von 0,8 V und der Ausgangsspannungshub liegt mit 96 % der Betriebsspannung nahe dem Idealwert. Die Störabstände können zu $NM_H=3,28$ V und $NM_L=0,75$ V bestimmt werden. Dabei ist der geringe Wert für NM_L durch die Verschiebung der Kennlinie als kritisch anzusehen, da die Störabstände möglichst groß sein sollten, um zu verhindern, dass eine Signalstörung den Inverter fälschlicherweise schaltet. Die Kennlinienverschiebung resultiert aus der unterschiedlichen Leistungsfähigkeit der beiden Transistoren, die im vorangegangenen Kapitel deutlich wurde. Eine Verlagerung nach links ist ein Indiz dafür, dass der p-Typ-TFT als Pull-Up-Element nicht stark genug ist, um den High-Pegel aufrechtzuerhalten.

Die Schaltschwelle V_M liegt bei einer Spannung von 1,35 V. Damit ist die Übertragungskennlinie um 1,15 V vom idealen Schaltpunkt ($V_M = V_{DD}/2$) nach links verschoben. Dies ist durch die fehlende Dimensionierung der Einzel-TFTs zur Kompensation der unterschiedlichen Beweglichkeiten von $\mu_{FE,p}=0,015 \text{ cm}^2(\text{Vs})^{-1}$ und $\mu_{FE,n}=0,08 \text{ cm}^2(\text{Vs})^{-1}$ begründet. Das geometrische Verhältnis zwischen n- und p-Kanal-TFT beträgt in diesem Fall $(W/L)_p/(W/L)_n=2,5$. Durch Erhöhen dieses Verhältnisses kann das Pull-up-Verhalten des p-Typ-Transistors verbessert werden, sodass sich die Kennlinie in Richtung positiver Eingangsspannung verschiebt [YWL+18]. Die maximale Verstärkung kann zu 17 V/V bestimmt werden. Die statische Leistungsaufnahme weist einen minimalen Wert von 0,1 μW auf und erreicht im Umschaltunkt einen Maximalwert von 2 μW .

5.3 Monolithische Integration komplementärer Inverter

Während der zuvor charakterisierte Inverter durch das externe Verbinden von Einzel-TFTs gebildet wurde, die sich auf verschiedenen Trägersubstraten befanden, wird im folgenden Kapitel eine Integrationsroutine entwickelt, die eine monolithische Herstellung komplementärer Schaltungen ermöglicht. Durch die monolithische Integration wird die fehleranfällige externe Verdrahtung vermieden und die Integrationsdichte erhöht. Die Performance der Einzel-TFTs und damit auch die des Inverters hängt, wie in Kapitel 2.4 beschrieben, unter anderem von den Eigenschaften des Metall-Halbleiterkontaktes ab. Folglich muss die Austrittsarbeit der Drain-/Source-Elektroden an die Elektronenaffinität des Halbleitermaterials angepasst werden, um den Kontaktwiderstand zu minimieren.

¹Die Ergebnisse bezüglich komplementärer Inverter basierend auf TFTs mit anorganischen Halbleitern auf getrennten Substraten wurden teilweise in [13] veröffentlicht.

Dementsprechend kann ein komplementärer Inverter eine separate Kontaktmetallisierung für die einzelnen Transistortypen (n- und p-Kanal) erfordern. Die vorgestellte Integrationsroutine ermöglicht die Integration von zwei verschiedenen Materialien für die jeweiligen Kontaktelektroden, sowie die Deposition und Strukturierung von zwei unterschiedlichen Halbleitermaterialien. Dies erlaubt die Herstellung von komplementären Inverterstrukturen auf einem gemeinsamen Substrat. Die entwickelte Integrationsroutine bietet eine große Flexibilität bei der Auswahl der Kontaktmaterialien und erzielt dadurch auch einen hohen Freiheitsgrad bei der Wahl der Halbleitermaterialien.

Integration

Im Folgenden wird der Prozessablauf zur Herstellung komplementärer Inverter auf einem gemeinsamen Substrat beschrieben². Die Dünnschichttransistoren werden dazu in der Bottom-Gate, Bottom-Contact-Bauweise integriert. Ausgangspunkt für die nachfolgende Routine ist ein thermisch oxidiertes Si-Wafer, auf dem bereits die Gate-Elektroden (2 nm Ti/ 30 nm Au), das Dielektrikum (inoflex T3), sowie die Al-Schutzschicht, wie in Kapitel 3.4 beschrieben, aufgebracht worden sind. Für die Integration wird ein Umkehrlack (AZ® 5214 E, bezogen von der Firma MicroChemicals GmbH) verwendet, der gemäß seiner Prozessierung entweder in einem positiven oder negativen Muster der Maske resultiert. Ein Negativ der Maske wird durch einen speziellen Vernetzer im Lack erzielt, der bei Temperaturen über 110°C in den belichteten Bereichen aktiviert wird. Dadurch werden diese Bereiche lichtunempfindlich und nahezu unlöslich im Entwickler. Die bislang unbelichteten Bereiche können im Anschluss an eine Flutbelichtung im Entwickler entfernt werden [Merb]. Dadurch ergibt sich für die im Folgenden angewandte Doppellacktechnik die Vorgabe, dass auf einem negativ (bzw. umgekehrt) prozessierten Fotolack eine weitere positive Lackschicht aufgebracht werden kann. Umgekehrt ist dies allerdings nicht möglich, da in diesem Fall die unten liegenden, bislang unbelichteten Bereiche während der Integration einer negativen Maske ungewollt belichtet und folglich bei der Entwicklung entfernt würden.

Der Prozessablauf zur monolithischen Integration komplementärer Inverter mit einem p-leitenden CuO-TFT sowie einem n-Typ ZnO-TFT ist in Abbildung 5.4 dargestellt³. Die

²Die Entwicklung der Routine zur monolithischen Integration komplementärer Inverter fand in Kooperation mit Fábio F. Vidor (Universität Paderborn/UFRGS) und Thorsten Meyers (Universität Paderborn) statt.

³Auf die Kennzeichnung der Vias-Öffnungen zum Kontaktieren der Gate-Elektroden sowie die Leiterbahnen zwischen den einzelnen Transistoren der Inverter wurde aus Gründen der Übersichtlichkeit verzichtet.

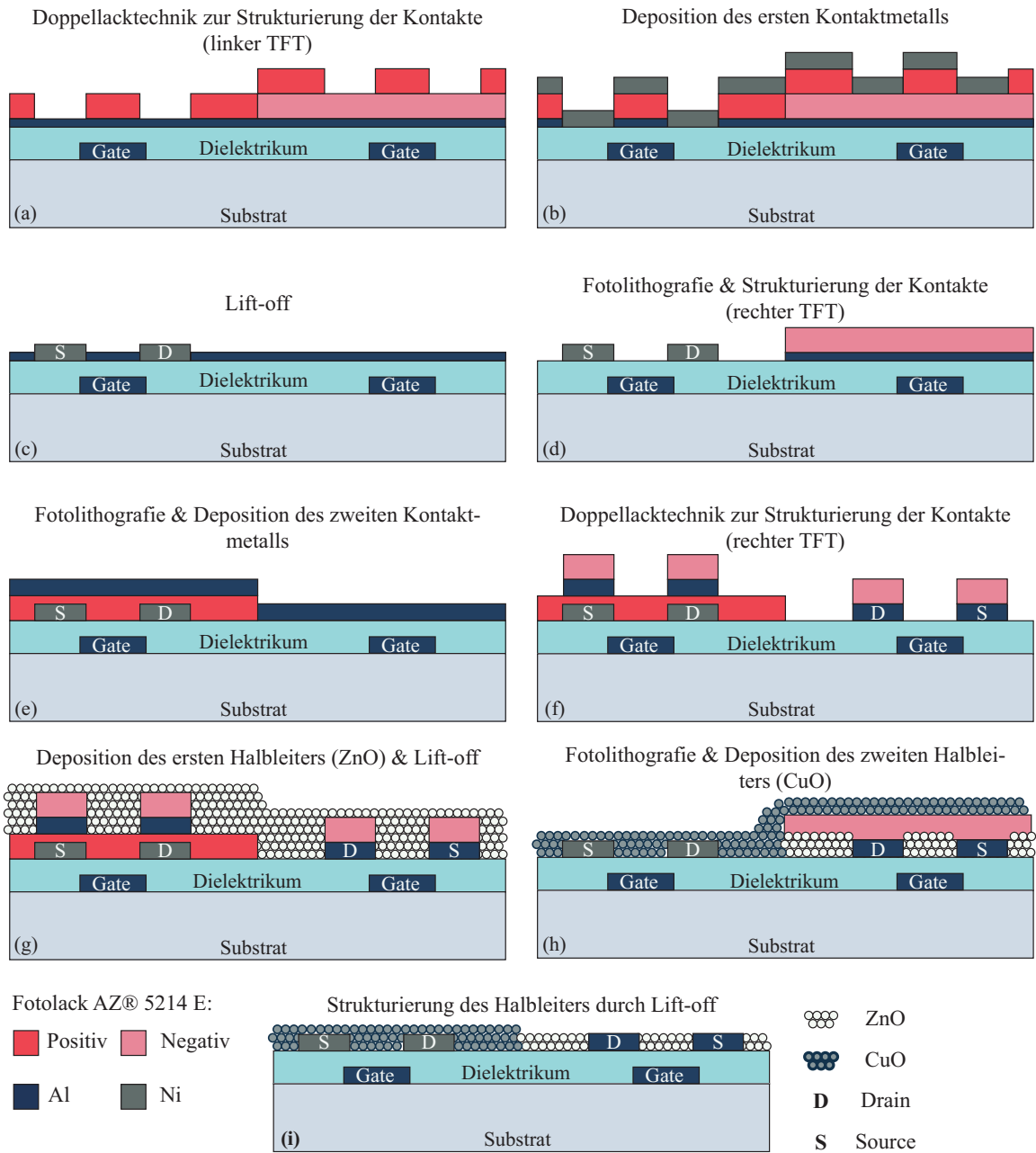


Abbildung 5.4: Schematische Darstellung des Herstellungsprozesses zur monolithischen Integration komplementärer Inverter mit anorganischen Halbleitern unter Verwendung eines Umkehrlackes (AZ® 5214E).

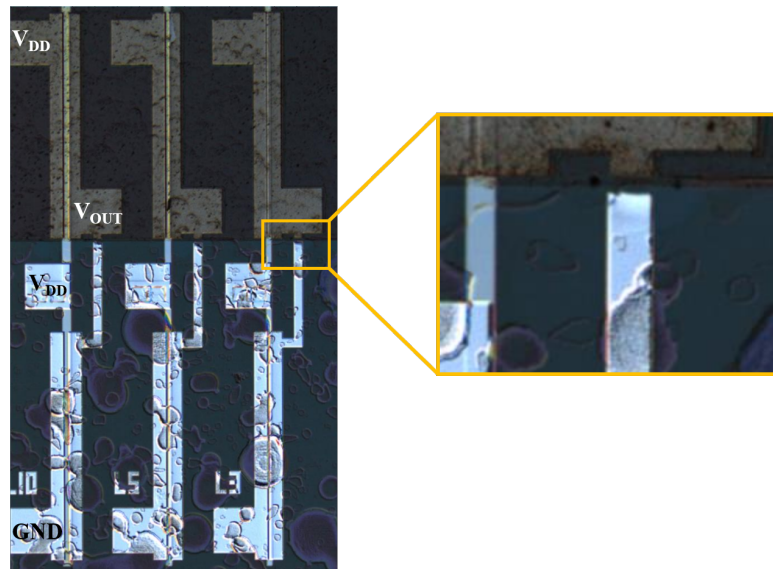


Abbildung 5.5: Optische Konfokalmikroskopieaufnahme eines komplementären Inverters auf einem gemeinsamen Si/SiO₂-Substrat. Unten befinden sich n-leitende ZnO-TFTs mit Al-Kontakten, oben sind p-leitende CuO-TFTs mit Ni-Elektroden zu sehen. Rechts ist der Übergang zwischen den beiden Kontaktmetallisierungen vergrößert dargestellt. Eine Unterbrechung ist dort deutlich zu erkennen.

Kontakte des p-Kanal TFTs (links) sollen mittels Lift-off-Prozess strukturiert werden. Dazu muss zunächst eine Lackschicht den Bereich des n-Typ-TFTs (rechts) abdecken, bevor eine weitere (positive) Lackmaske aufgebracht werden kann. Diese legt die Bereiche der Kontakt-Elektroden frei, sodass dort die Al-Schutzschicht nasschemisch entfernt werden kann, ehe die Metallisierung durch Elektronenstrahl-Verdampfen ganzflächig abgeschieden wird. Da sich in Kapitel 4.2.1 zeigte, dass Nickel ein geeignetes Kontaktmetall für CuO-TFTs darstellt, wird folglich eine Ni-Schicht mit einer Dicke von 150 nm aufgedampft. Der anschließende Lift-off-Prozess, erreicht durch das Entfernen der Fotolackschichten in Aceton, strukturiert die Drain-/Source-Elektroden im Bereich des p-Kanal-TFTs. Die verbliebene Al-Schutzschicht in diesem Bereich wird durch nasschemisches Ätzen selektiv zum Nickel entfernt. Dazu muss wiederum der rechte Bereich (n-leitender TFT) durch eine Lackschicht geschützt werden.

Als Nächstes werden die Kontakte für den ZnO-TFT (n-Typ) auf der rechten Seite integriert. Dementsprechend erfolgt zunächst eine Abdeckung des Bereiches für den p-Typ-Transistor, bevor die Schutzschicht in dem freigelegten Bereich nasschemisch geätzt und die zweite Metallisierung ganzflächig abgeschieden wird. Dieser Prozessschritt ist als kritisch anzusehen, da bereits eine minimale Fehljustierung der Maske zu einer Unterbrechung der Leiterbahnen zwischen den Transistoren einer Inverterstruktur führt, wie in Abbildung 5.5 veranschaulicht wird. Als Kontaktmaterial soll eine 150 nm dicke Al-

Schicht durch einen nasschemischen Ätzprozess strukturiert werden. Dementsprechend ist eine weitere Lithografie erforderlich, welche die Drain-/Source-Kontakte maskiert. Hierfür wird das Negativ der zuvor für die Integration der Ni-Kontakte verwendeten Lift-off-Maske benötigt. In diesem Fall ist es möglich, eine negativ prozessierte Lackschicht auf einer positiven Maske zu strukturieren, da das Aluminium eine ungewollte Belichtung des unten befindlichen Fotolackes verhindert.

Im nächsten Schritt erfolgt die ZnO-Deposition. Hierfür hat sich die Sprühbeschichtung gegenüber dem Rakelprozess als vorteilhaft herausgestellt, da hiermit eine bessere Bedeckung der Strukturen an den Lackkanten erzielt wurde. Dazu bleiben die Lackmasken zur Strukturierung der Drain-/Source-Kontakte bestehen, sodass der Bereich des p-leitenden TFTs weiterhin abgedeckt ist. Durch einen anschließenden Lift-off in Aceton wird das ZnO strukturiert. Zum Schluss wird das p-leitende CuO durch einen Rakelprozess aufgebracht. Währenddessen wird der ZnO-TFT durch eine Lackmaske abgedeckt und das CuO im Anschluss ebenfalls durch einen Lift-off aus dem Bereich des n-Kanal-TFTs entfernt.

In Abbildung 5.5 sind komplementäre Inverter abgebildet, die gemäß der beschriebenen Routine integriert wurden. Dabei befinden sich die p-leitenden TFTs mit Ni-Elektroden und CuO oben, die p-Typ-TFTs mit Al-Kontakten und ZnO liegen dementsprechend unten. Der Ausschnitt zeigt die Vergrößerung eines fehlerhaften Übergangs zwischen den beiden Kontaktmetallen aufgrund einer Fehljustierung.

Charakterisierung

Aus den Übertragungskennlinien in Abhängigkeit von der Betriebsspannung V_{DD} , dargestellt in Abbildung 5.6 (a), lässt sich auf eine erfolgreiche Herstellung monolithisch integrierter CMOS-Inverter schließen. Bei $V_{DD} = 5 \text{ V}$ und einem Eingangsspannungsbereich $0 \text{ V} \leq V_{IN} \leq 0,7 \text{ V}$ liegt am Ausgang ein High-Pegel mit maximal $4,5 \text{ V}$ an. Der Grund für den von V_{DD} abweichenden High-Pegel ist wiederum das ungleiche Verhältnis zwischen den Widerständen der n- und p-Kanal-TFTs, wodurch sich der Ausgangspegel gemäß der Spannungsteilerregel ergibt. In diesem Fall kann die Leitfähigkeit des CuO-TFTs nicht ausreichend erhöht werden, um den Ausgang auf einen idealen High-Pegel zu ziehen. Ein Low-Pegel am Ausgang ($0,6 \text{ V} \geq V_{OUT} \geq 0,2 \text{ V}$) kann durch eine Eingangsspannung von $V_{IN} \geq 1,4 \text{ V}$ erreicht werden. Damit beträgt der Ausgangsspannungshub zwischen 86% ($V_{DD} = 5 \text{ V}$) und 70% ($V_{DD} = 2 \text{ V}$) der Versorgungsspannung. Die Störabstände können entsprechend zu $NM_H = 3,1 \text{ V}$ und $NM_L = 0,1 \text{ V}$ bestimmt werden. Auch hier ist der Wert für NM_L aufgrund der Kennlinienverschiebung nach links aufgrund der schwächeren Performance des CuO-TFTs für eine praktische Anwendung als zu gering anzusehen.

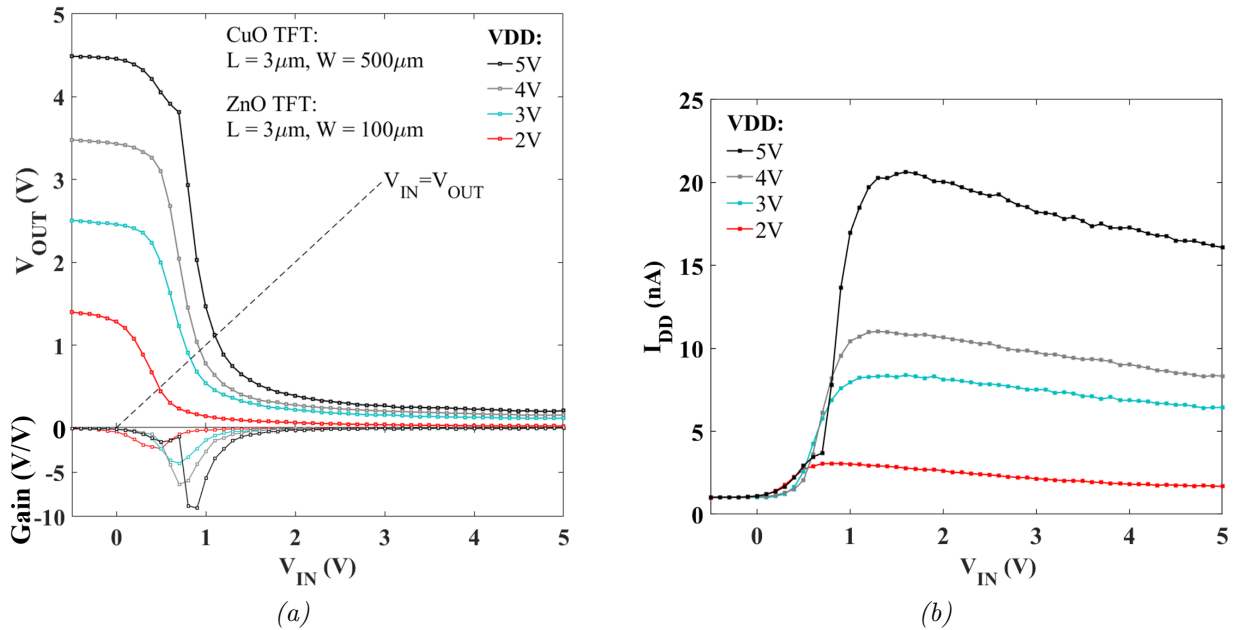


Abbildung 5.6: (a) Übertragungskennlinie sowie (b) Stromverlauf eines komplementären Inverters mit einem n-leitenden ZnO- und einem p-leitenden CuO-TFT, integriert auf einem gemeinsamen Si/SiO₂-Substrat.

Mit steigender Betriebsspannung kann eine Verschiebung der Kurve nach rechts beobachtet werden. Dabei verlagert sich der Schaltpunkt V_M von 0,5 V ($V_{DD} = 2$ V) nach 1,1 V ($V_{DD} = 5$ V). Das Verhältnis zwischen den Transistorgeometrien beträgt $(W/L)_p / (W/L)_n = 5$. Auch hier ist eine weitere Erhöhung des Geometrieverhältnisses erforderlich, um die schwächere Performance des CuO-TFTs durch die Bauteildimensionen auszugleichen und die Transfercharakteristik dadurch in Richtung eines idealen Schaltpunktes zu verschieben. Der Unsicherheitsbereich beträgt 0,7 V für $V_{DD} = 5$ V; für $V_{DD} = 2$ V reduziert sich der Wert auf 0,5 V.

Die Verstärkung erhöht sich von 2,3 V/V für $V_{DD} = 2$ V auf 9 V/V für $V_{DD} = 5$ V. Folglich kann sowohl für die Verstärkung als auch für die Schaltschwelle gemäß Gleichung 5.5 eine Abhängigkeit von der Betriebsspannung festgestellt werden, sodass der Inverter ein korrektes Verhalten aufweist.

Verglichen mit dem Inverter, gebildet durch zwei separat integrierte Einzel-TFTs aus Abbildung 5.3, kann eine vergleichbare Performance erzielt werden. Allerdings werden im Vergleich zu den Einzel-TFTs deutlich geringere On-Ströme bzw. Ladungsträgerbeweglichkeiten, insbesondere für den n-leitenden ZnO-TFT, erreicht. Es wird angenommen, dass dies auf die Vielzahl an Prozessschritten zurückzuführen ist, denen vor allem der zuerst integrierte ZnO-TFT ausgesetzt ist. Dabei kann nicht ausgeschlossen werden, dass der NaOH-Entwickler das Gate-Dielektrikum trotz Al-Schutzschicht schädigt und dadurch

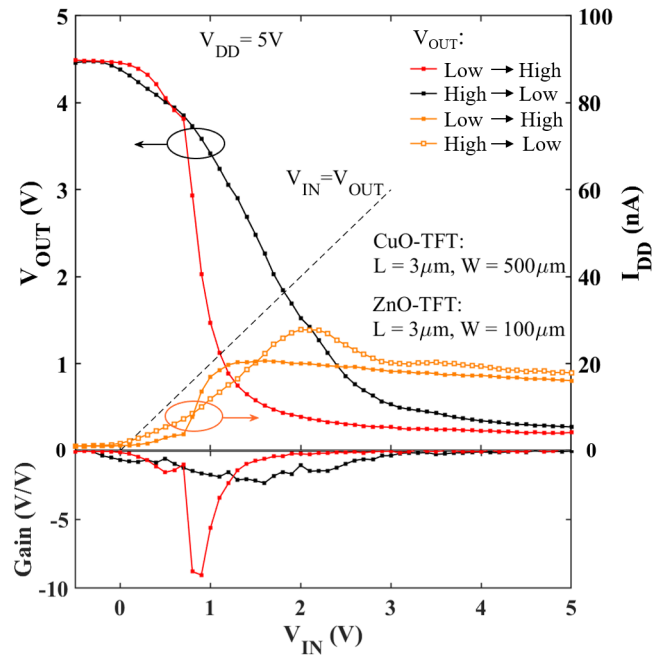


Abbildung 5.7: Übertragungskennlinie mit Querstrom I_{DD} sowie Verstärkung eines komplementären Inverters mit einem n-leitenden ZnO- und einem p-leitenden CuO-TFT für beide Schaltrichtungen auf einem gemeinsamen Si/SiO₂-Substrat.

Fallenzustände an der Halbleiter-Dielektrikum-Grenzfläche erzeugt. Außerdem erfolgt die Deposition der ZnO-Nanopartikel auf einer durch Fotolack strukturierten Oberfläche mit einer Schichtdicke von 1,5 µm (siehe Abbildung 5.4 (g)). Dadurch lagern sich deutlich weniger Nanopartikel grenzflächennah im Kanalgebiet ab, woraus die geringeren Stromstärken resultieren. Für den monolithisch integrierten Inverter kann in Abbildung 5.6 (b) aufgrund der geringeren On-Ströme ein deutlich verringerter Querstrom I_{DD} von 20 nA im Umschaltzustand bei einer Versorgungsspannung von 5 V beobachtet werden. Idealerweise sollte bei einem komplementären Inverter nur während des Schaltvorgangs ein Strom durch den Inverter fließen. Für einen High-Pegel am Ausgang, bei dem der ZnO-TFT sperrt und der CuO-TFT leitet, ist der Strom minimal. Während des Pegel-Wechsels steigt I_{DD} an und verbleibt anschließend jedoch nahezu auf dem maximalen Niveau. Dies weist darauf hin, dass der CuO-TFT nicht ausreichend sperrt, sodass dessen Leitfähigkeit den Querstrom durch den Inverter ermöglicht.

Bislang wurde die Übertragungskennlinie nur in einer Messrichtung aufgenommen. Abbildung 5.7 zeigt die Transfercharakteristik des zuvor diskutierten komplementären Inverters bei $V_{DD}=5\text{ V}$ für beide Schaltrichtungen. Es zeigt sich die erwartete Hysterese zwischen den beiden Messrichtungen. Diese Hysterese wird in erster Linie dem Verhalten

der CuO-TFTs zugeschrieben. Wie im vorherigen Kapitel beobachtet wurde, konnte der Drain-Strom bei einer Messrichtung von negativer zu positiver Gate-Spannung teilweise erst bei deutlich positiven Spannungen ausgeschaltet werden. Dadurch unterscheiden sich auch die Verstärkungen des Inverters für die beiden Schaltrichtungen. Bei einer Schaltrichtung vom High- zum Low-Pegel am Ausgang reduziert sich die Verstärkung auf lediglich 2 V/V. Zudem kann für die Schaltrichtung vom High- zum Low-Pegel aufgrund des flacheren Verlaufs der Kurve eine leichte Verschiebung der Schaltschwelle V_M nach rechts festgestellt werden, die in dieser Schaltrichtung bei 1,8 V liegt. Während der Maximalwert von 4,5 V für den High-Pegel und der Minimalwert von etwa 0,2 V für den Low-Pegel auch in dieser Messrichtung erreicht werden, vergrößert sich der Unsicherheitsbereich auf 1,9 V. Aus den sich ergebenden Störabständen $NM_L = -0,2\text{ V}$ und $NM_H = 2,0\text{ V}$ ergibt sich zudem eine hohe Störanfälligkeit gegenüber verrauschten Eingangssignalen.

Während der monolithischen Integration komplementärer Inverter kann die Vielzahl an Fotolithografieprozessen als kritisch angesehen werden, die ein hohes Fehlerpotential enthalten. Hinsichtlich der Opferschicht (20 nm Al) muss der Entwicklungsprozess sorgfältig durchgeführt werden, um ein chemisches Angreifen des Dielektrikums durch die NaOH-Lösung zu vermeiden. Des Weiteren können durch das vorhandene Maskenset keine Ungenauigkeiten kompensiert werden, die durch das manuelle Justieren entstehen können. Dies kann von einem Übergang mit erhöhtem Widerstand zwischen den beiden Kontaktmetallen bis hin zu vollständig unterbrochenen Leiterbahnen führen. Zudem werden insbesondere die zuerst integrierten ZnO-TFTs einem vermehrtem chemischen und mechanischen Stress durch weitere Prozessschritte ausgesetzt. Hier ist unter anderem der Rakelprozess zur Deposition der CuO-Nanopartikel zu nennen. Aufgrund der Lackmasken, die den jeweils anderen Transistortyp während der Halbleiterdeposition schützen, kann von einer inhomogenen Partikelablagerung, insbesondere an den Lackkanten, ausgegangen werden. Da sich die Inverterstrukturen allerdings zwangsläufig an diesen Übergängen befinden, kann dies als ein Grund für die, im Vergleich zu optimiert integrierten Einzel-TFTs, verringerte Leistungsfähigkeit der Transistoren der Inverterstruktur angesehen werden.

5.4 Hybride Inverter

In der Regel sind organische Halbleiter löcherleitend, während der Großteil der Metalloxide eine Elektronenleitung aufweisen. Dadurch ist es naheliegend, dass in der Literatur n-leitende Metalloxide mit organischen p-Halbleitern zu hybriden komplementären Invertern kombiniert werden [PBS+15],[KMT+17],[WWK+21]. Allerdings ergeben sich

dabei Herausforderungen bei der Integration bezüglich der Temperatur- und Chemikalienkompatibilität. Organische Halbleiter reagieren sensibel auf etwaige Lösungsmittel und temperaturintensive Prozesse [Mey21].

Im nachfolgenden Abschnitt soll zum einen untersucht werden, ob durch die Verwendung von organischen Materialien anstatt des p-leitenden Kupferoxids aufgrund der bislang noch besseren elektrischen Eigenschaften organischer Transistoren ($\mu_{Sat} = 1,7 \text{ cm}^2(\text{Vs})^{-1}$ [Mey21]) eine gesteigerte Leistungsfähigkeit des Inverters erzielt werden kann. Zum anderen soll die Flexibilität der entwickelten Integrationsroutine hinsichtlich der Verwendung unterschiedlicher Materialien evaluiert werden. Zudem wird ein Transfer auf ein flexibles Substrat durchgeführt, bevor eine alternative Prozessierung vorgestellt wird, welche die Komplexität reduziert.

5.4.1 Monolithisch integrierte Inverter mit hybriden Halbleitern

In vorangegangenen Arbeiten wurden bereits komplementäre organisch-anorganische Inverter vorgestellt. VIDOR berichtete im Zuge dessen von einem Inverter mit einer maximalen Verstärkung von 11 V/V, der aus einem ZnO-TFT (n-Typ) und einem Transistor mit dem organischen Halbleitermaterial 2,7-Dialkyl[1]benzothieno[3,2-b][1]-benzothiophen (C_8 -BTBT, p-Typ) gebildet wurde [Vid17]. MEYERS demonstrierte einen Inverter auf flexiblem Trägersubstrat bestehend aus einem n-Kanal-TFT mit ZnO-Nanopartikeln sowie einem p-Typ-TFT mit dem organischen Halbleiter Dinaphtho[2,3-b:2',3'-f]thieno[3,2-b]thiophen (DNNT), der eine Verstärkung von 9,6 V/V erzielte [Mey21]. Allerdings wurden dazu in beiden Fällen Einzel-TFTs auf unterschiedlichen Substraten integriert und anschließend extern zu einer Inverterschaltung verbunden.

Im folgenden Abschnitt soll ein Inverter charakterisiert werden, der durch einen DNNT-TFT im Pull-up-Zweig und ein ZnO-TFT als Pull-down-Element gebildet wird. Die Integration der Inverterstrukturen erfolgt dazu auf einem gemeinsamen Si/SiO₂-Substrat.

Die Herstellung erfolgt analog zu dem in Kapitel 5.3 beschriebenen Prozessablauf. Der anorganische Halbleiter (ZnO) wird aufgrund der höheren Prozesstemperatur ($T = 115 \text{ }^\circ\text{C}$) sowie der besseren Lösungsmittelbeständigkeit als erstes integriert. Als Kontaktmetall für DNNT-basierende TFTs wird eine 30 nm dicke Goldschicht durch Elektronenstrahl-Verdampfen aufgebracht⁴. Der Halbleiter wird im letzten Schritt ganzflächig mittels ther-

⁴Da organische Halbleitersysteme nicht Gegenstand dieser Arbeit sind, wird für weiterführende Informationen bezüglich des Einsatzes von DNNT als halbleitende Schicht in Dünnfilmtransistoren auf die folgende Literatur verwiesen [Mey21].

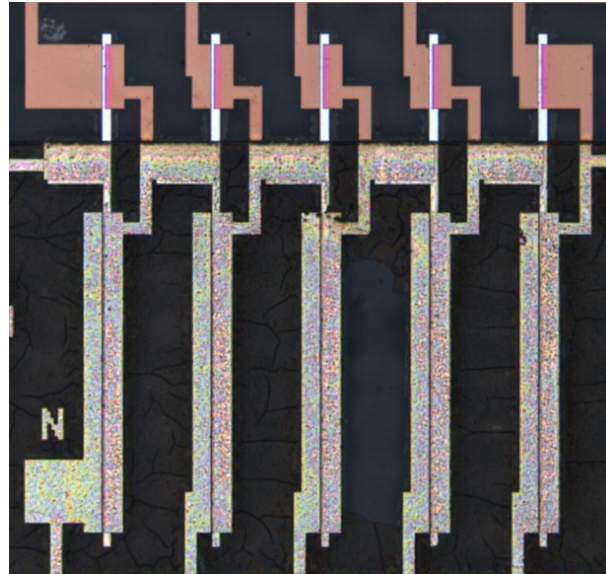


Abbildung 5.8: Optische Konfokalmikroskopaufnahme komplementärer Inverterstrukturen auf einem gemeinsamen Si/SiO₂-Substrat. Unten befinden sich n-leitende ZnO TFTs mit Al-Kontakten, oben sind p-leitende DNTT TFTs mit Au-Elektroden abgebildet.

mischen Verdampfens abgeschieden. Dessen Schichtdicke beträgt ebenfalls 30 nm. Auf eine Strukturierung des organischen Halbleiters durch einen Lithografie-Prozess wird allerdings aus den oben genannten Gründen verzichtet. Der ZnO-TFT wird wiederum mit einer 150 nm dicken Al-Schicht kontaktiert. Abbildung 5.8 zeigt eine optische Konfokalmikroskopaufnahme der hergestellten Inverterstrukturen.

Charakterisierung

Ein durch die Kombination eines organischen p-Kanal-TFTs mit einem anorganischen n-Typ-TFT monolithisch auf einem Si/SiO₂-Substrat hergestellter komplementärer Inverter zeigt die Übertragungskennlinie in Abhängigkeit von der Versorgungsspannung in Abbildung 5.9⁵. Für $V_{DD} = 10\text{ V}$ kann am Ausgang ein sicherer High-Pegel von 8,6 V bis zu einer Eingangsspannung V_{IL} von 2,9 V erreicht werden, wobei der maximale High-Pegel von 9,0 V bei $V_{IN} = 0\text{ V}$ liegt. Der Low-Pegel beträgt ab einer Eingangsspannung von $V_{IH} = 4,1\text{ V}$ zwischen 0,8 V und 0,5 V. Da sich der Ausgangspegel anhand der Spannungsteilerregel einstellt, bedeutet dies wiederum, dass der p-Typ-TFT seinen Widerstand im Vergleich zu dem n-leitenden TFT nicht ausreichend senken kann. Dementsprechend kann auch ein idealer Low-Pegel am Ausgang nicht erreicht werden, da die Leitfähigkeit des

⁵Die Ergebnisse bezüglich der monolithischen Integration komplementärer Inverter durch eine Kombination aus n-Typ ZnO-TFTs und p-Typ DNTT-TFTs wurden teilweise in [7] veröffentlicht.

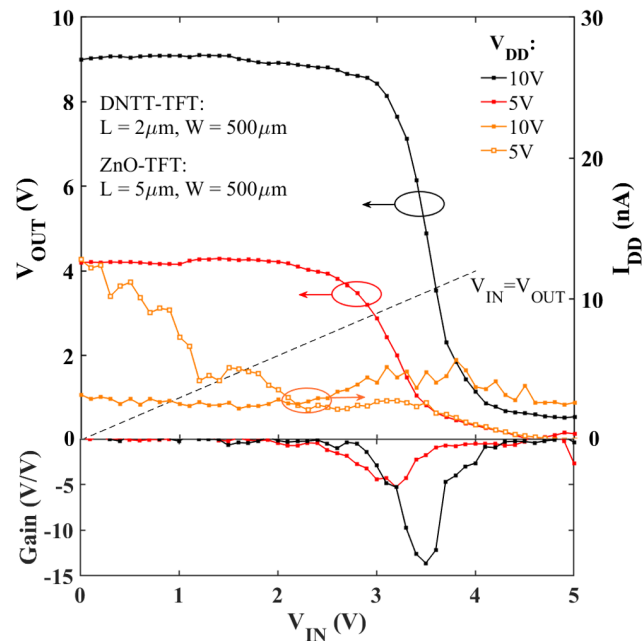


Abbildung 5.9: Übertragungskennlinie, Querstrom I_{DD} und Verstärkung eines komplementären Inverters mit einem n-leitenden ZnO- und einem p-leitenden DNTT-TFT auf einem gemeinsamen Si/SiO₂-Substrat.

ZnO-TFTs im eingeschalteten Zustand im Vergleich zu der des (sperrenden) DNTT-TFTs nicht hoch genug ist. Dies lässt auf eine zu geringe Strommodulation der beiden Transistoren schließen. Im Fall des DNTT-TFTs ist dies mit hoher Wahrscheinlichkeit auf eine Schädigung des Dielektrikums während der Lackentwicklung zurückzuführen (siehe Abbildung 5.4(d)), bei der die Al-Schicht ungewollt entfernt wurde. Dadurch ist ein Schutz des Polymers nicht weiter gegeben, woraus Fallenzustände an der Grenzfläche resultieren, welche die Leistungsfähigkeit des Bauteils herabsetzen [Mey21]. Des Weiteren kann angenommen werden, dass die Al-Leiterbahnen in den Kontaktbereichen zwischen p- und n-leitenden TFTs während des Entwicklungsprozesses angegriffen wurden, woraus sich ein Widerstand und demzufolge ein Spannungsabfall am Übergang zwischen den beiden Kontaktmetallen ergibt. Der geringe On-Strom des ZnO-TFTs lässt sich einerseits durch die Deposition der Nanopartikel auf einer durch Fotolack und Elektroden strukturierten Oberfläche erklären, was zu einer geringen Nanopartikeldichte im Kanalgebiet führt. Andererseits wird auch ein Einfluss der ganzflächigen Deposition des organischen Halbleiters vermutet. Dadurch entsteht ein Heteroübergang an der Rückseite des Ladungsträgerkanals, der mit hoher Wahrscheinlichkeit das elektrische Verhalten des ZnO-TFTs beeinträchtigt.

Für eine Betriebsspannung von 5 V liegt der Ausgang für $0 \leq V_{IN} \leq 2,5\text{V}$ auf einem High-Pegel zwischen 3,9 V und 4,2 V, während sich ein Low-Pegel von $0,6 \geq V_{OUT} \geq 0,01\text{V}$ für

eine Eingangsspannung ab 3,6 V ergibt. Damit kann der maximale Ausgangsspannungshub jeweils zu 85 % und 83,8 % bestimmt werden. Der daraus resultierende Unsicherheitsbereich, in dem keine eindeutige Pegelzuweisung möglich ist, erstreckt sich damit über 1,2 V ($V_{DD} = 10$ V) beziehungsweise 1,1 V ($V_{DD} = 5$ V).

Auch hier kann durch die Erhöhung von V_{DD} eine Verschiebung der Schaltschwelle in Richtung höherer Eingangsspannungen beobachtet werden. Für 5 V befindet sich V_M bei 2,9 V, für $V_{DD} = 10$ V ist $V_M = 3,5$ V. Die maximale Verstärkung beträgt 5,2 V/V für eine Betriebsspannung von 5 V und erhöht sich auf 13,6 V/V bei 10 V. Folglich zeigt auch dieser Inverter in Bezug auf die Abhängigkeit von der Versorgungsspannung ein korrektes Verhalten. Für die Störabstände können bei einer Spannung von $V_{DD} = 10$ V die Werte $NM_L = 2,4$ V und $NM_H = 4,9$ V extrahiert werden. Für eine Versorgungsspannung von 5 V ergeben sich entsprechend $NM_L = 2,5$ V und $NM_H = 0,6$ V.

5.4.2 Inverter mit hybriden Halbleitern auf Foliensubstrat

Im Hinblick auf einen Einsatz im Bereich der flexiblen Elektronik soll die entwickelte Integrationsroutine für komplementäre Inverter im folgenden Abschnitt auf ein flexibles Trägersubstrat übertragen werden. Dazu wird eine PET-Folie mit einer Stärke von 125 μm der Firma Mitsubishi Polyester Film GmbH verwendet. Die Prozessierung erfolgt analog zu Kapitel 5.3. Auch hier werden die n-Kanal ZnO-TFTs mithilfe einer 150 nm Al-Schicht und die p-Typ DNNT-TFTs durch eine 30 nm dicke Au-Schicht kontaktiert. Um die Nanopartikeldeposition im Kanalbereich zu verbessern, wird der Fotolack nach der Strukturierung der Al-Elektroden (siehe Abbildung 5.4 (f)) entfernt. Der Bereich der p-Typ-TFTs muss anschließend jedoch wieder durch eine Lackmaske abgedeckt werden, um eine dortige Abscheidung von ZnO-Nanopartikeln zu verhindern. Dabei wird der Lack im Bereich der ZnO-TFTs jedoch ohne Schutzschicht auf dem Dielektrikum entwickelt. Außerdem kann eine zu lange Entwicklungszeit auch zu einem Angreifen der Al-Kontakte durch die NaOH-Entwicklerlösung führen. Auf eine Strukturierung des organischen Halbleiters wird wiederum verzichtet⁶.

⁶Die Ergebnisse bezüglich der Integration komplementärer Inverter basierend auf TFTs mit einem hybriden Halbleitersystem auf einem flexiblen Trägersubstrat wurden teilweise in [4] veröffentlicht.

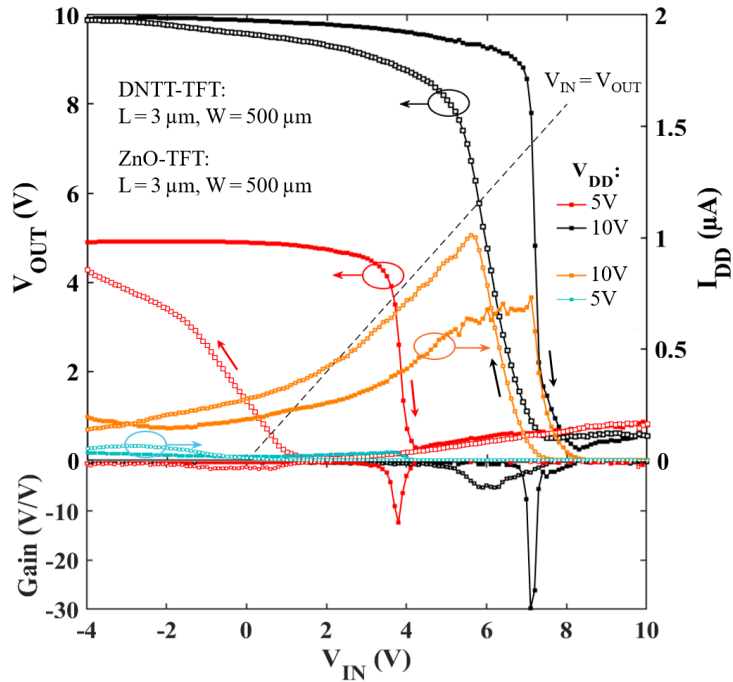


Abbildung 5.10: Übertragungskennlinie sowie Verstärkung eines komplementären Inverters mit einem n-leitenden ZnO- und einem p-leitenden DNTT-TFT, monolithisch integriert auf einem gemeinsamen PET-Substrat.

Charakterisierung

Abbildung 5.10 zeigt die Übertragungskennlinie des komplementären Inverters auf einem PET-Substrat in Abhängigkeit von der Versorgungsspannung. Für $V_{DD} = 10\text{ V}$ kann eine maximale Verstärkung von 30 V/V bei einem Pegelwechsel am Ausgang von High zu Low festgestellt werden. Dabei liegt im Bereich $0\text{ V} \leq V_{IN} \leq 6,8\text{ V}$ der Ausgang auf einem High-Pegel von maximal $9,9\text{ V}$, während eine logische Null ($V_{OUT,min} = 0,3\text{ V}$) für $7,95\text{ V} \leq V_{IN} \leq V_{DD}$ erreicht wird. Dadurch ergibt sich ein nahezu idealer Ausgangsspannungshub von 96% der Versorgungsspannung sowie ein Unsicherheitsbereich von $1,15\text{ V}$. Die Schaltschwelle liegt bei $V_M = 7,1\text{ V}$ und ist damit größer als der ideale Schaltpunkt von $V_{DD}/2$, das heißt, der Graph ist nach rechts verschoben. Als Grund hierfür wird das in diesem Fall höhere Niveau des On-Stroms des DNTT-TFTs ($I_{ON} = 1 \cdot 10^{-5}\text{ A}$) gegenüber dem des ZnO-TFTs ($I_{ON} = 3 \cdot 10^{-7}\text{ A}$) angenommen. In diesem Fall befindet sich zwar kein Fotolack auf den Al-Elektroden, nichtsdestotrotz befinden sich die Inverterstrukturen an den Übergangsbereichen, sodass sich die Lackschicht zur Maskierung der p-Typ-TFTs weiterhin als störend für eine gleichmäßige Nanopartikelablagerung im Kanalbereich erweist. Des Weiteren kann nicht ausgeschlossen werden, dass die Elektroden und das Dielektrikum durch die Entwicklerlösung angegriffen wurden. Auch wenn der

Leckstrom weiterhin auf einem geringen Niveau liegt, sodass es augenscheinlich zu keiner Schädigung des Dielektrikums gekommen ist, können Fallenzustände an der Halbleiter-Dielektrikum-Grenzfläche für den geringen Strom des ZnO-TFTs verantwortlich sein. Abschließend muss auch hier der Einfluss durch die ganzflächige Deposition des organischen Halbleiters auf die elektrischen Charakteristika der ZnO-TFTs in Betracht gezogen werden. Das adäquate elektrische Verhalten des DNNT-TFTs weist darauf hin, dass es in den Bereichen der p-Kanal-TFTs zu keiner Schädigung des Dielektrikums gekommen ist.

Die Schwellenspannungen der TFTs liegen mit $V_{Th,p} = -1,3\text{ V}$ und $V_{Th,n} = 1,5\text{ V}$ betragsmäßig nah beieinander. Die Störabstände entsprechen hier $NM_L = 6,5\text{ V}$ und $NM_H = 1,95\text{ V}$. Für die umgekehrte Schaltrichtung (vom Low- zum High-Pegel am Ausgang) kann die Verstärkung zu $5,2\text{ V/V}$ bestimmt werden. Eine logische Eins erhält man bis zu einer Eingangsspannung $V_{IL} = 5\text{ V}$, eine logische Null ab $V_{IH} = 7,3\text{ V}$, sodass sich der Unsicherheitsbereich auf $2,3\text{ V}$ vergrößert. Zudem tritt eine Hysterese auf, welche die Schaltschwelle auf einen Wert von $V_M = 5,8\text{ V}$ verschiebt. Diese Hysterese ist wahrscheinlich auf das Hysterese-Verhalten des ZnO-TFTs zurückzuführen. Bei einer Eingangsspannung von 0 V kann ausgangsseitig ein maximaler High-Pegel von $V_{OH} = 9,6\text{ V}$ erreicht werden. Mit einem minimalen Low-Pegel von $V_{OL} = 0,5\text{ V}$ ergibt sich ein Ausgangsspannungshub von 91% . Für die Störabstände ergeben sich die Werte $NM_H = 2,3\text{ V}$ und $NM_L = 4,5\text{ V}$.

Der Querstrom I_{DD} durch den Inverter ist im Schaltpunkt, an dem sowohl der p-Typ als auch der n-Typ TFT leitend ist, maximal. Aufgrund des leicht erhöhten Querstroms im Bereich des High-Pegels zeigt der ZnO-TFT ein schlechteres Sperrverhalten als der DNNT-TFT. Dies kann einerseits auf die Belastung des Dielektrikums durch die Entwicklerlösung hervorgerufen werden. Mit einem maximalen Gate-Leckstrom im Bereich von 10^{-9} A kann eine Schädigung des Dielektrikums jedoch ausgeschlossen werden. Andererseits kann auch hierfür der anorganisch-organische Heteroübergang und dessen Einfluss auf die Ladungsträgerdichte im Halbleiter nicht ausgeschlossen werden.

Wird die Versorgungsspannung von 10 V auf 5 V gesenkt, kann sowohl die zu erwartende Verschiebung der Schaltschwelle, als auch eine Verringerung der Verstärkung beobachtet werden. Letztere beträgt bei einer Schaltrichtung von einem High- auf einen Low-Pegel maximal $12,4\text{ V/V}$ und die Schaltschwelle liegt bei $3,65\text{ V}$. Das Ausgangspotential befindet sich im Bereich von $0\text{ V} \leq V_{IN} \leq 3,3\text{ V}$ auf einem High-Pegel von $4,4\text{ V} \leq V_{OUT} \leq 4,9\text{ V}$. Ein Low-Pegel von $0,6\text{ V} \geq V_{OUT} \geq 0,3\text{ V}$ erhält man ab einer Eingangsspannung von etwa $V_{IH} = 4,1\text{ V}$. Damit ergibt sich ein maximaler Ausgangsspannungshub von 92% der Betriebsspannung V_{DD} und Störabstände von $0,8\text{ V}$ und $3,0\text{ V}$ für NM_H beziehungsweise NM_L .

Für den Übergang vom Low- zum High-Pegel zeigt sich eine deutliche Hysterese und eine dadurch bedingte Verringerung der Inverter-Performance mit einer Verstärkung von lediglich 1,2 V/V und einem nicht eindeutig bestimmbareren Unsicherheitsbereich. Bei einem Low-Pegel am Eingang ($V_{IN} \geq 0$ V) wird ein maximaler High-Pegel am Ausgang von 1,3 V nicht überschritten. Mit einem Low-Pegel nahezu auf Massepotential beträgt der Ausgangsspannungshub im Bereich von $0 \text{ V} \leq V_{IN} \leq V_{DD}$ gerade einmal 26 %. Dies lässt darauf schließen, dass der p-Kanal-TFT bei reduzierter Versorgungsspannung nicht mehr dazu in der Lage ist, den Ausgang auf einen adäquaten High-Pegel zu ziehen. Nichtsdestotrotz verringert sich die statische Leistungsaufnahme durch die Senkung der Versorgungsspannung von 10 V auf 5 V um mehr als eine Größenordnung von 10 μW auf 0,2 μW .

Bewertung und Fazit

Mit der entwickelten Integrationsroutine lassen sich komplementäre Inverter mit zwei verschiedenen Halbleitern und dementsprechend auch mit zwei Kontaktmetallen auf einem gemeinsamen Trägersubstrat realisieren. Die vermessenen Inverter, bestehend aus einem p-leitenden CuO-TFT sowie einem n-leitenden ZnO-TFT, weisen aufgrund der schwächeren Leistungsfähigkeit der CuO-TFTs allesamt eine Verschiebung der Übertragungskennlinie nach links auf. Allerdings zeigen auch die ZnO-TFTs eine, im Vergleich zu optimiert hergestellten Einzel-TFTs, reduzierte Leistungsfähigkeit. Deren elektrische Eigenschaften werden offensichtlich durch die Vielzahl an Prozessschritten, welche die zuerst integrierten ZnO-TFTs chemisch und mechanisch belasten, sowie durch die Deposition der Nanopartikel auf einer durch Fotolack strukturierten Oberfläche beeinträchtigt. Die insbesondere bei den CuO-TFTs auftretende Hysterese lässt sich auch in den Übertragungskennlinien der Inverter beobachten. Die maximal erreichte Verstärkung eines solchen Inverters beträgt 9 V/V. Anhand der Integration von hybriden Invertern wird die Flexibilität der Integrationsroutine bezüglich der verwendeten Halbleiter und Kontaktmetalle deutlich. So können mit einem Inverter bestehend aus einem DNTT- und einem ZnO-TFT Verstärkungen von bis zu 30 V/V erreicht werden.

Insgesamt ist die entwickelte Herstellungsmethode sehr komplex und damit fehleranfällig, weshalb sie sich für eine kommerzielle Anwendung in ihrer jetzigen Form nicht eignet. Abhilfe kann ein modifiziertes Maskenset schaffen, das zum einen Fehljustierungen kompensiert und zum anderen die Masken zur Strukturierung der Kontakte und die entsprechende Maskierung des jeweils anderen Transistortyps kombiniert, sodass eine Doppellacktechnik nicht notwendig ist und sich die Prozesskomplexität reduziert. Durch eine geeignete Anpassung der Prozessführung erscheint es möglich, dass die elektrischen Eigenschaften der

Inverter-TFTs denen von optimiert hergestellten Einzel-TFTs entsprechen.

5.5 Inverter mit zweilagiger Kontaktmetallisierung

Die vorgestellte Routine zur Integration von zwei gestapelten unterschiedlichen Kontaktmetallen auf einem gemeinsamen Substrat ist sehr komplex und enthält, wie bereits in Kapitel 5.2 erwähnt, verschiedene Fehlerquellen wie eine Dejustierung der Maskenebenen oder eine mangelnde Kompatibilität einzelner Prozessschritte zueinander. Deshalb wird in weiterführenden Experimenten untersucht, ob die monolithische Herstellung komplementärer Inverter durch eine zweilagige Kontaktmetallisierung vereinfacht werden kann.

Integration

Eine wesentliche Reduzierung der Komplexität bietet die Integration einer zweilagigen Drain-/Source-Metallisierung. Diese Methode kann allerdings nur dann eingesetzt werden, wenn die Schichtdicken beziehungsweise die Nanopartikel-Durchmesser der verwendeten Halbleiter relativ stark voneinander abweichen. Dabei soll der Halbleiter mit der geringeren Schichtdicke (bzw. kleinerem Partikel-Durchmesser) durch das unten liegende Metall kontaktiert werden. Entsprechend findet die Ladungsträgerinjektion für den Halbleiter mit der größeren Schichtdicke (bzw. größerem Partikel-Durchmesser) durch die obere Metallschicht statt.

Der Prozessablauf zur Integration zweilagiger Kontaktelektroden ist in Abbildung 5.11 dargestellt. Der Ausgangspunkt für die Integration ist ein Templat, das bereits die Gate-Elektroden, das Dielektrikum und die Schutzschicht enthält. Im nächsten Schritt findet ein herkömmlicher Fotolithografie-Prozess zur Strukturierung der Kontaktelektroden statt, gefolgt vom Entfernen der Schutzschicht in den freigelegten Bereichen. Da die Strukturierung durch einen Lift-off-Prozess erfolgen soll, bleibt die Lackschicht während des anschließenden Aufdampfens bestehen. Zunächst wird das Metall für den dünneren Halbleiter aufgedampft, bevor direkt im Anschluss das zweite Metall aufgebracht wird. Sollte eines der Kontaktmetalle nicht resistent gegenüber der Al-Ätzlösung sein, folgt dem Lift-off-Prozess ein weiterer Lithografie-Prozess mit der invertierten Maske zum Schutz der Elektroden während des Entferns der Al-Schutzschicht. Nichtsdestotrotz kann es in diesem Fall zu einem ungewollten Unterätzen kommen, da die Seiten der Kontakte nicht geschützt werden können. Basierend auf den Nanopartikel-Durchmessern wird für das p-leitende CuO (Hersteller: PlasmaChem GmbH, Partikel-Durchmesser: 40 nm) eine Nickelschicht mit einer Dicke von 50 nm gewählt. Für die Kontaktierung der ZnO-Schicht

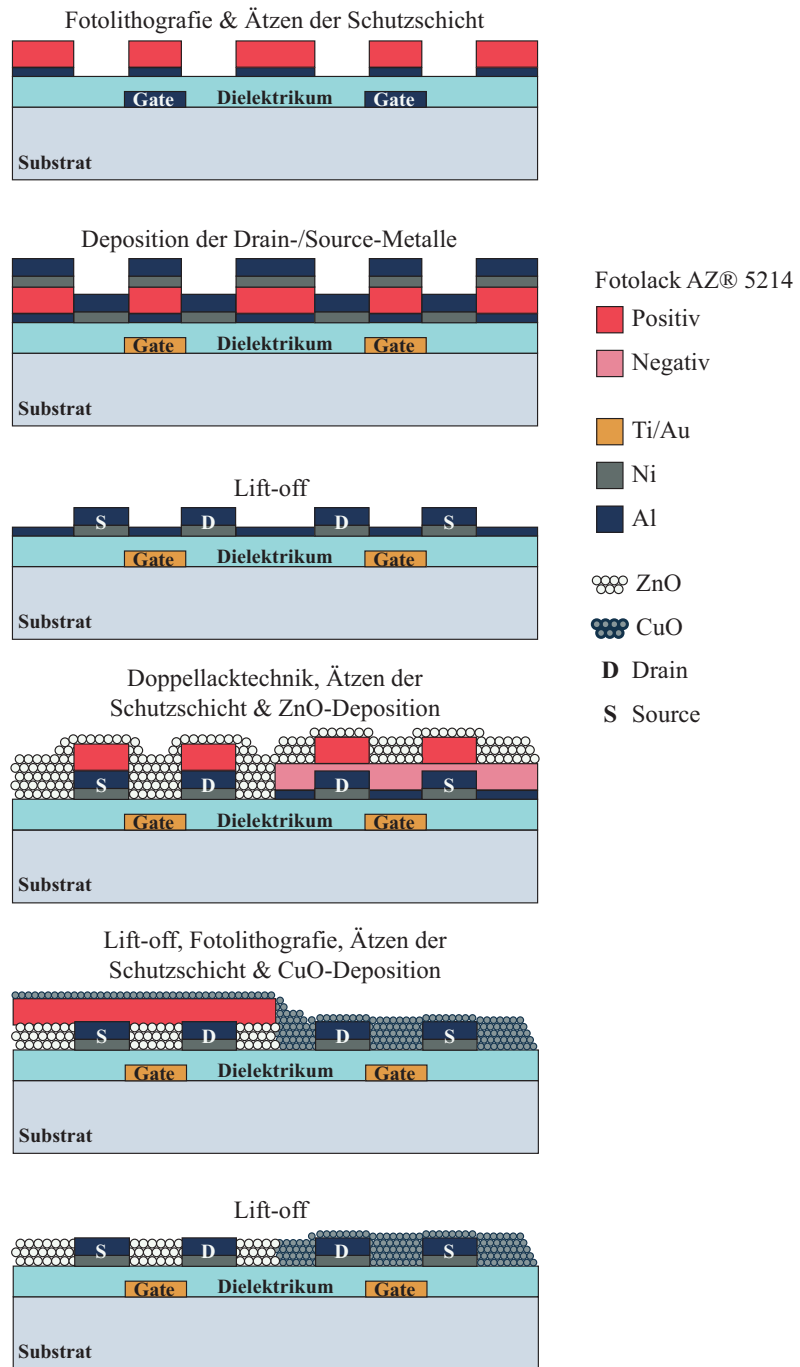


Abbildung 5.11: Darstellung der Integrationsroutine zur Herstellung komplementärer Inverter mit einer zweilagigen Kontaktmetallisierung auf einem gemeinsamen Substrat.

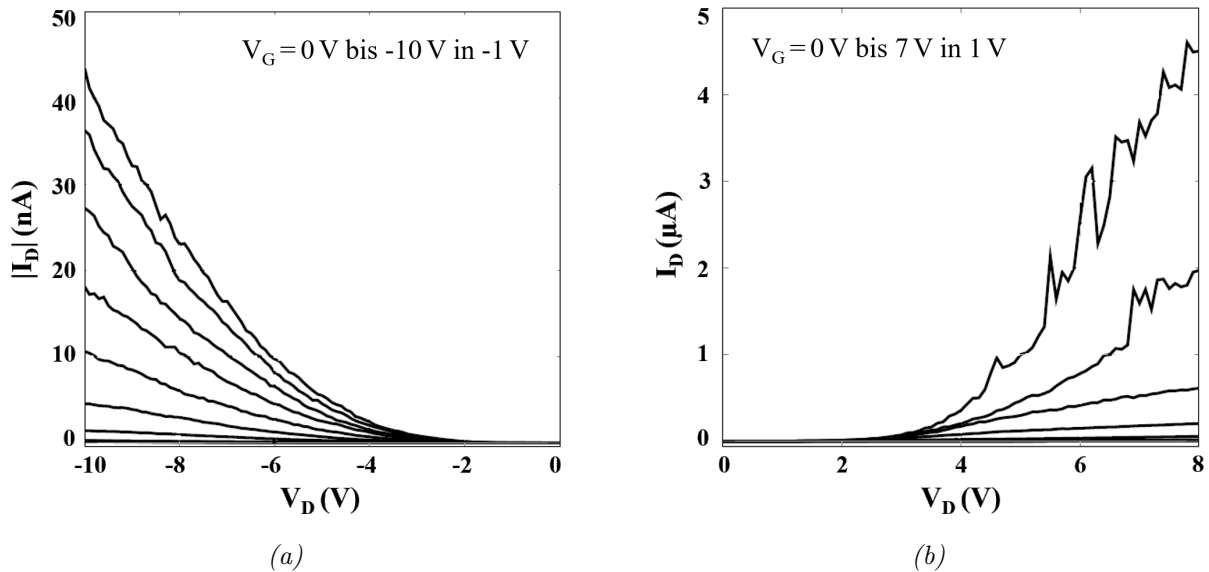


Abbildung 5.12: Ausgangskennlinienfeld eines (a) p-leitenden CuO-TFTs sowie eines (b) n-leitenden ZnO-TFTs mit einer zweilagigen Metallisierung bestehend aus 50 nm Ni und 100 nm Al auf einem gemeinsamen Si/SiO₂-Substrat.

(Partikel-Durchmesser: 70 nm) werden weitere 100 nm Aluminium aufgedampft, sodass die gesamte Schichtdicke 150 nm beträgt. Die Strukturierung und Deposition des Halbleiters erfolgt analog zu der in Kapitel 5.3 beschriebenen Routine.

Charakterisierung

In Abbildung 5.12 sind die resultierenden Ausgangskennlinienfelder der auf einem gemeinsamen Si/SiO₂ mit einer zweilagigen Kontaktmetallisierung integrierten Einzel-TFTs dargestellt. Aus den Steigungen im jeweiligen Anlaufbereich der Transistoren lässt sich sowohl für den CuO- als auch für den ZnO-TFT auf einen hohen Kontaktwiderstand schließen. Der hohe Kontaktwiderstand zwischen CuO-Nanopartikeln und den Drain-/Source-Elektroden kann auf eine, im Vergleich zum Partikeldurchmesser, zu geringe Dicke der Ni-Schicht hinweisen, sodass das CuO auch durch das Aluminium kontaktiert wird. Mit der Elektronenaffinität von CuO (4,07 eV) und der Austrittsarbeit der beiden Metalle ($\phi_{Al} = 4,28$ eV, $\phi_{Ni} = 5,15$ eV [JL19]) ergibt sich nach Gleichung 2.13b für einen Kontakt zwischen CuO und Al eine erhöhte Energiebarrierenhöhe und damit ein größerer Kontaktwiderstand als für einen Ni-Kontakt. Damit einhergehend kann der geringe Drain-Strom erklärt werden.

Ebenso wie der CuO-TFT weist auch der ZnO-TFT eine verringerte Performance vergli-

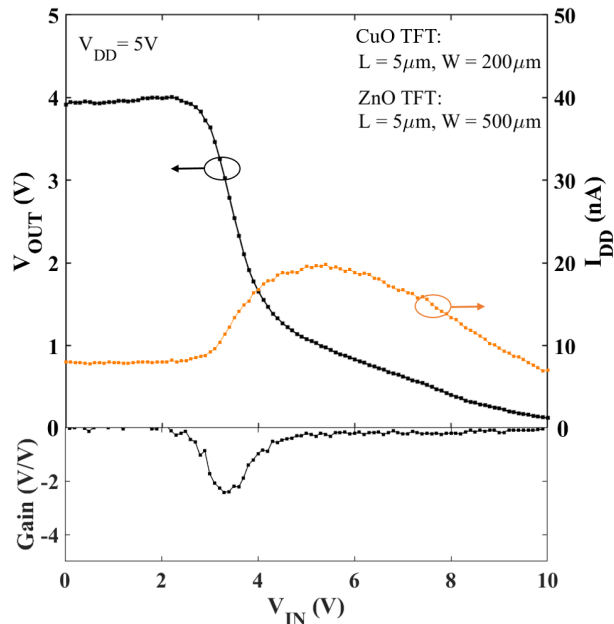


Abbildung 5.13: Übertragungskennlinie, Querstrom sowie Verstärkung eines komplementären Inverters mit einem n-leitenden ZnO und einem p-leitenden CuO TFTs mit einer zweilagigen Metallisierung bestehend aus 50 nm Ni und 100 nm Al auf einem gemeinsamen Si/SiO₂-Substrat.

chen mit in Kapitel 4 vorgestellten Einzeltransistoren auf. Da bereits gezeigt wurde, dass Ni eine Alternative zu einer Al-Kontaktierung ist (siehe Kapitel 4.1.3), kann der hohe Kontaktwiderstand nicht aus einer energetischen Fehlanpassung am Metall-Halbleiter-Übergang resultieren. Als problematisch kann hier der Prozessschritt zum Entfernen der Al-Schutzschicht angesehen werden. Während die Oberflächen der Al-Elektroden durch die Lackmaske geschützt sind, werden die Seitenflächen während des nasschemischen Ätzens der Schutzschicht von der Ätzlösung angegriffen. Dadurch kommt es zu einem Unterätzen des Lackes, was einen inhomogenen Kontakt zwischen ZnO-Nanopartikeln und Drain-/Source-Elektroden zur Folge hat. Zudem muss vor dem Aufbringen des n-Halbleiters wiederum der Bereich der p-Kanal-TFTs durch eine Lackschicht abgedeckt werden. Da die Schutzschicht allerdings bereits entfernt wurde, ist darauf zu achten, dass das Dielektrikum während des Entwicklungsprozesses nicht übermäßig angegriffen wird, da sich dies negativ auf die Transistor-Parameter auswirkt [Mey21]. Dies gilt dementsprechend auch für die Strukturierung des p-Halbleiters.

Die Einzeltransistoren aus Abbildung 5.12 werden nun zu einer komplementären Inverterstruktur verschaltet. Abbildung 5.13 zeigt die zugehörige Übertragungskennlinie, sowie den Querstrom I_{DD} durch den Inverter während des Schaltvorgangs. Bei einer Betriebsspannung V_{DD} von 5 V wird ein High-Pegel von 4 V und ein Low-Pegel von 0,12 V erreicht.

Dies entspricht einem Ausgangsspannungshub von etwa 78 % der Versorgungsspannung. Ideale Pegel (V_{DD} und GND) werden gemäß Spannungsteilerregel durch einen ungewollten Spannungsabfall am jeweils leitenden Transistor verhindert. Dies wird insbesondere bei dem *High*-Pegel ersichtlich, der mit 4 V rund 1 V unter dem Idealwert liegt. Der Spannungsabfall am p-Typ CuO-TFT kann dadurch erklärt werden, dass dessen Strom im leitenden Zustand in etwa im Bereich des Sperrstromes des ZnO-TFTs liegt. Die Schwellenspannung V_M befindet sich bei 3,2 V und liegt damit 0,7 V oberhalb des idealen Wertes von $V_{DD}/2$. Die Kurve ist demnach nach rechts verschoben, was durch das Ungleichgewicht zwischen den Einschaltströmen des n- und p-Typ-TFTs verursacht wird. Die Störabstände betragen für $NM_H = 0$ V und für $NM_L = 1,2$ V und sind somit gering. Die Verstärkung des Inverters kann zu 2,4 V/V bestimmt werden.

Insgesamt konnten durch die vorgestellte, in ihrer Komplexität reduzierte Routine zur Integration von komplementären Invertern mit zweilagigen Kontaktelektroden funktionsfähige Bauelemente erzielt werden. Allerdings liegt die Performance auf einem niedrigeren Niveau als die der monolithisch integrierten TFTs mit Parallelmetallisierung. Dies ist auf die mangelhafte Qualität des Al-Anteils an den Elektroden zurückzuführen, wodurch sich der Kontaktwiderstand der ZnO-TFTs deutlich erhöht.

Selbstjustierte TFTs mit sub- μm -Kanallängen

Das kommerzielle Hauptanwendungsgebiet von Dünnschichttransistoren liegt momentan im Bereich der Aktiv-Matrix-Displays basierend auf Flüssigkristallen (engl.: *Active Matrix Liquid Crystal Display*, kurz AMLCD) oder auf organischen Leuchtdioden (engl.: *Active Matrix Organic Light-Emitting Diode Display*, kurz AMOLED), welche Transitfrequenzen im Megahertz-Bereich erfordern [ZBG+20]. Bislang werden dazu größtenteils TFTs mit polykristallinem Niedertemperatur-Silizium (engl.: Low-Temperature Polysilicon, kurz LTPS) verwendet. Metalloxide, allen voran Indium-Gallium-Zinkoxid (IGZO), finden ebenfalls weite Verbreitung in der Display-Technologie, da sie gegenüber LTPS eine kostengünstigere und skalierbare Herstellung ermöglichen [Wag20],[JJP+21].

Eine Erhöhung der Transitfrequenz bis in den Gigahertz-Bereich würde den Weg für einen Einsatz von TFTs über Anwendungen in der Displaytechnologie hinaus ebnen. Die Transitfrequenz ist in diesem Kontext eine wichtige Kenngröße eines TFTs und beschreibt die Frequenz, bei der keine Signalverstärkung mehr erfolgt. Beeinflusst wird diese Frequenz unter anderem durch die Kanallänge sowie durch parasitäre Kapazitäten, die durch das Überlappen der Drain- und Source-Elektroden mit der Gate-Elektrode entstehen.

Im Folgenden wird zunächst der allgemeine Einfluss der Kanallänge auf das Transistorverhalten erläutert, bevor die Integrationsroutine zur Herstellung von selbstjustierten TFTs vorgestellt wird, die zu einer Minimierung der Überlappbereiche führt. Zunächst wird der Prozess hinsichtlich einer Auflösung von einem Mikrometer optimiert und die entsprechenden TFTs charakterisiert, bevor eine weitere Reduzierung der Kanallänge in den Submikrometerbereich erfolgt. Abschließend erfolgt der Transfer auf ein Foliensubstrat.

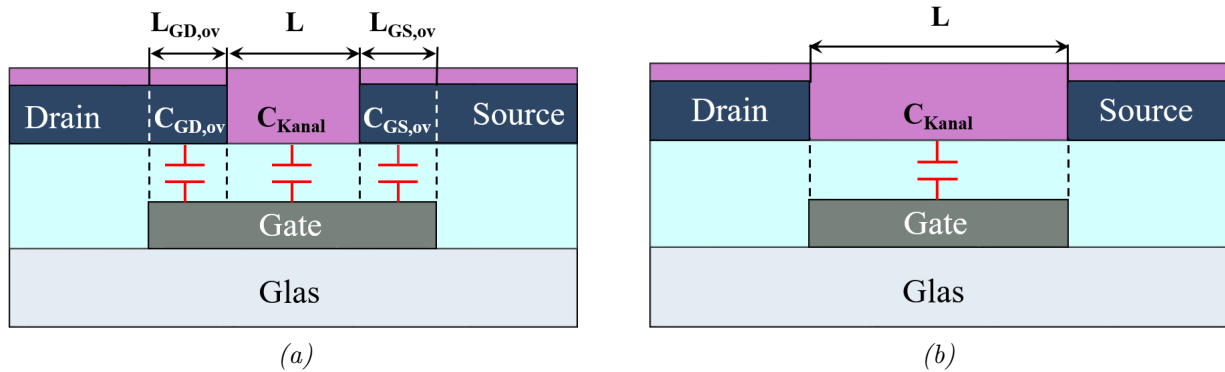


Abbildung 6.1: Schematische Darstellung eines (a) konventionellen TFTs mit Kennzeichnung der bauteiltypischen Kapazitäten aufgrund von Überlappungen zwischen der Gate- und der Source-Elektrode bzw. zwischen der Gate- und Drain-Elektrode sowie der Kanalkapazität. (b) Selbstjustierter TFT mit minimierten Überlappungsbereichen.

6.1 Einfluss der Kanallänge auf das Transistorverhalten

Die bereits erwähnte Transitfrequenz f_T kann anhand der Formel

$$f_T = \frac{\mu V_D}{2\pi L(L + 2L_{ov})} \quad (6.1)$$

mit der Ladungsträgerbeweglichkeit μ , der Betriebsspannung V_D , der Kanallänge L sowie der Kontaktlänge L_{ov} bestimmt werden [Kla18]. Letztere entspricht der Überlappung zwischen der Drain- bzw. Source-Kontakte und der Gate-Elektrode. Dies führt zu parasitären Kapazitäten, die bei jedem Schaltvorgang ge- und entladen werden müssen (siehe Abbildung 6.1 (a)). Die Ladungsträgerbeweglichkeit der in Kapitel 4.1 vorgestellten Bottom-Gate, Bottom-Contact ZnO-TFTs liegt im Bereich von $1 \text{ cm}^2(\text{Vs})^{-1}$. Dementsprechend muss bei einer Drain-Spannung von 5 V und Überlappungen von $5 \mu\text{m}$ die Kanallänge in den sub- μm -Bereich reduziert werden, um Transitfrequenzen im MHz-Bereich zu erreichen.

Betrachtet man den obigen Ausdruck für die Transitfrequenz, sowie Gleichung 2.12 für den Drain-Strom I_D , sollte eine Reduzierung der Kanallänge theoretisch zu einer gesteigerten TFT-Performance führen. In der Realität treten jedoch mit sinkender Kanallänge sogenannte Kurzkanaleffekte auf, insbesondere deshalb, da die Schichtdicke des Gate-Dielektrikums und/oder die Überlappungsbereiche nicht in gleichem Maße wie die Kanallänge reduziert werden. Dadurch kann es sogar zu einer Verschlechterung der elektrischen Eigenschaften kommen. Eine allgemeine Kanallänge, ab der Kurzkanaleffekte auftreten, kann nicht angegeben werden, da dies von dem Materialsystem, der Bauteilarchitektur sowie

von dem Herstellungsprozess abhängt [RFK+14].

Anhand von Gleichung 2.17 wird deutlich, dass bei einer Abnahme der Kanallänge der Beitrag des Kontaktwiderstands an dem Gesamtwiderstand steigt [TDK95],[AKZ+12],[Kla18],[WKT+20]. Dies führt zu Nichtlinearitäten im TFT-Verhalten, sichtbar vor allem im Anlaufbereich eines Ausgangskennlinienfeldes. Des Weiteren kommt es aufgrund des abnehmenden Abstandes zwischen Drain- und Source-Elektroden in Kurzkanal-TFTs zu einer Erhöhung des lateralen elektrischen Feldes. Dadurch wird die Potentialbarriere zwischen Metall und Halbleiter gesenkt, was in einer Abnahme der Schwellenspannung bzw. der Einschaltspannung resultiert. Dieser Effekt wird als DIBL (engl.: *Drain-Induced Barrier Lowering*)-Effekt bezeichnet. Infolge des DIBL-Effekts kommt es außerdem entweder aufgrund einer Reduzierung der Kanallänge und/oder einer Erhöhung der Drain-Spannung zu einer Verschlechterung des Subschwellsenpannungsstromanstiegs [SKY+08],[LJ11],[RJN+14].

Die Strommodulation kann ebenfalls negativ von einer verkürzten Kanallänge beeinflusst werden. Das verstärkte elektrische Feld zwischen Drain und Source führt dazu, dass es zu Strompfaden durch die gesamte Schichtdicke des Halbleiters kommen kann, sodass es zu einem Anstieg des minimalen Stromes im ausgeschalteten Zustand kommt. Dadurch nimmt die Kontrolle des Drain-Stromes durch die Gate-Spannung ab [WZS06].

Eine weitere Auswirkung kurzer Kanallängen ist, dass der Drain-Strom I_D mit zunehmender Drain-Spannung V_D nicht in Sättigung geht. Nimmt I_D im Sättigungsbereich linear mit steigendem V_D zu, spricht dies für den Effekt der Kanallängenmodulation. Besteht ein quadratischer Zusammenhang, kann auf einen Punch-Through-Effekt infolge des DIBL-Effektes geschlossen werden [Sze91],[HZZ+06].

Alles in allem wird das Auftreten von Kurzkanaleffekten also durch das Verhältnis zwischen parasitären Anteilen an der Gate-Kapazität, dem Kontaktwiderstand sowie dem lateralen und vertikalen elektrischen Feld beeinflusst [RFK+14].

6.2 Integration selbstjustierter TFTs

Die Integration von TFTs mit Kanallängen unterhalb von einem Mikrometer beruht auf dem Prozess der Selbstjustierung durch eine Rückseitenbelichtung. Das Prinzip der Selbstjustierung im Rahmen der Transistorintegration wurde bereits im Jahre 1964 von KLAESENS und KOELMANS entwickelt und durch VIDOR und MEYERS an die Integration von selbstjustierten TFTs basierend auf dem high- k Dielektrikum inoflex T3 ange-

passt [Vid17],[Mey21]. In dieser Arbeit soll der Prozess hinsichtlich einer Herstellung von Bottom-Gate, Bottom-Contact Dünnschichttransistoren mit Kanallängen im Submikrometerbereich (Sub- μm -Bereich) erweitert und optimiert werden.

Der Selbstjustierungsprozess

Zunächst soll der prinzipielle Prozessablauf zur Herstellung von TFTs mit selbstjustierten Drain-/Source-Elektroden beschrieben werden, bevor die erforderlichen Anpassungen hinsichtlich einer Reduzierung der Kanallänge in den Submikrometerbereich erläutert werden. Bei der Selbstjustierung dient die strukturierte Gate-Elektrode als Maskierung für den Kanalbereich. Folglich bestimmen die geometrischen Abmessungen der Gate-Strukturen die spätere Kanallänge. Dazu wird auf einem transparenten Substrat (Borosilikatglas-Wafer: BORO FLOAT33, bezogen von SIEGERT WAFER GmbH bzw. PET-Folie: Hostaphan® GN 75, bereitgestellt von Mitsubishi Polyester Film GmbH) die Gate-Metallisierung (50 nm Al) ganzflächig aufgedampft und anschließend durch eine herkömmliche Fotolithografie und einen nasschemischen Ätzprozess strukturiert. Das polymere Gate-Dielektrikum inoflex T3 wird, wie bereits in Abschnitt 3.4 beschrieben, aufgebracht. Eine Metallisierung aus 150 nm Al, die in Kapitel 4.1 zur Kontaktierung von ZnO-TFTs eingesetzt wurde, ist hier nicht möglich, da eine Metallschicht dieser Dicke sämtliche Strahlung während der Rückseitenbelichtung absorbieren würde. Stattdessen wird eine Al-Schicht mit einer Dicke von nur 15 nm zum Schutz des Dielektrikums (siehe Abschnitt 3.4) aufgedampft, auf die die von der Rückseite zu belichtende Fotolackschicht aufgeschleudert wird.

Für die Rückseitenbestrahlung wird das Substrat mit der Lack-beschichteten Seite nach unten in die Belichtungsanlage eingebaut, d.h. die Oberfläche ist der Lichtquelle abgewandt. Wie bereits erwähnt, dient für den Kanalbereich die Gate-Elektrode als Maskierung, während eine zusätzliche Quarzglasmaske die Geometrien der Kontaktelektroden definiert. Bei der Rückseitenbelichtung muss das UV-Licht (UV-A) dementsprechend durch das Substrat, das Gate-Dielektrikum und die Al-Schutzschicht gelangen, um den Fotolack ausreichend zu belichten und eine Entwicklung des Lackes zu gewährleisten. Das Prinzip der Rückseitenbelichtung wird in Abbildung 6.2 veranschaulicht. Die Schichtfolge dieser drei Materialien muss demnach eine gewisse Transmission ermöglichen. Anhand Abbildung 6.3 wird deutlich, dass die Transmission im Bereich des Intensitätsmaximums der UV-Lichtquelle ($\lambda = 365 \text{ nm}$) durch die zusätzliche Al-Schicht von ca. 90 % auf etwa 6 %

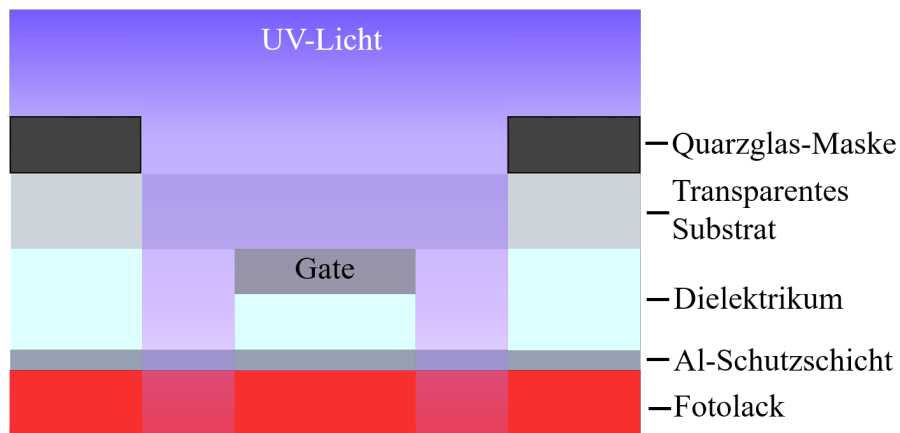


Abbildung 6.2: Prinzip der Rückseitenbelichtung zur Integration selbstjustierender Drain-/Source-Elektroden. Dabei muss das UV-Licht Substrat, Gate-Dielektrikum und Al-Schutzschicht in ausreichender Intensität durchdringen, um den Fotolack zu belichten. Das Gate dient als Maskierung des Kanalbereiches.

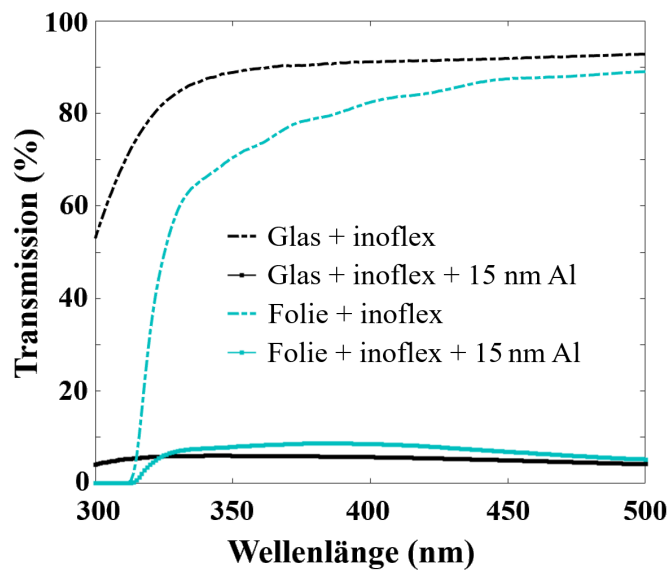


Abbildung 6.3: Optische Transmission eines Borosilikatglas- und eines Foliensubstrates (Hostaphan[®] GN 75) jeweils beschichtet mit inoflex T3 bzw. mit inoflex T3 und 15 nm Al.

reduziert wird. Bei einem Foliensubstrat erfolgt eine entsprechende Reduzierung von 75 % auf 8 %. Dies erfordert sowohl eine Belichtungszeit von 11 Sekunden von der Rückseite als auch eine weitere kurze Belichtung von einer Sekunde von der Vorderseite, um eine entwickelbare Fotolackschicht zu erhalten.

Die weitere Prozessierung zur Strukturierung der Drain-/Source-Elektroden mithilfe eines Lift-off-Prozesses erfolgt ebenfalls anhand der in Kapitel 3.4 beschriebenen Routine. Als Kontaktmetall der ZnO-TFTs wird Nickel gewählt, das sich in Abschnitt 4.1.3 als geeignete Alternative zu Al-Kontakten herausgestellt hatte. Vor der abschließenden Halbleiterabscheidung muss die verbliebene Al-Schutzschicht selektiv zu den Ni-Elektroden entfernt werden.

6.2.1 Reduzierung der Kanallänge in den Sub- μm -Bereich

Prozessanpassungen

Die bisherige Prozessbeschreibung bezieht sich auf eine herkömmliche Integration mit selbstjustierten Drain-/Source-Kontakten. Hierdurch können TFTs mit minimalen Kanallängen von drei Mikrometern reproduzierbar hergestellt werden. Im Folgenden soll dieser Prozess abgewandelt werden, um die Integration von Strukturen bis in den Submikrometerbereich zu ermöglichen.

Zunächst muss dazu die Gate-Elektrode verkleinert werden, da diese die Kanallänge definiert. Das vorhandene Maskenset bietet minimale Strukturen mit einer Länge von einem Mikrometer. Deren Verkleinerung kann dadurch erzielt werden, dass nach der Fotolithografie die Dimensionen der entwickelten Lackmaske durch einen isotropen Trockenätzprozess im reaktiven Ionenätzter *Plasmalab $\mu 80P$* mittels Sauerstoffplasma verkleinert werden

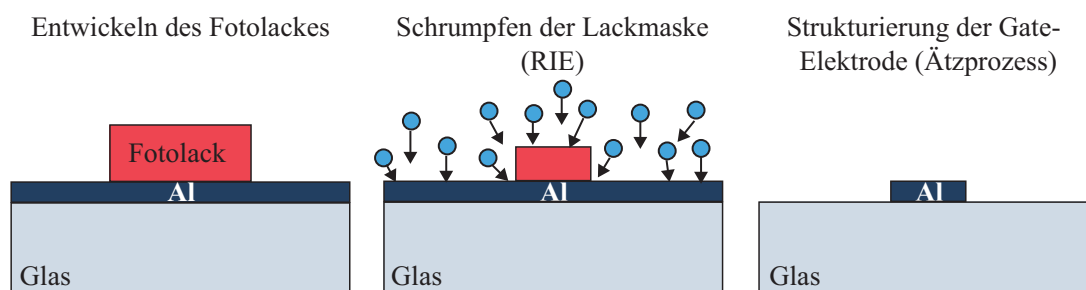


Abbildung 6.4: Schematische Darstellung des Prozessablaufs zur Integration von Gate-Elektroden mit Längen im Sub- μm -Bereich durch herkömmliche Fotolithografie in Kombination mit einem Trockenätzprozess zur Reduzierung der lateralen Dimensionen der Lackmaske.

(siehe Tabelle im Anhang A.3). Das Übertragen dieser Lackmaske in die darunter liegende Aluminiumschicht kann auf zwei verschiedene Arten durchgeführt werden. Zum einen kann das Aluminium im Trockenätzverfahren unter Verwendung von brom- oder chlorhaltigen Gasen geätzt werden. Dies führt zwar zu geraden Elektrodenkanten, jedoch wird der Prozess hinsichtlich einer großflächigen Integration entwickelt, sodass vakuumbasierte Prozesse weitgehend vermieden werden sollen¹. Aufgrund dessen erfolgt das Ätzen des Aluminiums nasschemisch. Abbildung 6.4 stellt diesen Prozess bildlich dar. Das Entfernen des Fotolackes erfolgt, wie gewohnt, durch eine Reinigungssequenz bestehend aus Aceton und Isopropanol. Es folgt wiederum die Deposition des Gate-Dielektrikums, der Al-Schutzschicht sowie der Fotolackschicht zur Strukturierung der Kontaktelektroden.

Die Schichtdicke des Fotolackes beträgt hier bei der herkömmlichen Fotolithografie etwa $1,5\ \mu\text{m}$. Aufgrund der Absorption während der Rückseitenbelichtung gelangt die Strahlung nicht ausreichend tief in diese Lackschicht. Zusätzlich kommt es zur Lichtbrechung an den verschiedenen Grenzflächen. Die Auflösung R wird folglich durch die Belichtungs-dosis und die Tiefenschärfe (engl.: *Depth of Focus*, kurz DOF) begrenzt. Eine Möglichkeit zur Verbesserung der Auflösung ist die Reduzierung der Wellenlänge ($R \propto \lambda$). Allerdings nimmt auch die Tiefenschärfe mit sinkender Wellenlänge ab ($DOF \propto \lambda$) [Hil19]. In dieser Arbeit soll die erhöhte Auflösung durch das Verringern der Schichtdicke des Fotolackes erreicht werden (siehe Abbildung 6.5). Dadurch reduziert sich die erforderliche Belichtungszeit bzw. die Belichtungs-dosis. Dies vermeidet Beugung und Streuung des Lichts in abgeschattete Bereiche (also das Kanalgebiet über der Gate-Elektrode) und verbessert die Auflösung.

Die Schichtdicke des Fotolackes kann zum einen durch Verändern seiner Viskosität oder durch das Verwenden spezieller Dünnlacke erreicht werden. Dabei ist das Einfahren eines neuen Lackes jedoch sehr aufwändig und die Reproduzierbarkeit beim Verdünnen des Lackes als kritisch zu sehen. Zum anderen kann auch hier wieder ein Trockenätzprozess im Sauerstoffplasma eingesetzt werden. Letztgenannte Methode wird in dieser Arbeit aufgrund der hohen Reproduzierbarkeit gewählt. Dieser Prozess sollte später jedoch beispielsweise durch die Verwendung eines Dünnlackes ersetzt werden.

Der Fotolack wird dazu wie gewohnt auf die Al-Schutzschicht aufgeschleudert. Nach dem Austreiben des Lösungsmittels wird die Lackschichtdicke durch Trockenätzen im O_2 -Plasma für 8,5 Minuten von $1,5\ \mu\text{m}$ auf ca. $600\ \text{nm}$ verringert (siehe Tabelle A.3 im Anhang). Anschließend erfolgt die Belichtung von der Rückseite, bei der das geschrumpfte

¹Das bislang erforderliche Trockenätzen der entwickelten Lackmaske kann durch die Verwendung einer Fotomaske mit entsprechend kleinen Strukturgrößen ebenfalls vermieden werden.

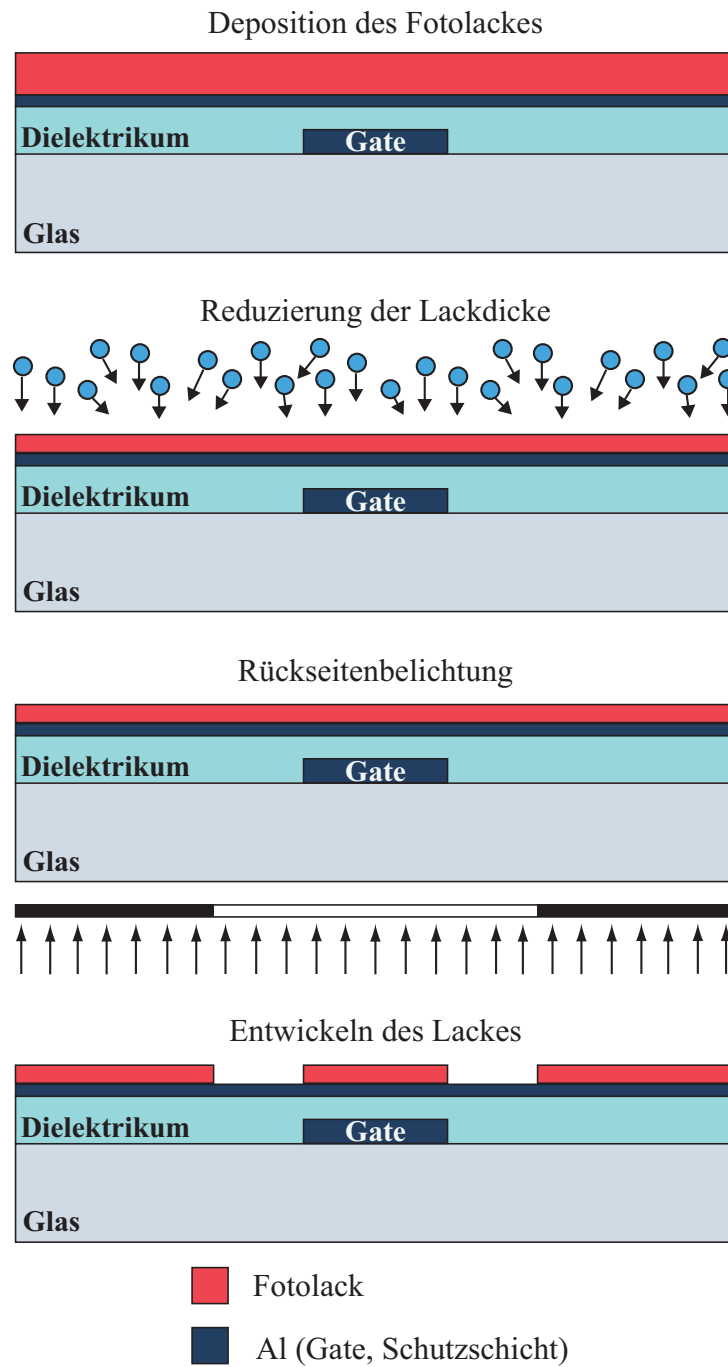


Abbildung 6.5: Prozessablauf der Integration von Bottom-Gate, Bottom-Contact TFTs mit selbstjustierten Kontaktelektroden und möglichen Kanallängen bis in den Submikrometerbereich.

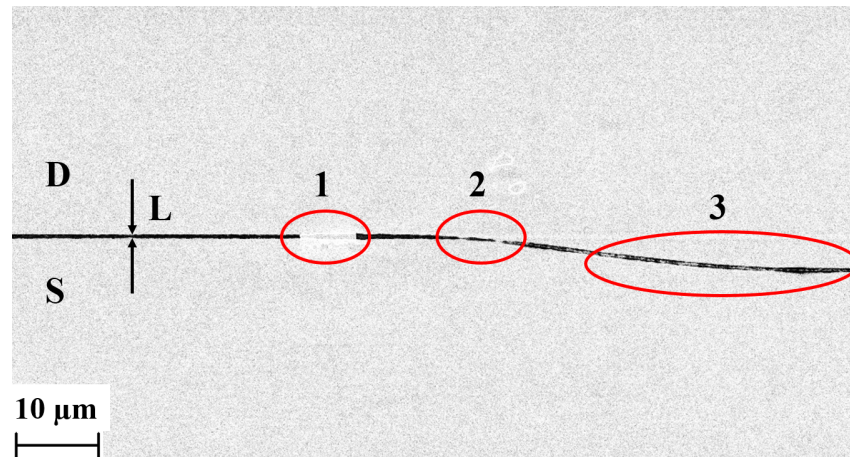


Abbildung 6.6: REM-Aufnahme eines Transistors mit selbstjustierten Drain(D)- und Source(S)-Elektroden. Gekennzeichnet sind häufig auftretende Fehler wie (1) ein fehlgeschlagener Lift-off-Prozess, (2) eine Variation der Kanallänge L , sowie (3) ein Verrutschen der Lackmaske.

Gate als Maskierung fungiert. Die reduzierte Lackschichtdicke sowie die sich daraus ergebende verkürzte Belichtungszeit von 6,8 Sekunden führt dazu, dass auch Kanallängen von bis zu $0,5\ \mu\text{m}$ (entspricht einer Prozesszeit des Trockenätzens zum Gate-Schrumpfen von 2 Minuten) entwickelt werden können. Es sei zudem noch anzumerken, dass die Schichtdicke von $600\ \text{nm}$ ausreicht, um einen Lift-off-Prozess durchführen zu können.

Auf die Lackstrukturierung folgt das Aufdampfen des Drain-/Source-Metalls, dessen Strukturierung durch den Lift-off-Prozess und das Entfernen der Al-Schutzschicht, bevor abschließend der Halbleiter aufgebracht wird.

Eine weitere Verkleinerung der Gate-Elektroden führt zu einer signifikanten Verschlechterung der Ausbeute an funktionsfähigen TFTs. Als kritischer Prozessschritt stellt sich einerseits der nasschemische Ätzprozess zum Übertragen der geschrumpften Lackmaske in die Gate-Metallisierung dar, da es bei kleineren Strukturen schnell zu einem Unterätzen der Lackschicht kommt. Andererseits muss die Entwicklung des von der Rückseite belichteten Fotolackes mit großer Sorgfalt durchgeführt werden, um ein Entfernen des Lackes im Kanalbereich zu verhindern. Die damit einhergehenden Fehler werden in Abbildung 6.6 veranschaulicht. Häufig auftretende Fehler sind dabei ein fehlgeschlagener Lift-off-Prozess (1) und Variationen in der Kanallänge L (2) aufgrund einer mangelhaften Rückseitenbelichtung, sowie eine schlechte Lackhaftung infolge des Entwicklungsprozesses (3).

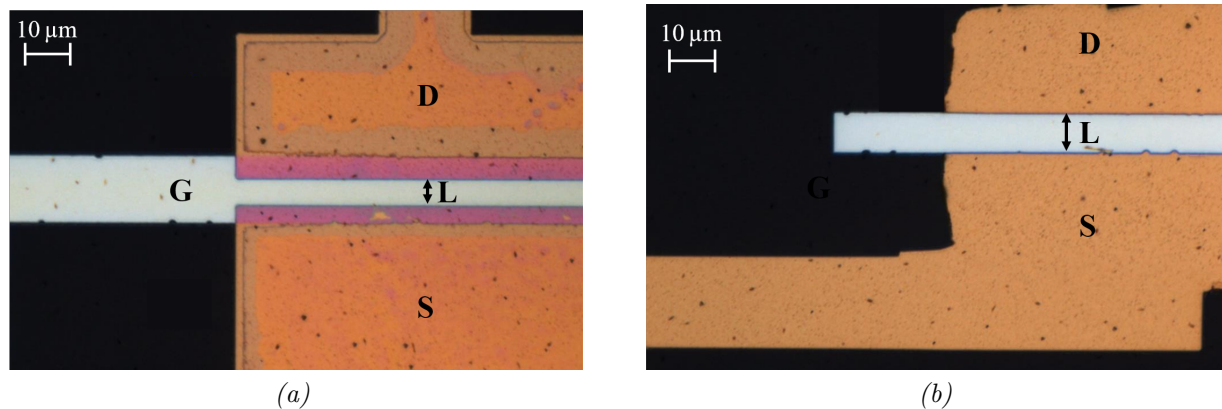


Abbildung 6.7: Optische Konfokalmikroskopaufnahme eines (a) konventionell integrierten und (b) eines selbstjustierten Bottom-Gate, Bottom-Contact TFTs. Die rosa gefärbten Flächen entsprechen den Überlappbereichen zwischen Gate- und Drain-/Source-Elektroden.

6.3 Charakterisierung

Anhand Abbildung 6.7(a) wird der Überlappbereich des konventionell integrierten TFTs (rosa gefärbte Fläche) deutlich sichtbar. Bei einer idealen Ausrichtung der Maskebenen beträgt dieser jeweils $5\ \mu\text{m}$. Ein gewisser Spielraum ist dabei aufgrund der manuellen Justierung unerlässlich, sodass die unten liegende Gate-Elektrode deutlich größer ist als die eigentliche Kanallänge. Dadurch wird die kapazitive Kopplung über den kompletten aktiven Bereich gewährleistet. Im Gegensatz dazu entspricht die Geometrie der Gate-Elektrode bei einem Selbstjustierungsprozess der des Kanals. Die minimalen Überlappungen im Bereich weniger hundert Nanometer entstehen dabei durch Lichtstreuung und -brechung (siehe Abbildung 6.7(b)).

Im Folgenden soll der Einfluss der Kanallänge auf das TFT-Verhalten der integrierten Transistoren mit selbstjustierten Kontaktelektroden analysiert werden. Die zugehörigen Transferkennlinien und Ausgangskennlinienfelder sind in Abbildung 6.8 dargestellt.

In Abbildung 6.8(a) werden identisch hergestellte TFTs mit Kanallängen im Bereich $L = 1 - 10\ \mu\text{m}$ vermessen. Dabei beträgt die Kanalweite jeweils $500\ \mu\text{m}$ und die Drain-Spannung $3\ \text{V}$. Hier wird zum einen deutlich, dass I_{ON} mit sinkender Kanallänge von $6,2 \cdot 10^{-6}\ \text{A}$ ($L = 10\ \mu\text{m}$) auf $3,9 \cdot 10^{-4}\ \text{A}$ ($L = 1\ \mu\text{m}$) gemäß der Transistorgleichungen zunimmt. Gleichzeitig kann mit abnehmender Kanallänge eine Verschiebung der Einschaltspannung V_{ON} von $0,6\ \text{V}$ ($L = 10\ \mu\text{m}$) auf $-1,2\ \text{V}$ ($L = 2\ \mu\text{m}$) – für $L \leq 1,5\ \mu\text{m}$ kann kein expliziter Wert angegeben werden – bzw. der Schwellenspannung V_{Th} von $2,8\ \text{V}$ auf $1,6\ \text{V}$

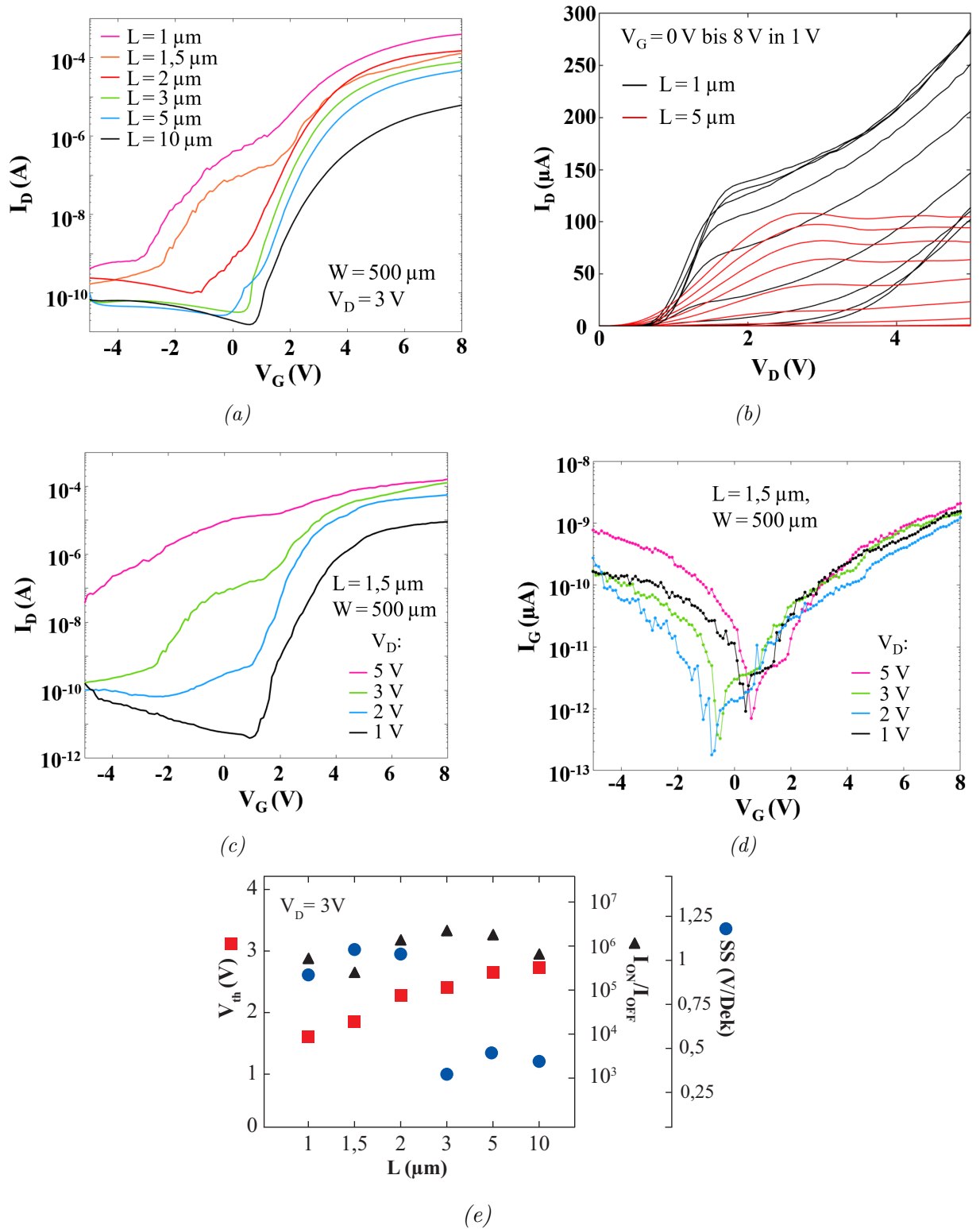


Abbildung 6.8: (a) Transferkennlinien und (b) Ausgangskennlinienfelder selbstjustierter Bottom-Contact ZnO-TFTs unterschiedlicher Kanallängen L . (c) Transferkennlinien und (d) Gate-Leckstrom eines TFTs ($L = 1,5 \mu\text{m}$) mit variierendem V_D . (e) Abhängigkeit der Schwellenspannung V_{Th} , des Subschwelligensspannungsstromanstiegs SS und der Strommodulation I_{ON}/I_{OFF} von L .

beobachtet werden. Dies lässt darauf schließen, dass der DIBL-Effekt auftritt. Außerdem steigt der Minimalstrom im ausgeschalteten Zustand für kürzere Kanallängen an, sodass sich der Subschwelligensspannungsstromanstieg von $0,3\text{--}0,6\text{ V/Dek}$ (für $L = 3\text{--}10\ \mu\text{m}$) auf $0,9\text{--}1,1\text{ V/Dek}$ (für $L = 1\text{--}2\ \mu\text{m}$) erhöht. Die Strommodulation liegt für sämtliche Kanallängen im Bereich von $3 \cdot 10^5$ bis $3 \cdot 10^6$. Abbildung 6.8 (e) fasst die Abhängigkeit der Schwellenspannung V_{Th} , des Subschwelligensspannungsstromanstiegs SS sowie der Strommodulation I_{ON}/I_{OFF} zusammen. Bei den Verläufen von I_D für $L = 1\ \mu\text{m}$ und $L = 1,5\ \mu\text{m}$ tritt nach einem ersten Anstieg ein Abflachen der Kurve auf, bevor sich I_D weiter erhöht. Ein ähnliches Verhalten zeigten auch die Kurzkanal-TFTs in der Arbeit von RAJA et al. Als Begründung wurden Variationen in der Kanallänge infolge des Lift-off-Prozesses angegeben [RJN+14].

Auch die Ausgangskennlinienfelder in Abbildung 6.8 (b) deuten auf den DIBL-Effekt hin. Während für den TFT mit einer Länge von $5\ \mu\text{m}$ eine Sättigung eindeutig erreicht werden kann, kommt es für eine Kanallänge von $1\ \mu\text{m}$ zu einem quadratischen Anstieg im Sättigungsbereich, sodass das Auftreten des Punch-Through-Effektes wahrscheinlich ist. Zudem ist eine Kontrolle des Drain-Stromes über die Gate-Elektrode teilweise nicht gegeben. Des Weiteren werden die Auswirkungen auf den Kontaktwiderstand im Bereich kleiner Drain-Spannungen ersichtlich. In beiden Fällen kommt es zu einem verzögerten, nicht-linearen Anstieg von I_D , jedoch tritt dieses Verhalten im Falle des Kurzkanal-TFTs wesentlich ausgeprägter auf, weshalb hier von einem dominanteren Kontaktwiderstand ausgegangen werden kann.

Das Vorhandensein von Kurzkanaleffekten wird auch bei den Transferkennlinien in Abbildung 6.8 (c) ersichtlich. In diesem Fall werden an einen Kurzkanal-TFT ($L = 1,5\ \mu\text{m}$) variierende Drain-Spannungen V_D angelegt. Während für $V_D = 1\text{ V}$ ein eindeutiger Einschaltspunkt beobachtet werden kann, kommt es für $V_D = 2\text{ V}$ zwar noch zu einem Strom-Minimum, eine explizite Einschaltspannung kann jedoch nicht angegeben werden. Ein weiteres Erhöhen von V_D bis auf 5 V führt zu einem direkten Stromanstieg, der TFT kann dementsprechend nicht durch die Gate-Spannung ausgeschaltet werden. Die Ursache für einen erhöhten Off-Strom kann entweder im Gate-Leckstrom oder im Punch-Through-Effekt liegen [JBA+11]. Um dies zu klären, sind in Abbildung 6.8 (d) die zugehörigen Gate-Leckströme I_G abgebildet. Diese sind für alle Drain-Spannungen vergleichbar, woraus geschlossen werden kann, dass ein Ladungstransport zwischen Drain und Source infolge des Punch-Through-Effektes erfolgt. Des Weiteren sei an dieser Stelle anzumerken, dass die Gate-Leckströme mit maximal $2 \cdot 10^{-9}\text{ A}$ mehr als drei Dekaden geringer sind als die Drain-Ströme. Dies ist auch auf die reduzierten Überlappbereiche aufgrund der Selbst-

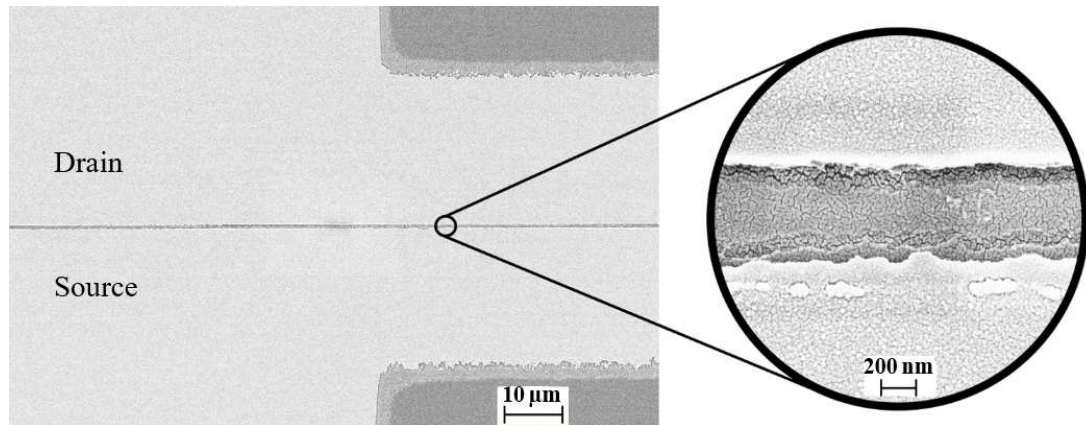


Abbildung 6.9: REM-Aufnahme eines selbstjustierten Transistors mit einer Kanallänge im Submikrometerbereich. Die Trockenätzzeit zum Schrumpfen der Gate-Elektrode betrug zwei Minuten.

justierung zurückzuführen.

Im Folgenden wird die Kanallänge mithilfe der in Abschnitt 6.2.1 beschriebenen Routine in den Submikrometerbereich verringert. Die REM-Aufnahme (siehe Abbildung 6.9) zeigt den Kanalbereich zwischen Drain- und Source-Elektrode. Wie bereits erwähnt, führt ein Trockenätzprozess mit einer Prozesszeit von zwei Minuten zum Schrumpfen der Gate-Strukturen zu Kanallängen von etwa $0,5\ \mu\text{m}$. Anhand der Vergrößerung lassen sich außerdem ungleichmäßige Elektrodenkanten erkennen. Dies resultiert zum einen aus der Rückseitenbelichtung, bei der es zu Streuung und Brechung des Lichtes kommt. Zum anderen weisen die geschrumpften Gate-Elektroden teilweise unebene Kanten auf, die sich dann durch die Selbstjustierung in die Ebene der Kontaktelektroden übertragen.

Abbildung 6.10 zeigt die Transferkennlinie (a) und das zugehörige Ausgangskennlinienfeld (b) eines Bottom-Gate, Bottom-Contact ZnO-TFTs mit einer Kanallänge von $0,8\ \mu\text{m}$ (entspricht einer Ätzdauer zum Schrumpfen des Gates von einer Minute). Verglichen mit den zuvor diskutierten TFTs in Abbildung 6.8 kann hier sowohl ein geringerer On-Strom ($I_{ON} = 2,5 \cdot 10^{-6}\ \text{A}$) als auch ein gesteigerter Off-Strom ($I_{OFF} = 4 \cdot 10^{-10}\ \text{A}$) beobachtet werden. Damit beträgt die Strommodulation $I_{ON}/I_{OFF} = 6 \cdot 10^3$. Auch die Einschaltspannung ist mit $V_{ON} = -0,8\ \text{V}$ in Richtung negativer Gate-Spannung verschoben. Dies deutet darauf hin, dass der DIBL-Effekt hier bereits bei einer Drain-Spannung von $V_D = 1\ \text{V}$ auftritt. Da der TFT jedoch durch die Gate-Spannung ausgeschaltet werden kann, kann angenommen werden, dass ein Punch-Through nicht auftritt. Dies legt auch das Ausgangskennlinienfeld nahe, in dem es zu keiner Sättigung kommt. Der Subschwelligenspannungsstromanstieg ist

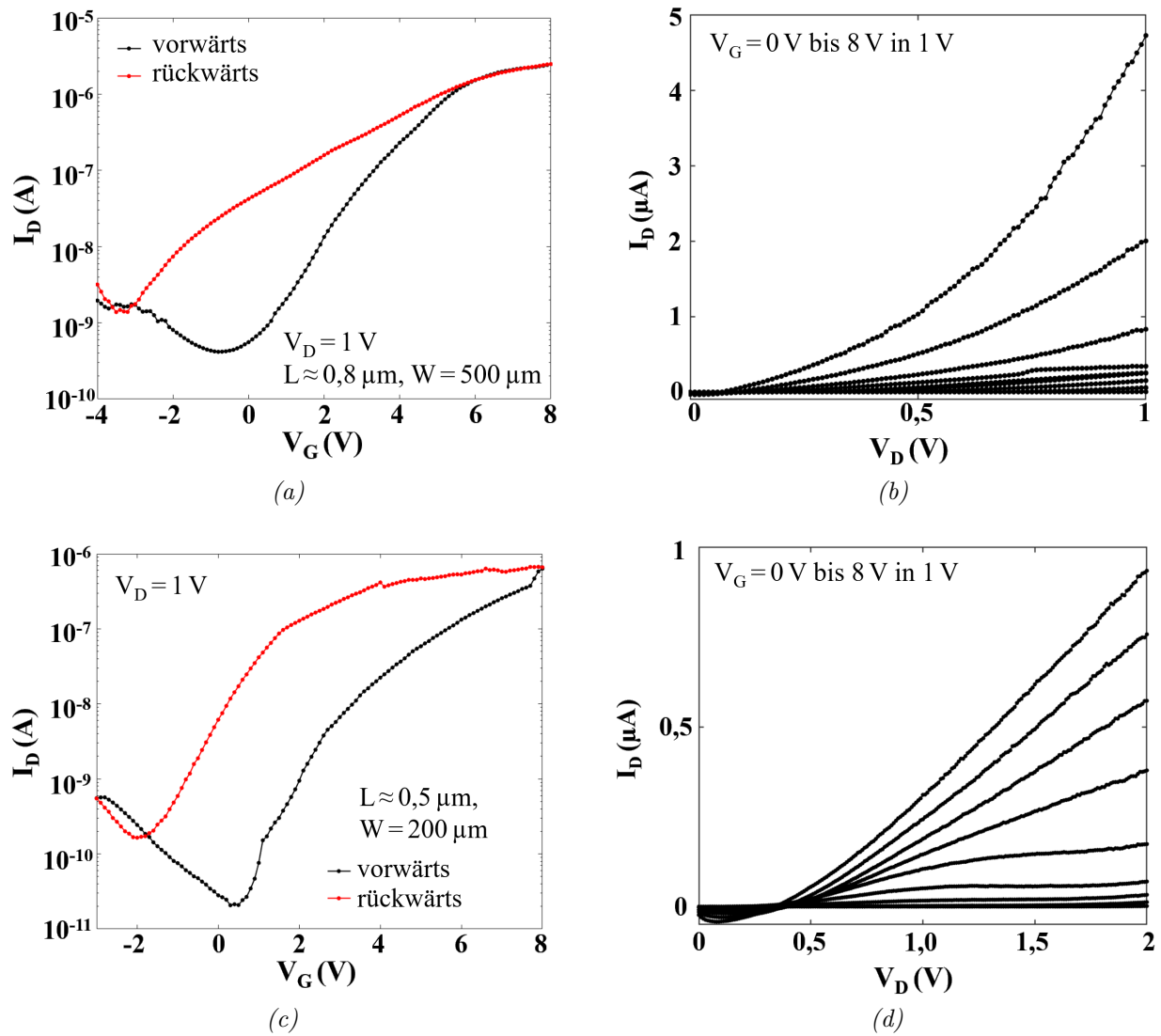


Abbildung 6.10: (a,c) Transferkennlinien und (b,d) Ausgangskennlinienfelder selbstjustierter Bottom-Gate, Bottom-Contact ZnO-TFTs (Gate: 50 nm Al, D/S: 150 nm Ni). (a,b) Kanallänge $L = 0,8 \mu\text{m}$, $W = 500 \mu\text{m}$; (c,d) Kanallänge $L = 0,5 \mu\text{m}$, $W = 200 \mu\text{m}$.

Tabelle 6.1: Vergleich der Transistorparameter von Bottom-Gate, Bottom-Contact ZnO-TFTs mit Kanallängen L im Submikrometerbereich.

L [μm]	V_D [V]	V_{ON} [V]	ΔV_{ON} [V]	I_{ON}/I_{OFF}	μ_{FE} [$\text{cm}^2(\text{Vs})^{-1}$]	S [V/Dek]
0,8	1	-0,8	2,4	$6 \cdot 10^3$	0,02	1,3
0,5	1	0,5	1,5	$3 \cdot 10^4$	$5 \cdot 10^{-3}$	0,9

mit 1,3 V/Dek für ZnO-TFTs als relativ hoch anzusehen, während die Beweglichkeit mit $\mu_{FE} = 0,02 \text{ cm}^2(\text{Vs})^{-1}$ gering ist.

Reduziert man die Kanallänge weiter auf $L = 0,5 \mu\text{m}$, erhält man die Transferkennlinie in Abbildung 6.10 (c). Hier kommt es zu einer weiteren Reduzierung des On-Stromes auf lediglich $I_{ON} = 6,6 \cdot 10^{-7} \text{ A}$. Da sich jedoch auch der Off-Strom um etwa eine Dekade auf $I_{OFF} = 4 \cdot 10^{-10} \text{ A}$ verringert, erhält man eine Strommodulation von $I_{ON}/I_{OFF} = 3 \cdot 10^4$. Die Einschaltspannung liegt bei $V_{ON} = 0,5 \text{ V}$ und die Beweglichkeit berechnet sich aufgrund der geringen Stromniveaus zu lediglich $5 \cdot 10^{-3} \text{ cm}^2(\text{Vs})^{-1}$.

Im Ausgangskennlinienfeld (siehe Abbildung 6.10 (d)) wird zum einen im Bereich kleiner Drain-Spannungen ein Gate-Leckstrom sichtbar. Dies lässt sich auf ein zu langes Entwickeln des Fotolackes zurückführen, wodurch es zu einer leichten Beschädigung des Dielektrikums kommen kann. Zum anderen kann für kleine Gate-Spannungen ein Sättigungsbereich beobachtet werden, während es für $V_G \geq 5 \text{ V}$ zu einem annähernd linearen Anstieg von I_D kommt. Folglich besteht über das gesamte Messintervall eine Abhängigkeit des Drain-Stromes von V_D infolge der Kanalverkürzung [HW06],[RFK+14]. Die Parameter der ZnO-TFTs sind in Tabelle 6.1 zusammenfassend dargestellt.

6.4 Sub- μm -TFTs auf Foliensubstraten

Wesentlich für die flexible Elektronik ist der Transfer der in Abschnitt 6.2.1 entwickelten Integrationsroutine auf ein flexibles Trägersubstrat². Als Substrat dient dabei eine PET-Folie mit einer Stärke von $250 \mu\text{m}$ (Hostaphan[®] GN 250). Das Schrumpfen der Gate-Elektrode im O_2 -Plasma für eine Minute führt dabei zu einer Kanallänge von $L \approx 0,8 \mu\text{m}$.

Typische Kennlinien eines Sub- μm -TFTs basierend auf nanopartikulärem ZnO, integriert auf einem flexiblen Substrat, weisen Verläufe gemäß Abbildung 6.11 auf. Der Trans-

²Die Ergebnisse bezüglich der Integration von Dünnschichttransistoren mit Kanallängen im sub- μm -Bereich auf einem Foliensubstrat wurden teilweise in [3] veröffentlicht.

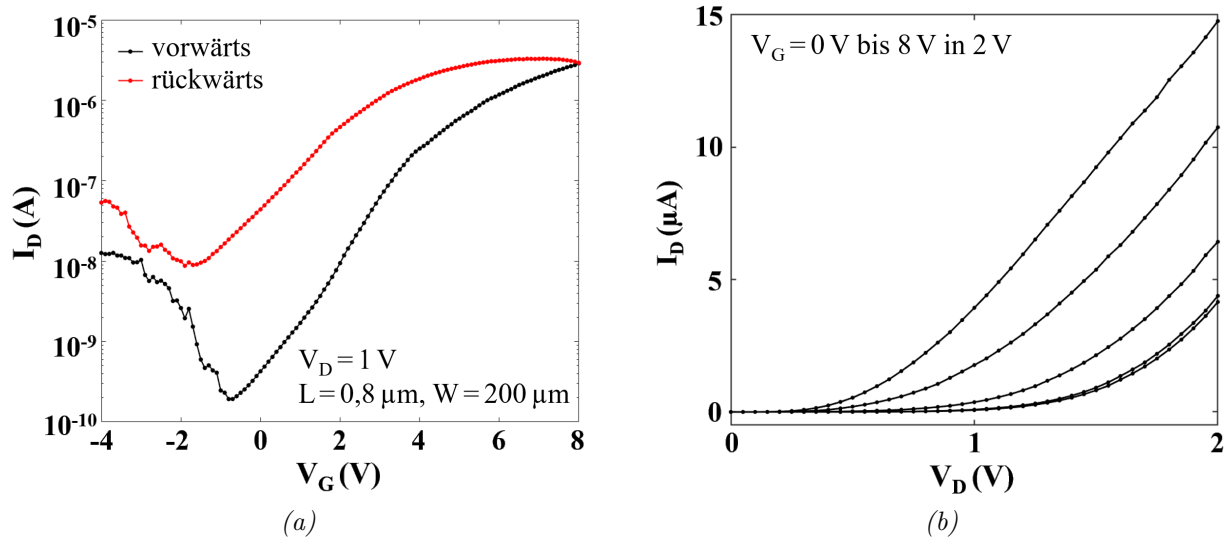


Abbildung 6.11: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines selbstjustierten Bottom-Gate, Bottom-Contact TFTs mit einer Kanallänge von $L \approx 0,8 \mu\text{m}$ und ZnO-Nanopartikeln auf einem flexiblen Substrat (Gate: 50 nm Al, D/S: 150 nm Ni, $W = 200 \mu\text{m}$).

ferkennlinie kann für die Einschaltspannung V_{ON} und die Schwellenspannung V_{Th} in Vorwärtsmessrichtung ein Wert von $-0,7$ V bzw. $2,2$ V entnommen werden. In entgegengesetzter Messrichtung beträgt $V_{ON} = -1,7$ V ($\Delta V_{ON} = 1,0$ V) und $V_{Th} = -0,1$ V ($\Delta V_{Th} = 2,3$ V). Es wird eine Strommodulation von $1,5 \cdot 10^4$, ein Subschwelligkeitsstromanstieg von $S = 1,7$ V/Dek, sowie eine Ladungsträgerbeweglichkeit von $\mu_{FE} = 0,07 \text{ cm}^2(\text{Vs})^{-1}$ extrahiert.

Mithilfe des Ausgangskennlinienfeldes (siehe Abbildung 6.11 (b)) wird deutlich, dass für kleine Gate-Spannungen das laterale elektrische Feld infolge der Drain-Spannung den Stromfluss durch den Transistor dominiert. Der Feldeffekt tritt erst ab einer Spannung von $V_G = 4$ V auf. Eine Sättigung des Drain-Stromes kann auch hier nicht erreicht werden. Aufgrund des quadratischen Verlaufes ist der Punch-Through-Effekt wahrscheinlich. Des Weiteren wird anhand des verzögerten, nichtlinearen Anstiegs von I_D im Bereich kleiner V_D der Einfluss des Kontaktwiderstandes sichtbar.

Insgesamt zeigt der Transistor ein vergleichbares Verhalten zu dem TFT auf einem Si/SiO₂-Substrat, der im vorherigen Abschnitt diskutiert wurde (siehe Abbildung 6.10 bzw. Tabelle 6.1). Dies ist auch auf die geringe Rauheit an der Halbleiter-Dielektrikum-Grenzfläche zurückzuführen. Während die Oberflächenrauheit der Folie selbst mit 10 nm angegeben wird [Mit], reduziert sich der RMS-Wert nach der Deposition des Gate-Dielektrikums in flex T3 auf lediglich 0,5 nm (siehe Abbildung 6.12). Damit ist die Oberflächenrauheit des

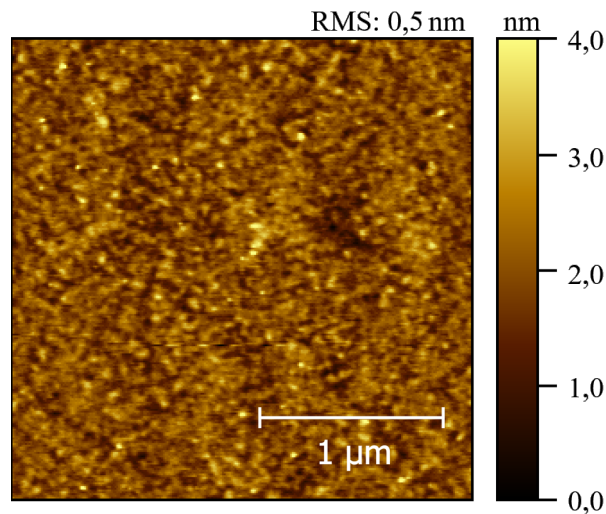


Abbildung 6.12: AFM-Messung der Oberfläche des Gate-Dielektrikums inoflex T3, das auf einer PET-Folie (Hostaphan[®] GN) aufgebracht wurde.

Dielektrikums, aufgebracht auf einem flexiblen Substrat, vergleichbar mit der auf einem starren Si-Wafer (RMS = 0,3 nm [Mey21]). Alles in allem ist eine erfolgreiche Übertragung der Routine zur Integration von TFTs mit Kanallängen im Submikrometerbereich auf ein flexibles Substrat gelungen.

6.4.1 Reduzierung des Nanopartikeldurchmessers

Der mittlere Durchmesser der bisher verwendeten ZnO-Nanopartikel beträgt laut Datenblatt 70 nm [Nan16]. Jedoch wurde in Kapitel 4.1.1 (siehe Abbildung 4.3) bereits gezeigt, dass es zu deutlichen Abweichungen sowohl in der Größe als auch in der Form der Partikel kommt. Es wird angenommen, dass die Partikelanlagerung in kurzen Kanälen infolge der Flüssigkeitsmeniskus-basierten Deposition mangelhaft ist und dies sowohl der Grund für die limitierten Drain-Ströme als auch für die geringe Anzahl an funktionsfähigen Transistoren ist. Auch eine Reduzierung der Rakelgeschwindigkeit führte zu keiner Verbesserung. Im Folgenden soll deshalb untersucht werden, ob der Einsatz von Nanopartikeln mit verringertem Durchmesser zu einer Verbesserung der elektrischen Parameter sowie zu einer Erhöhung der Ausbeute führt. Dazu wird ebenfalls eine wasserbasierte Dispersion mit Aluminium-dotierten ZnO-Nanopartikeln (bezogen von US Research Nanomaterials Inc.) mit einem mittleren Partikeldurchmesser von nur 15 nm durch einen Rakelprozess bei gleicher Geschwindigkeit (50 $\mu\text{m}/\text{s}$) auf Bottom-Gate, Bottom-Contact TFTs aufgebracht [US a]. Die Gate-Elektrode wurde auch hier geschrumpft, sodass die resultierende Kanallänge nach der Rückseitenbelichtung 0,5 μm beträgt.

Die Kennlinien eines repräsentativen TFTs sind in Abbildung 6.13 dargestellt. Anhand der Transferkennlinie (a), ebenfalls bei einer Spannung von $V_D = 1\text{ V}$ aufgenommen, lassen sich vergleichbare Stromniveaus von $I_{ON} = 3 \cdot 10^{-7}\text{ A}$ bzw. $I_{OFF} = 3 \cdot 10^{-11}\text{ A}$ beobachten. Damit beträgt die Strommodulation $I_{ON}/I_{OFF} = 1 \cdot 10^4$. Die Einschaltspannung liegt in Vorwärtsmessrichtung bei $V_{ON} = -2,5\text{ V}$ ($\Delta V_{ON} = 1,9\text{ V}$) und die Schwellenspannung entsprechend bei $V_{Th} = 0\text{ V}$ ($\Delta V_{Th} = 2,5\text{ V}$). Für den Subschwelligkeitsstromanstieg SS kann ein Wert von $1,2\text{ V/Dek}$ bestimmt werden; die Beweglichkeit μ_{FE} beträgt lediglich $1,6 \cdot 10^{-3}\text{ cm}^2(\text{Vs})^{-1}$. Variiert man auch hier die Drain-Spannung erhält man die Transferkennlinien in Abbildung (c). Auch hier kommt es zu Kurzkanaleffekten wie einer Schwellenspannungsverschiebung in Richtung negativer Gate-Spannungen mit zunehmendem V_D infolge des DIBL-Effektes. Die Erhöhung des Off-Stromes um etwa zwei Dekaden wird ebenfalls auf den DIBL-Effekt zurückgeführt, da der Gate-Leckstrom im Bereich von maximal 10^{-11} A liegt und folglich nicht maßgeblich für I_{OFF} ist. Der TFT kann jedoch in allen Fällen durch die Gate-Spannung ausgeschaltet werden, sodass ein Punch-Through ausgeschlossen werden kann. Dies kann durch den erhöhten Schichtwiderstand aufgrund der gestiegenen Anzahl an Nanopartikeln im Kanalbereich und der damit einhergehenden Zunahme an interpartikulären Übergängen erklärt werden.

Im Ausgangskennlinienfeld (siehe Abbildung 6.13 b) wird der Sättigungsbereich durch eine Rechtskrümmung der Kennlinien angedeutet. Es kommt auch hier zu einem S-förmigen Verlauf des Drain-Stromes, der typisch für das Vorhandensein eines Kontaktwiderstandes ist, jedoch ist dieses Verhalten in diesem Fall relativ schwach ausgeprägt. Zudem beginnt der Anstieg von I_D nahezu ohne Verzögerung. Dies lässt auf einen vergleichsweise geringen Kontaktwiderstand schließen, begründet durch eine verbesserte Nanopartikelanlagerung im Kanalbereich und insbesondere an den Elektrodenkanten. Nichtsdestotrotz liegt der maximale Drain-Strom weiterhin im Bereich von nur 10^{-6} A . Dies lässt sich wiederum durch den erhöhten Schichtwiderstand erklären. Die Ausbeute an funktionsfähigen TFTs kann mit der Verwendung kleinerer Partikel deutlich verbessert werden.

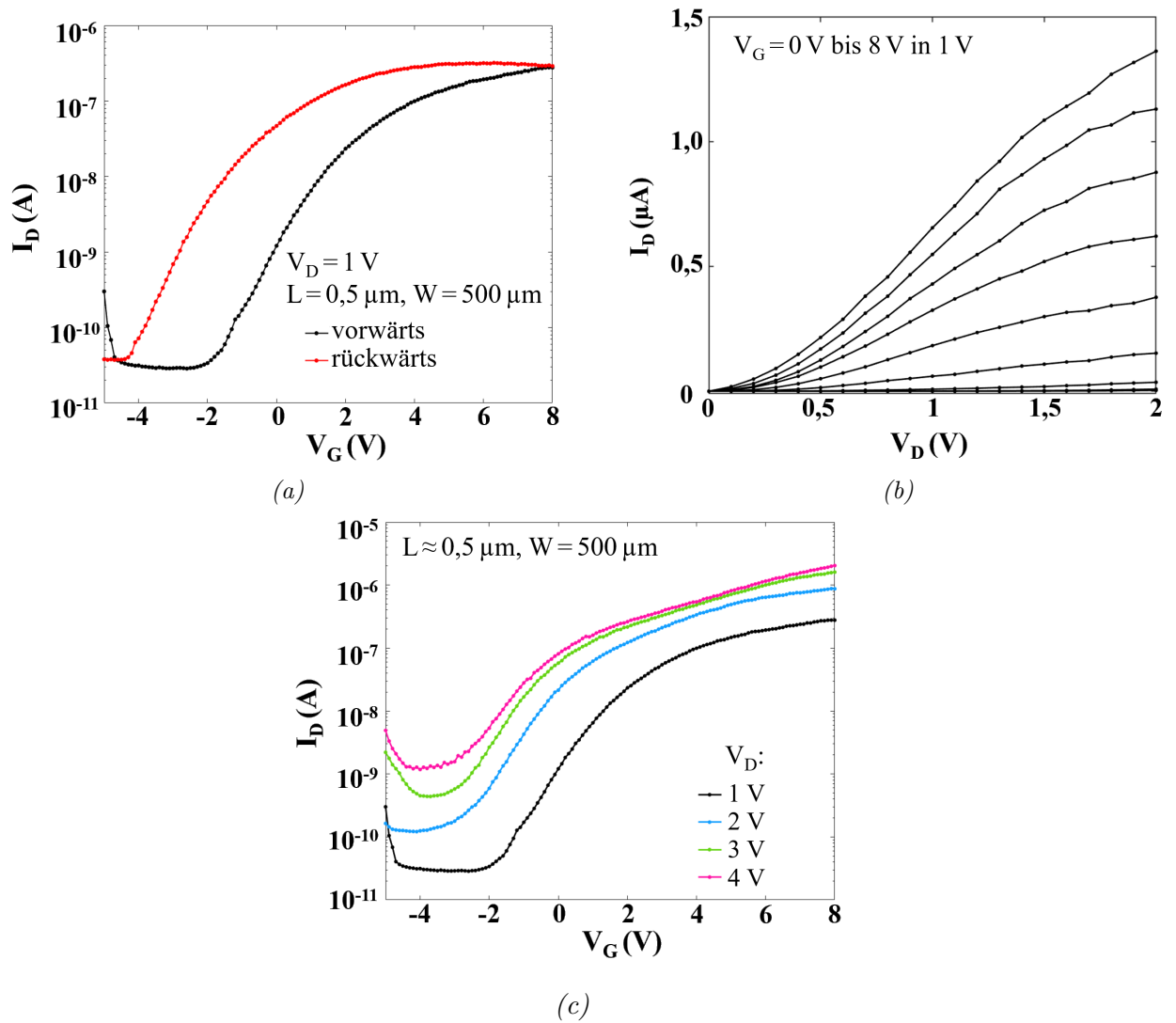


Abbildung 6.13: (a) Transferkennlinie und (b) Ausgangskennlinienfeld eines selbstjustierten Bottom-Gate, Bottom-Contact TFTs mit einer Kanallänge von $L \approx 0,5 \mu\text{m}$ und (Al-dotierten) ZnO-Nanopartikeln mit einem reduzierten Durchmesser von 15 nm (Gate: 50 nm Al, D/S: 150 nm Ni, $W = 500 \mu\text{m}$). (c) Transferkennlinien aufgenommen bei variierender Drain-Spannung V_D .

Weitere Untersuchungen

In Kapitel 4.1.3 wurde der Kontaktwiderstand in Top-Contact ZnO-TFTs analysiert, da dieser die Eigenschaften, insbesondere bei Kurzkanaltransistoren, erheblich beeinflusst. Des Weiteren beschreibt das vorangegangene Kapitel die Integration von TFTs mit Kanallängen im Submikrometerbereich, die gleichzeitig mit einer Reduzierung der Überlappbereiche einhergeht. All diese Untersuchungen erfolgten im Hinblick auf eine Erhöhung der Transitfrequenz f_T . Wie MEYERS jedoch bereits zeigte, weist das in dieser Arbeit als Gate-Dielektrikum eingesetzte Material inoflex T3 eine reziproke Abhängigkeit der Permittivität von der Frequenz auf [Mey21]. Dies ist ein typisches Verhalten bei Polymeren, in denen sich freie Dipole bei niedrigen Frequenzen anhand des elektrischen Feldes ausrichten können und dadurch die Permittivität erhöhen. Steigt die Frequenz des Feldes an, können größere Dipole diesem nicht mehr folgen und tragen somit nicht mehr zur Permittivität bei [ST08],[JPK+21]. Dieser Effekt wird durch die im Polymer enthaltenen TiO_2 -Partikel verstärkt, da diese selbst eine starke Ionenpolarisation aufweisen, woraus ebenfalls eine Abnahme der Permittivität mit steigender Frequenz resultiert [ST08]. Dies hat zur Folge, dass die kapazitive Kopplung zwischen der Gate-Elektrode und dem Kanal schon ab geringen Frequenzen abnimmt.

Im nachfolgenden Abschnitt sollen die Auswirkungen dieser Frequenzabhängigkeit des Gate-Dielektrikums inoflex T3 anhand von Messungen an einem unipolaren Inverter verdeutlicht werden. Im Anschluss werden kurz zwei Möglichkeiten zur Herstellung von Aluminiumoxid als alternatives Dielektrikum vorgestellt. Dabei handelt es sich zum einen um einen Sol-Gel-Prozess und zum anderen um eine anodische Oxidation.

7.1 Frequenzverhalten unipolarer Inverter mit inoflex T3

Die Frequenzmessungen erfolgen anhand eines unipolaren Inverters mit einem Top-Contact ZnO-TFT (Gate: 50 nm Al, Drain/Source: 150 nm Al) und einem Ohmschen Widerstand als Pull-up-Element. Das an die Gate-Elektrode angelegte Eingangssignal wird von einem Funktionsgenerator (Rigol DG1062Z Signal/Arbiträr-Generator) zur Ver-

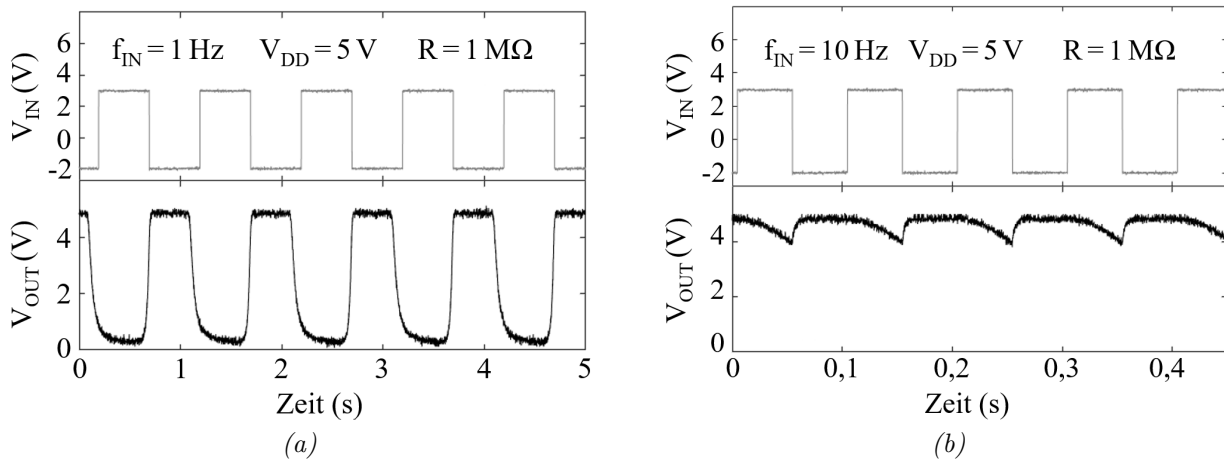


Abbildung 7.1: Dynamische Eigenschaften eines ZnO-Inverters (ZnO-TFT: $L = 3 \mu\text{m}$, $W = 500 \mu\text{m}$, Gate-Dielektrikum: inoflex T3; Pull-up-Widerstand: $R = 1 \text{ M}\Omega$) als Reaktion auf ein Rechteckeingangssignal mit einer Frequenz f_{IN} von (a) 1 Hz bzw. (b) 10 Hz einer Amplitude von 5 V. Die Versorgungsspannung V_{DD} beträgt 5 V.

fügung gestellt. Zur Messung des Ausgangssignals wird ein Oszilloskop (Tektronix TDS 3032B) verwendet. Dies weist eine interne Eingangsimpedanz von $1 \text{ M}\Omega$ auf, deren Anpassung auf $100 \text{ M}\Omega$ durch einen seriell verschalteten Ohmschen Widerstand erreicht wird. Der Ohmsche Pull-up-Widerstand beträgt hier $1 \text{ M}\Omega$. Im Vergleich dazu liegt der Gesamtwiderstand eines Top-Contact ZnO-TFTs mit inoflex T3 als Gate-Dielektrikum im eingeschalteten Zustand im Bereich von $10 - 100 \text{ k}\Omega$. Folglich fällt gemäß der Spannungsteilerregel ein Teil der Betriebsspannung V_{DD} am Transistor ab, sodass ein idealer Ausgangspegel V_{OUT} von 0 V nicht erreicht werden kann. Das Gleiche gilt entsprechend für den ausgeschalteten Zustand des TFTs (bzw. für den High-Pegel am Ausgang).

In Abbildung 7.1 (a) ist das dynamische Verhalten eines unipolaren Inverters als Reaktion auf ein rechteckförmiges Eingangssignal mit einer Amplitude V_{pp} von 5 V und einer Frequenz f_{IN} von 1 Hz dargestellt. Die Versorgungsspannung V_{DD} beträgt 5 V . Das Ausgangssignal V_{OUT} erreicht dabei Pegelwerte von $4,85 \text{ V}$ (High-Pegel) bzw. $0,28 \text{ V}$ (Low-Pegel). Für einen Wechsel vom Low- zum High-Pegel wird eine Anstiegszeit (engl.: *rise time*) von 70 ms und vom High- zum Low-Pegel eine Abfallzeit¹ (engl.: *fall time*) von 148 ms benötigt. Die Abfallzeit, die von den Schalteigenschaften des TFTs abhängt, ist demzufolge mehr als doppelt so lang wie die Anstiegszeit.

Aufgrund der Frequenzabhängigkeit der Permittivität des Nanokomposits inoflex T3 ver-

¹Die Anstiegs- und Abfallzeiten entsprechen der zeitlichen Differenz zwischen 90 % des High- und 10 % des Low-Pegels.

schlechtert sich die kapazitive Kopplung bei steigender Eingangsfrequenz f_{IN} , sodass der TFT seine ursprüngliche Leitfähigkeit nicht erreichen kann und der Schichtwiderstand im Kanal zunimmt. Dadurch kann das Ausgangssignal nicht schnell genug auf einen adäquaten Low-Pegel gebracht werden. Dieser Effekt tritt hier bereits ab einer Frequenz von 1 Hz auf.

Wird die Frequenz weiter erhöht, verstärkt sich dieses Verhalten. Dazu ist in Abbildung 7.1 (b) das dynamische Verhalten desselben unipolaren Inverters infolge eines Eingangssignals mit einer Frequenz von 10 Hz dargestellt. Während der High-Pegel auf dem Niveau von 4,8 V verharrt, verschlechtert sich der Low-Pegel deutlich auf 3,8 V.

Die Vorteile einer verringerten Kanallänge, sowie eines geringen Kontaktwiderstandes werden durch die Nachteile des Nanokomposits inoflex T3 überlagert. Demzufolge ist ein alternatives Gate-Dielektrikum erforderlich, um die Transitfrequenz der TFTs zu erhöhen. Als alternative high- k -Dielektrika in Dünnschichttransistoren sind Metalloxide wie Hafniumdioxid (HfO_2), Zirkoniumdioxid (ZrO_2) oder Aluminiumoxid (Al_2O_3) weit verbreitet [WWA01],[WHC+18]. Letzteres wird im Folgenden auf unterschiedliche Weise hergestellt und analysiert.

7.2 Aluminiumoxid als Gate-Dielektrikum

Eines der meist untersuchten dielektrischen Materialien ist dabei Al_2O_3 mit einer Permittivität $k \sim 8-10$, sowie einer großen Bandlücke von $E_G = 8,7 \text{ eV}$ [WWA01]. Für die Herstellung stehen eine Reihe von Methoden zur Verfügung. Beispielsweise können durch Atomlagenabscheidung (engl.: *Atomic Layer Deposition*, kurz ALD) hochqualitative Schichten aufgebracht werden, allerdings sind die in der Regel langen Prozesszeiten als nachteilig anzusehen [OAP+19]. Sputter-Prozesse ermöglichen Schichtabscheidungen bei geringen Temperaturen, was die Beschichtung von Foliensubstraten begünstigt. Jedoch handelt es sich dabei um ein Vakuumbeschichtungsverfahren, woraus hohe Anlagenkosten resultieren.

Hinsichtlich einer kostengünstigen und großflächigen Transistorintegration wird Al_2O_3 im Folgenden zunächst durch einen lösungsmittelbasierten Prozess bei geringen Temperaturen hergestellt und sowohl anhand der Transferkennlinie eines TFTs als auch mithilfe des Frequenzverhaltens eines Inverters bewertet. Des Weiteren wird eine Al-Schicht durch einen Anodisierungsprozess oxidiert; die daraus resultierenden TFTs werden wiederum statisch und dynamisch charakterisiert.

7.2.1 Sol-Gel Al₂O₃-Schicht

Als Sol wird eine kolloidale Lösung bezeichnet, also in einer Flüssigkeit dispergierte Partikel. In diesem Fall wird dazu ein Aluminiumsalz in einem entsprechenden Lösungsmittel gelöst. Dieses Sol wird auf das zu beschichtende Substrat aufgebracht und das Lösungsmittel anschließend verdampft, wodurch sich die Partikel ablagern und ein Gel entsteht. Durch weitere Temperaturbehandlungen können aus den Partikeln dichte Schichten hergestellt werden [Sch01].

Für die Integration einer Al₂O₃-Schicht als Gate-Dielektrikum in einem Bottom-Gate, Top-Contact ZnO-TFT wird Aluminiumnitrat Nonahydrat (Al(NO₃)₃ · 9H₂O, bezogen von der Firma Sigma-Aldrich [Sigb]) in 2-Methoxyethanol gelöst [JKK+18]. Nach etwa dreistündigem Rühren bei 70 °C wird das Sol durch einen Schleuderprozess auf dem Substrat mit bereits strukturierter Gate-Elektrode (2 nm Ti und 30 nm Au) aufgebracht. Um dabei eine gleichmäßige Schicht über der Gate-Elektrode zu erhalten, wird diese in der SiO₂-Oberfläche des Wafers vergraben, sodass man eine planare Oberfläche erhält. Dazu wird eine 80 nm dünne Si₃N₄-Schicht mittels LPCVD-Abscheidung (eng.: *Low Pressure Chemical Vapor Deposition*), die als Ätzstopp dient, auf dem Si-Wafer aufgebracht. In das nachfolgende PECVD (engl.: *Plasma Enhanced Chemical Vapor Deposition*)-SiO₂ soll die Gate-Elektrode eingelassen werden. Deshalb muss die Schichtdicke des Oxids der Höhe der Gate-Elektrode entsprechen ($d_{\text{SiO}_2} = 32 \text{ nm}$). Für die Strukturierung des Oxids wird ein herkömmlicher Fotolithografieprozess durchgeführt und das SiO₂ in den freigelegten Bereichen nasschemisch geätzt². Während der nachfolgenden Deposition der Gate-Metallisierung verbleibt der Fotolack auf dem Wafer, sodass eine Strukturierung mittels Lift-off-Prozess erfolgen kann. Im Anschluss an die Beschichtung mit dem Dielektrikum wird das Substrat für eine Stunde bei 150 °C im Umluftofen ausgehärtet. Zum Schluss erfolgt, ebenfalls durch eine Schleuderbeschichtung, die Deposition des nanopartikulären ZnO, bevor die Fotolithografie zur Strukturierung der Drain-/Source-Elektroden (150 nm Al) mittels Lift-off-Prozesses durchgeführt wird.

Für die Berechnung der Permittivität und der Ladungsträgerbeweglichkeit ist die Kenntnis der Schichtdicke des Al₂O₃ erforderlich. Um diese zu bestimmen, wird das Al₂O₃ zunächst durch Fotolithografie und nasschemisches Ätzen mit Al-Ätzlösung strukturiert, sodass eine Stufenmessung mithilfe eines Profilometers (Dektak XT Stylus Profiler der Firma Bruker) durchgeführt werden kann. Die sich daraus ergebende Schichtdicke be-

²Die Lösung zum Ätzen des SiO₂ besteht dabei aus Ammoniumfluorid (NH₄F), Flusssäure (HF) und Wasser, die genaue Zusammensetzung ist Anhang A.2 zu entnehmen.

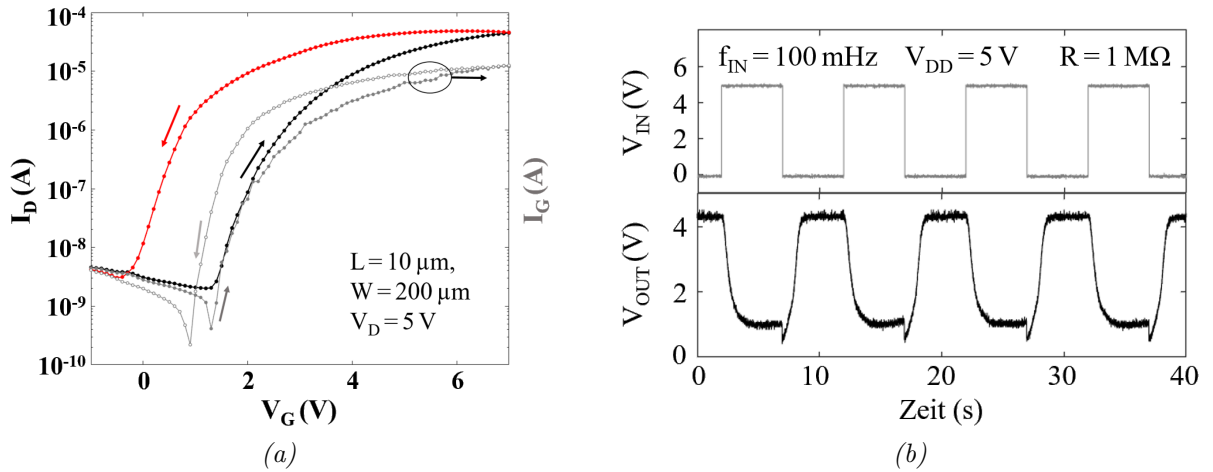


Abbildung 7.2: (a) Transferkennlinie eines Top-Contact ZnO-TFTs. (b) Dynamische Eigenschaften des ZnO-Inverters (Gate-Dielektrikum: Al_2O_3 (Sol-Gel); Pull-up-Widerstand: $R = 1 \text{M}\Omega$) als Reaktion auf ein Rechteckeingangssignal mit einer Frequenz f_{IN} von 100 mHz und einer Amplitude von 5 V. Die Versorgungsspannung V_{DD} beträgt 5 V.

trägt 200 nm. Für die nachfolgenden Berechnungen wird eine Permittivität von $\epsilon_r = 8$ angenommen.

Die Transferkennlinie eines solchen ZnO-TFTs ist in Abbildung 7.2(a) dargestellt. Die Einschaltspannung V_{ON} und die Schwellenspannung V_{Th} liegen in Vorwärtsmessrichtung bei 1,2 V bzw. 2,1 V. In entgegengesetzter Messrichtung werden hierfür Werte von -0,5 V und 0,1 V extrahiert. Die Strommodulation erreicht einen Wert von $2 \cdot 10^4$. Die Ladungsträgerbeweglichkeit μ_{FE} wird zu $2,0 \text{cm}^2(\text{Vs})^{-1}$ und der Subschwelligenspannungsstromanstieg S zu $0,4 \text{V}/\text{Dek}$ bestimmt. Der Gate-Leckstrom I_G liegt in der Größenordnung des Drain-Stromes. Dieses Leckstromverhalten kann auf die Temperaturbehandlung bei lediglich 150°C zurückgeführt werden. Dabei kann davon ausgegangen werden, dass die Umwandlung des Präkursors in ein Metalloxid nicht vollständig erfolgt ist und organische Rückstände sowie Hydroxylgruppen in der Schicht vorhanden sind [XWX+15].

Die dynamische Charakterisierung erfolgt wiederum anhand eines Inverters bestehend aus dem vorgestellten ZnO-TFT und einem Ohmschen Widerstand. Das Eingangssignal hat dabei eine Frequenz von 100 mHz und eine Amplitude von 5 V. Der Verlauf des Ausgangssignals (siehe Abbildung 7.2 (b)) zeigt einen High-Pegel von 4,3 V ($V_{DD} = 5 \text{V}$) und einen Low-Pegel von 1 V. Die Pegelwerte stellen sich wiederum gemäß des Verhältnisses der Widerstände ein. Die Anstiegs- und Abfallzeiten liegen hier bei 1,0 s bzw. 1,7 s. Dementsprechend sind die dynamischen Eigenschaften des TFTs mit einem Sol-Gel-Dielektrikum ebenfalls als nicht ausreichend zu bewerten.

Der Grund hierfür ist wahrscheinlich die Herstellungsweise der Schicht. Lösungsmittelbasierte Prozesse benötigen in der Regel eine Temperung bei relativ hohen Temperaturen ($T > 400^\circ\text{C}$), um das Lösungsmittel rückstandslos zu entfernen und die Schicht zu verdichten [Sch01],[WHC+18]. Wie bereits erwähnt, sind solche Temperaturen jedoch inkompatibel zu Foliensubstraten.

Metalloxid-Dielektrika, die bei niedrigen Temperaturen hergestellt werden, weisen eine signifikante Wasserstoffkonzentration auf. Dadurch werden Dipole induziert, die zur Polarisierung des Dielektrikums führen und eine ungewöhnlich hohe Kapazität bei geringen Frequenzen zur Folge haben. Da die Charakterisierung eines Dünnschichttransistors in der Regel unter (quasi-)statischen Bedingungen durchgeführt wird, jedoch oft die Kapazitätswerte bei höheren Frequenzen zur Berechnung der Ladungsträgerbeweglichkeit verwendet werden, kann es zu einer Überschätzung der Beweglichkeit kommen [BWL+16],[HJK+19],[ZPZ+20].

Insgesamt bringt die Verwendung einer Al_2O_3 -Schicht, die durch das Sol-Gel-Verfahren bei einer Temperatur von lediglich 150°C hergestellt wurde, keine Verbesserung der dynamischen Eigenschaften. Eine Erhöhung der Temperatur ist jedoch inkompatibel zu flexiblen Substraten und wird aufgrund dessen hier nicht weiter verfolgt.

Eine Optimierung der dielektrischen Eigenschaften könnte durch eine Bestrahlung der Al_2O_3 -Schicht mit UV-Licht im UV-C-Wellenlängenbereich (100–280 nm) erreicht werden. Dabei kommt es zu einer photochemischen Reaktion, die zu einer Zersetzung chemischer Verunreinigungen sowie zur Verdichtung der Schicht führt, ohne die maximale Temperaturbelastung flexibler Substrate zu überschreiten [JKK+18],[JKK+20].

7.2.2 Anodisches Oxidieren von Aluminium

Bei der anodischen Oxidation (auch Eloxieren genannt) handelt es sich um einen elektrochemischen Oxidationsprozess. Dabei wird das Substrat, beschichtet mit dem zu oxidierenden Metall, gemeinsam mit einer Gegenelektrode in eine Elektrolytlösung eingetaucht und eine Spannung angelegt (siehe Abbildung 7.3). Als Gegenelektrode wird ein Titanblech verwendet, das dabei die Kathode darstellt. Die Metallschicht – in diesem Fall eine aufgedampfte Al-Schicht auf einem Borosilikatglas-Wafer – dient als Anode. Liegt eine Gleichspannung zwischen Anode und Kathode an, dissoziieren die im Elektrolyt enthaltenen Wassermoleküle ($\text{H}_2\text{O} \rightleftharpoons 2\text{H}^+ + \text{O}_2^-$) [Sch17]. Die dadurch entstehenden O^{2-} - und OH^- -Anionen reagieren an der Anode mit den Al^{3+} -Kationen und bilden das Oxid. An der Kathode hingegen werden H^+ -Ionen zu Wasserstoff reduziert. Die Umwandlung von

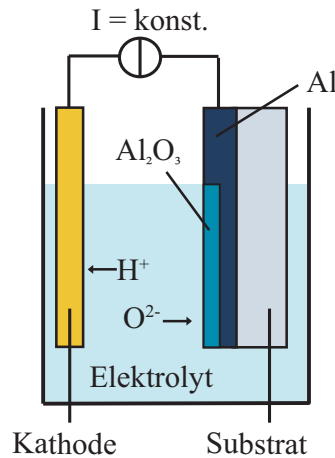
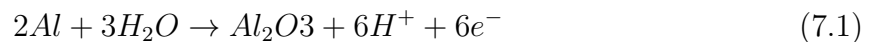


Abbildung 7.3: Schematische Darstellung des Anodisierungs-Prozesses. Der Wafer mit der zu oxidierenden Metallschicht befindet sich auf der Anode.

Al zu Al_2O_3 läuft dabei nach folgender Reaktionsgleichung ab [Sch08],[CS10],[KNN+15]:



Die Vorteile dieses Prozesses sind eine einfache Durchführung, geringe Anlagen- und Materialkosten sowie niedrige Prozesstemperaturen und eine Skalierbarkeit hinsichtlich R2R-Verfahren [GKF+19].

Die im Elektrolyten enthaltene Säure dient lediglich der Erhöhung der Leitfähigkeit und nimmt an der chemischen Reaktion zur Bildung des Oxids nicht teil. Nichtsdestotrotz kommt der Wahl des Elektrolyten eine wichtige Bedeutung zu. Wählt man einen Elektrolyten, in dem das gebildete Aluminiumoxid leicht löslich ist, kommt es zur Bildung eines porösen Oxids. Gängige Elektrolyte hierfür sind Schwefel-, Phosphor-, Chrom- und Oxalsäure [DDG69],[TMN+13]. Neutrale bis schwach saure Elektrolyte führen hingegen zur Bildung eines kompakten, dichten Barrierenoxids. Hierfür werden in der Regel Elektrolyte basierend auf Citronen- oder Weinsäure verwendet [DPR+08b],[KSS+11],[CPZ+18]. Während der Anodisation nimmt die Dicke der Al_2O_3 -Schicht stetig zu und stellt einen immer größeren Widerstand für den Stromfluss dar, das elektrische Feld nimmt dementsprechend ab. Die Oxidbildung ist folglich von der angelegten Spannung abhängig. Die Al_2O_3 -Schichtdicke eines Barrierenoxids d_{Ox} ist dabei proportional zur angelegten Spannung V_A [Sch08],[DPR+08b]:

$$d_{Ox} = c \cdot V_A \quad (7.2)$$

mit dem Anodisierungsfaktor c , der üblicherweise im Bereich zwischen 0,8 und 1,4 nm V⁻¹ liegt [CS10].

Hier wird zunächst eine poröse Al₂O₃-Schicht in einem auf verdünnter Schwefelsäure (20 %) basierenden Elektrolyten als Gate-Dielektrikum hergestellt und analysiert. Dazu wird ein Borosilikatglas-Wafer ganzflächig mit einer 2 nm dünnen Ti-Schicht als Haftvermittler beschichtet, bevor 30 nm Au als Gate-Metallisierung aufgedampft werden. Anschließend folgt die Strukturierung der Gate-Elektrode durch eine herkömmliche Fotolithografie gefolgt von einem nasschemischen Ätzprozess. Für die Anodisierung werden 100 nm Al durch Elektronenstrahlverdampfung auf dem Wafer abgeschieden. Die Oxidation erfolgt bei einer Spannung von 10 V und einer Stromdichte von 0,6 mA/cm². Dabei entsteht zunächst ein Barrierenoxid, das anschließend vom Elektrolyten aufgelöst wird. Vertiefungen in der Oxidoberfläche wirken dabei als Keime für die Ausbildung der Poren, die senkrecht zur Substratoberfläche wachsen und an deren Boden sich ein dünnes Barrierenoxid bildet [Sch08]. Der Prozess ist abgeschlossen, sobald die eingestellte Spannung erreicht wird, bzw. der Strom auf ein Minimum abgefallen ist. Im Anschluss wird der Wafer in VE-Wasser gespült, im Stickstofffluss getrocknet und für eine Stunde bei 150 °C im Umluftofen ausgeheizt, um Reste des Elektrolyten zu entfernen. Abschließend erfolgt die ZnO-Deposition, die Strukturierung einer Fotolackschicht und das Aufbringen der Kontaktmetallisierung (150 nm Al). Im Anschluss an den Lift-off-Prozess werden die integrierten TFTs vermessen.

Die typische Transferkennlinie eines Bottom-Gate, Top-Contact ZnO-TFTs und die zugehörige dynamische Messung eines Inverters sind in Abbildung 7.4 dargestellt. Der TFT weist einen Off-Strom von $1 \cdot 10^{-11}$ A sowie einen On-Strom von $1 \cdot 10^{-6}$ A auf und erreicht damit eine Strommodulation von $1 \cdot 10^5$. Die Einschaltspannung V_{ON} beträgt in Vorwärtsmessrichtung -0,3 V und in Rückwärtsrichtung -0,6 V. Die Schwellenspannung V_{Th} kann entsprechend zu 1,6 V bzw. -0,3 V bestimmt werden. Für den Subschwelligkeitsstromanstieg wird ein Wert von 0,3 V/Dek und für die Ladungsträgerbeweglichkeit μ_{FE} ein Wert von $0,02 \text{ cm}^2(\text{Vs})^{-1}$ berechnet. Der Gate-Leckstrom I_G beträgt maximal 10^{-7} A und liegt damit nur etwa eine Dekade unterhalb des Drain-Stromes I_D . Folglich sind die Isolationseigenschaften dieser porösen Al₂O₃-Schicht als gering zu bewerten.

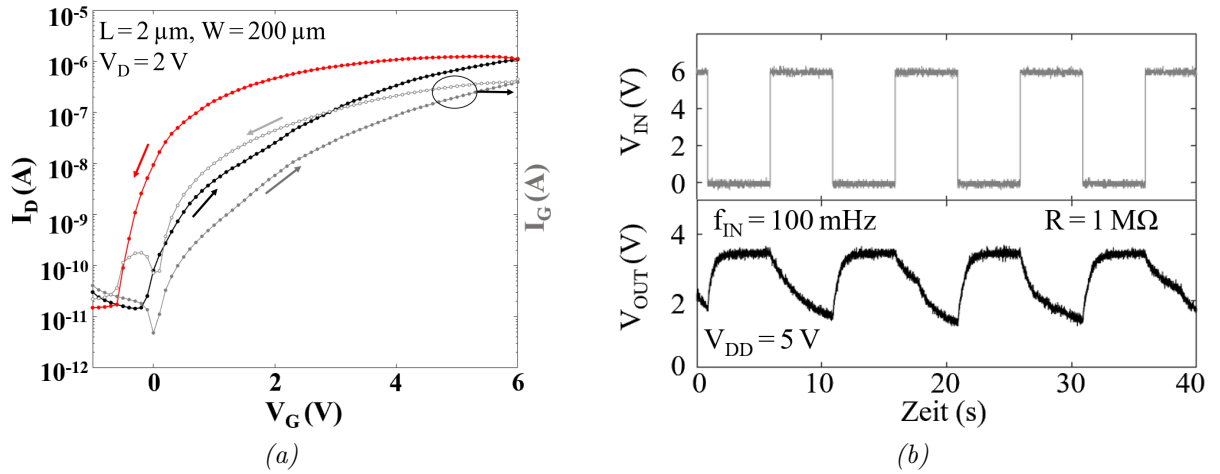


Abbildung 7.4: (a) Transferkennlinie eines Top-Contact ZnO-TFTs. (b) Dynamische Eigenschaften eines ZnO-Inverters (Gate-Dielektrikum: Al_2O_3 (Anodisieren in Schwefelsäure); Pull-up-Widerstand: $R = 1 \text{ M}\Omega$) als Reaktion auf ein Rechteckeingangssignal mit einer Frequenz f_{IN} von 100 mHz und einer Amplitude von 6 V. Die Versorgungsspannung V_{DD} beträgt 5 V.

Die dynamische Charakterisierung des TFTs in Abbildung 7.4 (b) zeigt ebenfalls kein verbessertes Frequenzverhalten. Infolge des Eingangssignals ($f_{\text{IN}} = 100 \text{ mHz}$) kann hier kein konstanter Low-Pegel erreicht werden. Das Minimum des Ausgangssignals liegt bei etwa 1,5 V. Auch der High-Pegel erreicht lediglich einen Wert von 3,4 V. Der Spannungsabfall am Lastwiderstand im ausgeschalteten Zustand des TFTs lässt darauf schließen, dass es aufgrund des Gate-Leckstroms zu einer Verringerung des Transistorwiderstandes kommt. Das sich daraus ergebende Widerstandsverhältnis führt dazu, dass der ideale High-Pegel von V_{DD} nicht erreicht werden kann.

Das limitierte Frequenzverhalten kann mit hoher Wahrscheinlichkeit auf die poröse Struktur zurückgeführt werden. In den Poren kann es unter Umgebungsbedingungen zu Wasserablagerungen kommen, die die Kapazität und deren Frequenzverhalten beeinflussen [TMN+13].

Da sich poröses Al_2O_3 augenscheinlich nicht als Gate-Dielektrikum in TFTs für Hochfrequenzanwendungen eignet, soll im Folgenden ein dichtes Barrierenoxid hergestellt und charakterisiert werden. Solche Schichten wurden in der Literatur bereits in Dünnschichttransistoren mit organischen [MSG04],[DPR+08a] und anorganischen [CPZ+18],[GKF+19] Halbleitern eingesetzt. Das dynamische Verhalten dieser TFTs wurde bislang jedoch wenig untersucht [Lin12].

Für die Integration eines Bottom-Gate, Top-Contact ZnO-TFTs wird ein Borosilikatglas-

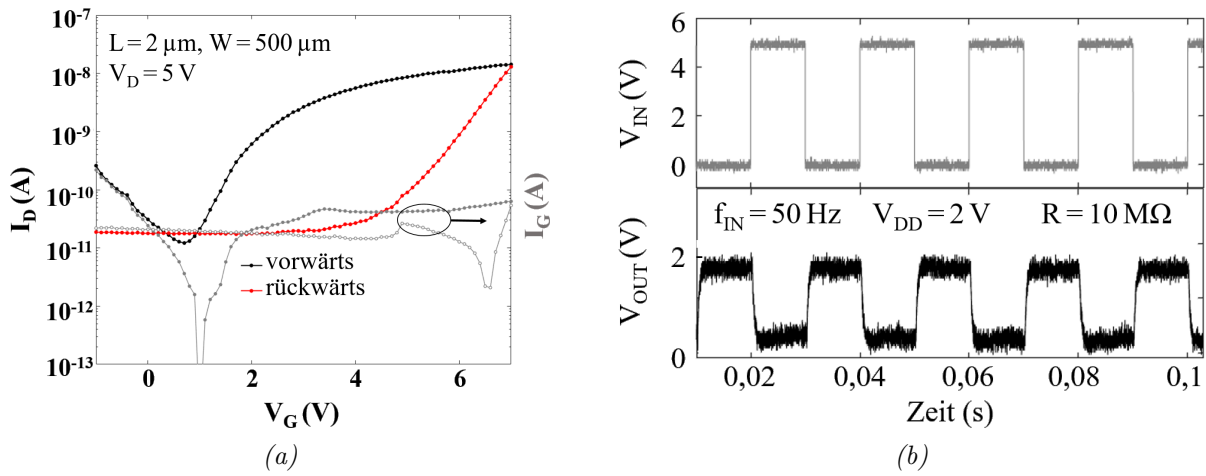


Abbildung 7.5: (a) Transferkennlinie eines Top-Contact ZnO-TFTs. (b) Dynamische Eigenschaften eines ZnO-Inverters (Gate-Dielektrikum: Al_2O_3 (Anodisieren in Citronensäure); Pull-up-Widerstand: $R = 10 \text{ M}\Omega$) als Reaktion auf ein Rechteckeingangssignal mit einer Frequenz f_{IN} von 50 Hz und einer Amplitude von 5 V. Die Versorgungsspannung V_{DD} beträgt 2 V.

Wafer zunächst mit 70 nm Al bedampft und in einem Elektrolyten basierend auf Citronensäure (0,5 g/l) oxidiert. Dessen pH-Wert wird mit 25 %iger Ammoniaklösung auf einen Wert von 7 eingestellt. Die Formierungsspannung beträgt 20 V und die Stromdichte wird auf $0,6 \text{ mA/cm}^2$ begrenzt. Auch hier endet das Anodisieren, sobald die Formierungsspannung erreicht wird, bzw. der Strom minimal wird. Die resultierende Schichtdicke des Oxides beträgt ca. 30 nm. Im Anschluss an das Trocknen im Stickstofffluss erfolgt die Deposition des nanopartikulären ZnO und die Strukturierung der Kontaktelektroden mittels Lift-off-Prozesses.

Abbildung 7.5 (a) zeigt eine typische Transferkennlinie eines solchen TFTs. In diesem Fall wurde die Gate-Elektrode nicht strukturiert, sodass die gesamte nicht-oxidierte Al-Schicht das Gate bildet. Dennoch liegt der Gate-Leckstrom I_G maximal im Bereich von nur 10^{-11} A. Auf eine Strukturierung des Gates wurde hier bislang verzichtet, da dies zu einer unregelmäßigen Al-Oberfläche führt. Dadurch kommt es zu einer inhomogenen Feldlinienverteilung, die wiederum eine ungleichmäßige Oxidation der Schicht zur Folge hat, sodass es zu Bereichen kommt, die nicht oxidiert werden.

Die Einschaltspannung liegt in Vorwärtsmessrichtung bei $V_{\text{ON}} = 0,7 \text{ V}$, für die entgegengesetzte Messrichtung kann kein eindeutiger Wert angegeben werden. Die Schwellenspannung V_{Th} wird in Vorwärtsrichtung zu 1,0 V bestimmt, in Rückwärtsrichtung verschiebt sie sich auf 5,7 V. Es tritt ein ausgeprägtes Hystereseverhalten ($\Delta V_{\text{Th}} = 4,7 \text{ V}$) mit einem

Verlauf im Uhrzeigersinn auf. Wie bereits in Kapitel 4.1.1 erwähnt, lässt dieses Verhalten auf Fallenzustände an der Grenzfläche zwischen Halbleiter und Dielektrikum schließen. Mit steigender Gate-Spannung akkumulieren Ladungsträger in der Nähe der Grenzfläche und besetzen diese Fallenzustände. Sinkt die Gate-Spannung wieder, werden die gebundenen Ladungsträger nur langsam wieder freigegeben [EBS+09].

Diese Grenzflächendefekte können auch ein Grund für den, im Vergleich zu den in dieser Arbeit bereits vorgestellten ZnO-TFTs, geringen On-Strom ($I_{ON} = 1 \cdot 10^{-8}$ A) sein. Des Weiteren wurde bislang noch keine Anpassung der Depositionsparameter an die geänderten Oberflächeneigenschaften des anodisierten Al_2O_3 bezüglich Rauheit und Kontaktwinkel vorgenommen. Im ausgeschalteten Zustand beträgt der Strom $I_{OFF} = 1 \cdot 10^{-11}$ A. Folglich ergibt sich eine Strommodulation von $I_{ON}/I_{OFF} = 1 \cdot 10^3$. Für den Subschwelligkeitsstromanstieg S wird ein Wert von 0,8 V/Dek ermittelt und die Ladungsträgerbeweglichkeit wird zu $\mu_{FE} = 2,3 \cdot 10^{-5} \text{ cm}^2(\text{Vs})^{-1}$ bestimmt.

Auch hier folgt eine dynamische Charakterisierung anhand eines Inverters (siehe Abbildung 7.5 (b)). Das angelegte Rechtecksignal hat eine Frequenz von 50 Hz und eine Amplitude von 5 V, die Betriebsspannung beträgt 2 V. Der High-Pegel des Ausgangssignals liegt bei ca. 1,9 V und der Low-Pegel erreicht einen Wert von etwa 0,4 V. Der Low-Pegel wird dabei von dem geringen Strom im eingeschalteten Zustand des Transistors begrenzt. Anhand dieser Pegelniveaus lassen sich Anstiegs- und Abfallzeiten von 0,6 ms bzw. 1,08 ms bestimmen. Dies ist eine deutliche Steigerung des Frequenzverhaltens, die trotz der limitierten TFT-Performance erzielt werden kann. Folglich bietet das Anodisieren von Aluminium eine vielversprechende Möglichkeit einer kostengünstigen, großflächigen und einfachen Integration eines Gate-Dielektrikums.

Zusammenfassung und Ausblick

8.1 Zusammenfassung

In Rahmen dieser Dissertation wurden sowohl n-leitende Dünnschichttransistoren mit nanopartikulärem Zinkoxid als auch p-Typ Transistoren basierend auf Kupferoxid-Nanopartikeln untersucht. Beide Nanopartikelmaterialien wurden dabei aus Dispersionen abgeschieden. Sämtliche Integrationsroutinen wurden im Hinblick auf einen Transfer auf Foliensubstrate entwickelt. Dies beinhaltet eine maximale Prozesstemperatur von 115 °C.

Das Rakelverfahren erwies sich als eine geeignete Depositionsmethode zur Herstellung von dünnen Nanopartikelschichten. Untersuchungen zeigten, dass sowohl die Rakelgeschwindigkeit als auch die Morphologie der Substratoberfläche großen Einfluss auf die Leistungsfähigkeit der Dünnschichttransistoren haben. Anhand von TFTs basierend auf Zinkoxid-Nanopartikeln konnte zudem gezeigt werden, dass eine Drain-/Source-Metallisierung aus Nickel zu vergleichbaren Kontaktwiderständen wie Aluminium-Elektroden führt und somit eine adäquate Alternative darstellt. Dadurch wurde eine Integration von Bottom-Contact Transistoren mit einer Aluminium-Schutzschicht ermöglicht, was insbesondere für den Selbstjustierungsprozess von entscheidender Bedeutung war. Des Weiteren konnte durch die Variation der Gate-Metallisierung deren Einfluss auf die Einschaltspannung festgestellt werden, resultierend in erster Linie aus der Differenz der Austrittsarbeiten und der damit einhergehenden Verschiebung der Flachbandspannung. Jedoch spielte auch die Morphologie der Gate-Elektrode und damit die effektive Schichtdicke des Gate-Dielektrikums in den Überlappbereichen insbesondere für den Gate-Leckstrom eine Rolle.

In dieser Arbeit wurden das erste Mal Kupferoxid-Nanopartikel als halbleitende Schicht in Dünnschichttransistoren mit einem Nanokomposit als Gate-Dielektrikum integriert. Die kommerziell erhältlichen Kupferoxid-Nanopartikel von drei verschiedenen Herstellern zeigten allesamt p-leitendes Verhalten. Dabei zeigten die Nanopartikel der Firma PlasmaChem GmbH das beste Dispergiervermögen und die Transistoren wiesen die höchste Feldeffekt-

ladungsträgerbeweglichkeit und Strommodulation auf. Durch die Verwendung von Nickel statt Goldkontakten konnte insbesondere die Strommodulation gesteigert werden. Infolge einer Elektrodenbehandlung mit einer selbstorganisierenden Monolage konnte die Betriebsspannung der TFTs sowohl mit Gold- als auch mit Nickel-Elektroden deutlich gesenkt werden. Trotz der niedrigen Prozesstemperaturen sowie der geringen Betriebsspannungen zeigten die in dieser Arbeit vorgestellten Transistoren, basierend auf halbleitenden Kupferoxid-Nanopartikeln, eine mit der Literatur vergleichbare Leistungsfähigkeit. Als problematisch ist jedoch die große Hysterese anzusehen, die bei allen Transistoren auftrat und deren Ursache bislang nicht eindeutig geklärt ist. Zudem stellte sich die Herstellung von Top-Contact Transistoren aufgrund von Interaktionen zwischen der Kupferoxidschicht und der während der Fotolithografie eingesetzten NaOH-Entwicklerlösung als problematisch heraus, sodass hierdurch keine Leistungssteigerung möglich war. Ein Transfer der Integration von Bottom-Gate, Bottom-Contact Kupferoxid-Transistoren auf ein flexibles Trägersubstrat konnte erfolgreich durchgeführt werden, auch wenn die Ladungsträgerbeweglichkeit sowie die Strommodulation geringer als die der Transistoren auf starren Substraten waren.

Des Weiteren wurde eine Integrationsroutine entwickelt, mithilfe derer sich komplementäre Inverter mit zwei unterschiedlichen Halbleitermaterialien bzw. Kontaktmetallen monolithisch herstellen lassen. Die auf anorganischen Nanopartikeln basierenden Inverter, integriert auf einem gemeinsamen Substrat, wiesen Verstärkungen im Bereich von Invertern bestehend aus separat hergestellten Einzel-TFTs auf. Die unterschiedliche Leistungsfähigkeit der p- und n-leitenden Transistoren führte dabei zu Verschiebungen der Schaltpunkte in den Übertragungskennlinien. Die Flexibilität dieser Herstellungsroutine hinsichtlich des Einsatzes verschiedener Materialien wurde durch die Integration eines hybriden Inverters aufgezeigt, der aus einem organischen p- sowie einem anorganischen n-Typ Transistor bestand. Der Transfer des Herstellungsprozesses auf ein flexibles Substrat wurde ebenfalls erfolgreich durchgeführt. Außerdem wurde die Integration einer zweilagigen Kontaktmetallisierung zur Kontaktierung der einzelnen Halbleiter infolge von Schichtdickenunterschieden der einzelnen Halbleitermaterialien analysiert. Dadurch konnten ebenfalls funktionsfähige Inverter hergestellt werden, allerdings wurde das Dielektrikum während des Entwickelns des Fotolackes angegriffen, wodurch die Leistungsfähigkeit herabgesetzt wurde.

Für die Realisierung von komplementären Schaltungen mit großer Signalverstärkung, großen Störabständen sowie geringem Stromverbrauch sind p- und n-Kanal-Transistoren mit vergleichbarer Performance erforderlich, da der leistungsschwächste Transistor die

Gesamtleistung des Inverters begrenzt. Im Zuge dessen sind weitere Verbesserungen der Strommodulation, der Ladungsträgerbeweglichkeit und des Subschwellsenpannungsstromanstiegs, insbesondere bei den anorganischen p-Kanal-Transistoren wünschenswert. Des Weiteren ist für eine sichere Pegeldetektion die Reduzierung der Hysterese notwendig.

Mithilfe des Selbstjustierungsprozesses in Kombination mit einem Trockenätzprozess konnten Bottom-Gate, Bottom-Contact Dünnschichttransistoren mit Kanallängen bis hinunter zu $0,5\ \mu\text{m}$ sowohl auf Glas- als auch auf Folien substraten hergestellt werden. Mit abnehmender Kanallänge konnte das Auftreten von Kurzkanaleffekten beobachtet werden. Dabei wurde der Stromfluss durch das laterale elektrische Feld zwischen Drain- und Source-Kontakten dominiert. Die Ausbeute an funktionsfähigen Transistoren mit Kanallängen im Submikrometerbereich konnte mit der Verwendung von Nanopartikeln mit reduziertem Durchmesser erhöht werden.

Abschließend wurde das Frequenzverhalten von Bottom-Gate, Top-Contact Transistoren mit nanopartikulärem ZnO als Halbleiter und dem Nanokomposit inoflex T3 als Gate-Dielektrikum analysiert. Dazu wurde der Transistor mit einem Ohmschen Widerstand zu einem Inverter verschaltet und das Ausgangssignal als Reaktion auf ein rechteckförmiges Eingangssignal vermessen. Aufgrund von Polarisierungseffekten im Dielektrikum bietet sich das verwendete Nanokomposit lediglich für quasistatische Anwendungen an. Daraufhin erfolgten erste Untersuchungen hinsichtlich eines alternativen Dielektrikums, das ein gesteigertes Frequenzverhalten aufweisen soll und das sich gleichzeitig kostengünstig, großflächig und bei geringen Temperaturen integrieren lässt. Im Zuge dessen wurde Aluminiumoxid zum einen durch einen Sol-Gel-Prozess und zum anderen durch anodisches Oxidieren hergestellt. Es folgten statische und dynamische Charakterisierungen der resultierenden Bottom-Gate, Top-Contact ZnO-TFTs. Anhand derer stellte sich heraus, dass eine Ausheiztemperatur von lediglich $150\ ^\circ\text{C}$ für eine komplette Umwandlung des Ausgangsstoffes nicht ausreicht, sodass keine Verbesserung der dynamischen Eigenschaften erreicht wurde. Die Transistoren basierend auf dem durch anodische Oxidation hergestellte Aluminiumoxid wiesen zwar eine deutlich reduzierte statische Leistungsfähigkeit auf, nichtsdestotrotz zeigte das Frequenzverhalten eine leichte Verbesserung.

8.2 Ausblick

Im Rahmen der lösungsmittelbasierten Herstellung von Dünnschichttransistoren sollte der Rakelprozesses auf die Deposition sowohl des Gate-Dielektrikums als auch der Elektro-

den ausgeweitet werden. Letztere könnten durch die Verwendung von Metallnanopartikeln realisiert werden. Dies wurde bereits erfolgreich durch den Tintendruck von Nanopartikeldispersionen basierend auf Metallen wie Gold [MKL+14], Silber [FS17] oder Kupfer [NKK+15] demonstriert. Als lösungsmittelbasierte Gate-Dielektrika können beispielsweise Präkursor zur Integration von Metalloxiden [SMK+18] oder Ionengele [ZTM+20] eingesetzt werden. Als Herausforderung ergibt sich dabei die Temperaturverträglichkeit mit flexiblen Substraten sowie die Rauheit der verschiedenen Grenzflächen, die zu Ladungsträgerfallen und damit zu einer Abnahme der Beweglichkeit und zu Hystereseeffekten führen.

Damit anorganische Dünnschichttransistoren und insbesondere komplementäre Schaltungen zu einem Einsatz in kommerziellen Anwendungen kommen, ist eine weitere Steigerung der elektrischen Qualität und der Stabilität notwendig.

Insbesondere im Bereich der anorganischen p-Halbleiter bedarf es einer wesentlichen Verbesserung der Materialeigenschaften, sodass sich auch das Angebot an kommerziell erhältlichen, hochqualitativen Metalloxid-Nanopartikeln erhöht. Hinsichtlich der hier vorgestellten CuO-TFTs ist die Hysterese als problematisch anzusehen und sollte deshalb näher untersucht werden. Um den dominierenden Effekt zu identifizieren, der dieses Verhalten verursacht, sollten die Transistoren unter definierten Umgebungsbedingungen charakterisiert werden. Anschließend sollte die Entwicklung einer Passivierung forciert werden, um einen stabilen Transistorbetrieb zu gewährleisten. Ein weiterer Aspekt ist die Optimierung der Top-Contact CuO-TFTs. Im Zuge dessen sollte die Verwendung einer Entwicklerlösung untersucht werden, die kein Natriumhydroxid enthält, sodass die Kupferoxidschicht nicht beeinträchtigt wird. Zudem sollte eine Anpassung der Parameter für die Deposition der CuO-Nanopartikel auf einer unstrukturierten Oberfläche erfolgen, um die Schichtdicke des Halbleiters und damit auch den Drain-Strom zu erhöhen.

Darüber hinaus sollten weitere p-Typ Metalloxide als Halbleitermaterial in Dünnschichttransistoren evaluiert werden. Mögliche Alternativen zu Kupfer(II)-oxid stellen dabei Kupfer(I)-oxid, Zinnmonoxid und Nickeloxid dar [WNC+16].

Im Bereich der monolithisch integrierten Komplementärtechnik sollte die Verwendung einer gemeinsamen Kontaktmetallisierung für p- und n-leitende Transistoren weiter verfolgt und optimiert werden, da die Komplexität des Integrationsprozesses somit deutlich reduziert werden kann. Ist dies nicht möglich, kann ein modifiziertes Maskenset Abhilfe schaffen, das die Maskierung der Kontaktelektroden und der p- bzw. n-Gebiete in einer Maske vereint, sodass die Doppellacktechnik vermieden werden kann. Aufbauend auf den integrierten komplementären Invertern sollten schließlich komplexere Schaltungen imple-

mentiert werden.

Einen wichtigen Anknüpfungspunkt für nachfolgende Arbeiten stellt die Optimierung des Gate-Dielektrikums und damit die Erhöhung der Transitfrequenz dar. Eine Möglichkeit könnte das UV-basierte Ausheilen für Sol-Gel-Dielektrika [JKK+18],[JKK+20] sein, um dichte und komplett konvertierte Schichten trotz geringer Temperaturbelastungen zu erhalten, sodass die Kompatibilität gegenüber Foliensubstraten gewährleistet bleibt. In diesem Kontext sollte auch die Anodisation von Aluminium zur Herstellung von Aluminiumoxid weiter untersucht werden. Dies beinhaltet unter anderem die Entwicklung eines reproduzierbaren Anodisationsprozesses für Transistoren mit strukturierter Gate-Elektrode, die für die Herstellung integrierter Schaltungen erforderlich sind. Dies könnte durch das Vergraben der Gate-Elektrode, ähnlich wie bei der Herstellung der Aluminiumoxidschicht durch das Sol-Gel-Verfahren, realisiert werden.

Ein neues Dielektrikum erfordert wiederum eine nähere Untersuchung der Grenzfläche zum Halbleiter. Diese sollte entsprechend optimiert werden, um die Transistoreigenschaften zu verbessern, die wiederum zu einem gesteigerten Frequenzverhalten führen. Im Zuge dessen muss eine Anpassung sowohl der Nanopartikel-Deposition als auch der Parameter für die Rückseitenbelichtung zur Integration selbstjustierender Kontakte durchgeführt werden.

Eine weitere Steigerung der Leistungsfähigkeit könnte mithilfe einer Kombination aus Aluminiumoxid und selbstorganisierenden Monolagen [CZW+20] erzielt werden. Auch die Oxidation von Aluminium im Sauerstoff-Plasma [GHR+21] könnte ein geeigneter Weg zur Herstellung eines Folien-kompatiblen Gate-Dielektrikums sein.

Alles in allem wird deutlich, dass es interdisziplinäre Herausforderungen in den Bereichen der Materialien und deren Herstellung zu bewältigen gilt, um dieser Technologie eine weitere kommerzielle Verbreiterung zu ermöglichen. Diese Arbeit hat dabei aufgezeigt, welche Möglichkeiten und welche Schwierigkeiten sich auf dem Weg hin zu einer kostengünstigen flexiblen Elektronik, basierend auf hochfrequenten, komplementären Schaltungen, ergeben.

Literaturverzeichnis

- [AAD16] AHMAD, F.; AGUSTA, M. K. und DIPOJONO, H. K.: *Electronic and Optical Properties of CuO Based on DFT+U and GW Approximation*. In: *Journal of Physics: Conference Series*, Jg. 739 (2016), S. 012040. DOI: 10.1088/1742-6596/739/1/012040.
- [AD08] ALLEN, M. W. und DURBIN, S. M.: *Influence of oxygen vacancies on Schottky contacts to ZnO*. In: *Applied Physics Letters*, Jg. 92 (2008) Nr. 12, S. 122110. DOI: 10.1063/1.2894568.
- [AI15] AZIZ, F. und ISMAIL, A. F.: *Spray coating methods for polymer solar cells fabrication: A review*. In: *Materials Science in Semiconductor Processing*, Jg. 39 (2015), S. 416–425. DOI: 10.1016/j.mssp.2015.05.019.
- [AJ21] AVIS, C. und JANG, J.: *Understanding the Origin of the Hysteresis of High-Performance Solution Processed Polycrystalline SnO₂ Thin-Film Transistors and Applications to Circuits*. In: *Membranes*, Jg. 12 (2021) Nr. 1. DOI: 10.3390/membranes12010007.
- [AKZ+12] ANTE, F.; KÄLBLEIN, D.; ZAKI, T.; ZSCHIESCHANG, U.; TAKIMIYA, K.; IKEDA, M.; SEKITANI, T.; SOMEYA, T.; BURGHARTZ, J. N.; KERN, K. und KLAUK, H.: *Contact Resistance and Megahertz Operation of Aggressively Scaled Organic Transistors*. In: *Small*, Jg. 8 (2012) Nr. 1, S. 73–79. DOI: 10.1002/smll.201101677.
- [Ant12] ANTA, J. A.: *Electron transport in nanostructured metal-oxide semiconductors*. In: *Current Opinion in Colloid & Interface Science*, Jg. 17 (2012) Nr. 3, S. 124–131. DOI: 10.1016/j.cocis.2012.02.003.
- [ARM+20] AMIRI, V.; ROSHAN, H.; MIRZAEI, A.; NERI, G. und AYESH, A. I.: *Nanostructured Metal Oxide-Based Acetone Gas Sensors: A Review*. In: *Sensors (Basel, Switzerland)*, Jg. 20 (2020) Nr. 11, S. 3096. DOI: 10.3390/s20113096.
- [Bar12] BARQUINHA, P.: *Transparent oxide electronics: From materials to devices*. Chichester: Wiley, 2012. ISBN: 9781119966999. DOI: 10.1002/9781119966999.

- [BBC+21] BONNASSIEUX, Y.; BRABEC, C. J.; CAO, Y.; CARMICHAEL, T. B.; CHABINYC, M. L.; CHENG, K.-T.; CHO, G.; CHUNG, A.; COBB, C. L.; DISTLER, A.; EGELHAAF, H.-J.; GRAU, G.; GUO, X.; HAGHIASHTIANI, G.; HUANG, T.-C.; HUSSAIN, M. M.; INIGUEZ, B.; LEE, T.-M.; LI, L.; MA, Y.; MA, D.; MCALPINE, M. C.; NG, T. N.; ÖSTERBACKA, R.; PATEL, S. N.; PENG, J.; PENG, H.; RIVNAY, J.; SHAO, L.; STEINGART, D.; STREET, R. A.; SUBRAMANIAN, V.; TORSI, L. und WU, Y.: *The 2021 flexible and printed electronics roadmap*. In: *Flexible and Printed Electronics*, Jg. 6 (2021) Nr. 2, S. 023001. DOI: 10.1088/2058-8585/abf986.
- [BBW+15] BAYER, C. F.; BAER, E.; WALTRICH, U.; MALIPAARD, D. und SCHLETZ, A.: *Simulation of the electric field strength in the vicinity of metallization edges on dielectric substrates*. In: *IEEE Transactions on Dielectrics and Electrical Insulation*, Jg. 22 (2015) Nr. 1, S. 257–265. DOI: 10.1109/TDEI.2014.004285.
- [Bet42] BETHE, H. A.: *Theory of the Boundary Layer of Crystal Rectifiers*. Report (Massachusetts Institute of Technology. Radiation Laboratory). Radiation Laboratory, Massachusetts Institute of Technology, 1942. URL: <https://books.google.de/books?id=AGKTGwAACAAJ>.
- [BG16] BHUVANESHWARI, S. und GOPALAKRISHNAN, N.: *Enhanced ammonia sensing characteristics of Cr doped CuO nanoboats*. In: *Journal of Alloys and Compounds*, Jg. 654 (2016), S. 202–208. DOI: 10.1016/j.jallcom.2015.09.046.
- [BHK20] BHATI, V. S.; HOJAMBERDIEV, M. und KUMAR, M.: *Enhanced sensing performance of ZnO nanostructures-based gas sensors: A review*. In: *Energy Reports*, Jg. 6 (2020), S. 46–62. DOI: 10.1016/j.egy.2019.08.070.
- [BHM+05] BOER, B. de; HADIPOUR, A.; MANDOC, M. M.; VAN WOUDEBERGH, T. und BLOM, P. W. M.: *Tuning of Metal Work Functions with Self-Assembled Monolayers*. In: *Advanced Materials*, Jg. 17 (2005) Nr. 5, S. 621–625. DOI: 10.1002/adma.200401216.
- [BJE20] BECKERS, A.; JAZAERI, F. und ENZ, C.: *Theoretical Limit of Low Temperature Subthreshold Swing in Field-Effect Transistors*. In: *IEEE Electron Device Letters*, Jg. 41 (2020) Nr. 2, S. 276–279. DOI: 10.1109/LED.2019.2963379.

- [BL11] BRILLSON, L. J. und LU, Y.: *ZnO Schottky barriers and Ohmic contacts*. In: *Journal of Applied Physics*, Jg. 109 (2011) Nr. 12, S. 121301. DOI: 10.1063/1.3581173.
- [Bor19] BORYSIEWICZ, M. A.: *ZnO as a Functional Material, a Review*. In: *Crystals*, Jg. 9 (2019) Nr. 10, S. 505. DOI: 10.3390/cryst9100505. URL: <https://www.mdpi.com/543334>.
- [Bor20] BORCHERT, J. W.: *On the minimization of contact resistance in organic thin-film transistors*. 2020. DOI: 10.18419/OPUS-11325.
- [BPD+20] BABU, M. H.; PODDER, J.; DEV, B. C. und SHARMIN, M.: *p to n-type transition with wide blue shift optical band gap of spray synthesized Cd doped CuO thin films for optoelectronic device applications*. In: *Surfaces and Interfaces*, Jg. 19 (2020), S. 100459. DOI: 10.1016/j.surfin.2020.100459.
- [BPL+19] BORCHERT, J. W.; PENG, B.; LETZKUS, F.; BURGHARTZ, J. N.; CHAN, P. K. L.; ZOJER, K.; LUDWIGS, S. und KLAUK, H.: *Small contact resistance and high-frequency operation of flexible low-voltage inverted coplanar organic transistors*. In: *Nature communications*, Jg. 10 (2019) Nr. 1, S. 1119. DOI: 10.1038/s41467-019-09119-8.
- [BRH+21] BADE, B. R.; RONDIYA, S. R.; HASE, Y. V.; NASANE, M. P.; JATHAR, S. B.; BARMA, S. V.; KORE, K. B.; NILEGAVE, D. S.; JADKAR, S. R. und FUNDE, A. M.: *Hydrothermally synthesized CuO nanostructures and their application in humidity sensing*. In: *4TH INTERNATIONAL CONFERENCE ON EMERGING TECHNOLOGIES; MICRO TO NANO, 2019: (ETMN 2019)*. AIP Conference Proceedings. AIP Publishing, 2021, S. 100001. DOI: 10.1063/5.0043341.
- [Bro12] BROTHERTON, S. D.: *Polycrystalline Silicon Thin Film Transistors (Poly-Si TFTs)*. In: *Handbook of visual display technology*. Hrsg. von CHEN, J.; CRANTON, W. und FIHN, M. Springer Reference. Berlin und Cham: Springer, 2012, S. 911–942. ISBN: 978-3-319-14345-3. DOI: 10.1007/978-3-319-14346-0₄₈.
- [BSW+97] BURR, T. A.; SERAPHIN, A. A.; WERWA, E. und KOLENBRANDER, K. D.: *Carrier transport in thin films of silicon nanoparticles*. In: *Physical review. B, Condensed matter*, Jg. 56 (1997) Nr. 8, S. 4818–4824. DOI: 10.1103/PhysRevB.56.4818.

- [BTB+19] BATURAY, Ş.; TOMBAK, A.; BATIBAY, D. und OCAK, Y. S.: *n-Type conductivity of CuO thin films by metal doping*. In: *Applied Surface Science*, Jg. 477 (2019), S. 91–95. DOI: 10.1016/j.apsusc.2017.12.004.
- [Bub10] BUBEL, S.: *Feldeffekttransistoren aus nanopartikulärem Zinkoxid: Halbleitende Dünnschichten aus nanopartikulären Dispersionen in Feldeffekttransistoren*. neue Ausg. Saarbrücken: Suedwestdeutscher Verlag fuer Hochschulschriften, 2010. ISBN: 9783838112343. URL: <http://tuprints.ulb.tu-darmstadt.de/1937/>.
- [BVG+08] BARQUINHA, P.; VILÀ, A.; GONÇALVES, G.; PEREIRA, L.; MARTINS, R.; MORANTE, J. und FORTUNATO, E.: *The role of source and drain material in the performance of GIZO based thin-film transistors*. In: *physica status solidi (a)*, Jg. 205 (2008) Nr. 8, S. 1905–1909. DOI: 10.1002/pssa.200778940.
- [BWL+16] BANGER, K.; WARWICK, C.; LANG, J.; BROCH, K.; HALPERT, J. E.; SOCRATOUS, J.; BROWN, A.; LEEDHAM, T. und SIRRINGHAUS, H.: *Identification of dipole disorder in low temperature solution processed oxides: its utility and suppression for transparent high performance solution-processed hybrid electronics*. In: *Chemical science*, Jg. 7 (2016) Nr. 10, S. 6337–6346. DOI: 10.1039/c6sc01962e.
- [BWL+22] BORCHERT, J. W.; WEITZ, R. T.; LUDWIGS, S. und KLAUK, H.: *A Critical Outlook for the Pursuit of Lower Contact Resistance in Organic Transistors*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 34 (2022) Nr. 2, e2104075. DOI: 10.1002/adma.202104075.
- [BZL+20] BORCHERT, J. W.; ZSCHIESCHANG, U.; LETZKUS, F.; GIORGIO, M.; WEITZ, R. T.; CAIRONI, M.; BURGHARTZ, J. N.; LUDWIGS, S. und KLAUK, H.: *Flexible low-voltage high-frequency organic thin-film transistors*. In: *Science Advances*, Jg. 6 (2020) Nr. 21, eaaz5156. DOI: 10.1126/sciadv.aaz5156.
- [CCL95] CHEN, M.-S.; CHOU, J.-S. und LEE, S.-C.: *Planarization of amorphous silicon thin film transistors by liquid phase deposition of silicon dioxide*. In: *IEEE Transactions on Electron Devices*, Jg. 42 (1995) Nr. 11, S. 1918–1923. DOI: 10.1109/16.469397.
- [CK13] CHOI, K.-H. und KIM, H.-K.: *Correlation between Ti source/drain contact and performance of InGaZnO-based thin film transistors*. In: *Applied Physics Letters*, Jg. 102 (2013) Nr. 5, S. 052103. DOI: 10.1063/1.4790357.

- [CK20] CUI, Z. und KOROTCENKOV, G., Hrsg.: *Solution processed metal oxide thin films for electronic applications*. Metal Oxides series. Amsterdam: Elsevier, 2020. ISBN: 978-0-12-814930-0. URL: <https://www.sciencedirect.com/science/book/9780128149300>.
- [CL17] CHOI, J. Y. und LEE, S. Y.: *Comprehensive review on the development of high mobility in oxide thin film transistors*. In: *Journal of the Korean Physical Society*, Jg. 71 (2017) Nr. 9, S. 516–527. DOI: 10.3938/jkps.71.516.
- [CLX+08] CHO, J. H.; LEE, J.; XIA, Y.; KIM, B.; HE, Y.; RENN, M. J.; LODGE, T. P. und FRISBIE, C. D.: *Printable ion-gel gate dielectrics for low-voltage polymer thin-film transistors on plastic*. In: *Nature Materials*, Jg. 7 (2008) Nr. 11, S. 900–906. DOI: 10.1038/nmat2291.
- [CMR06] CARCIA, P. F.; MCLEAN, R. S. und REILLY, M. H.: *High-performance ZnO thin-film transistors on gate dielectrics grown by atomic layer deposition*. In: *Applied Physics Letters*, Jg. 88 (2006) Nr. 12, S. 123509. DOI: 10.1063/1.2188379.
- [CPZ+18] CAI, W.; PARK, S.; ZHANG, J.; WILSON, J.; LI, Y.; XIN, Q.; MAJEWSKI, L. und SONG, A.: *One-Volt IGZO Thin-Film Transistors With Ultra-Thin, Solution-Processed Al_xO_y Gate Dielectric: IEEE Electron Device Letters, 39(3), 375-378*. In: *IEEE Electron Device Letters*, Jg. 39 (2018) Nr. 3, S. 375–378. DOI: 10.1109/LED.2018.2798061.
- [CS10] CHI, L. und SCHMID, G., Hrsg.: *Nanostructured surfaces*. Bd. Vol. 8. Nanotechnology. Weinheim: Wiley-VCH, 2010. ISBN: 9783527317394.
- [CS66] CROWELL, C. R. und SZE, S. M.: *Current transport in metal-semiconductor barriers*. In: *Solid-State Electronics*, Jg. 9 (1966) Nr. 11-12, S. 1035–1048. DOI: 10.1016/0038-1101(66)90127-4.
- [CTC+20] CHANG, T.-C.; TSAO, Y.-C.; CHEN, P.-H.; TAI, M.-C.; HUANG, S.-P.; SU, W.-C. und CHEN, G.-F.: *Flexible low-temperature polycrystalline silicon thin-film transistors*. In: *Materials Today Advances*, Jg. 5 (2020), S. 100040. DOI: 10.1016/j.mtadv.2019.100040.
- [CUB+18] CHAUDHARY, S.; UMAR, A.; BHASIN, K. K. und BASKOUTAS, S.: *Chemical Sensing Applications of ZnO Nanomaterials*. In: *Materials (Basel, Switzerland)*, Jg. 11 (2018) Nr. 2. DOI: 10.3390/ma11020287.

- [CW09] CHENG, I.-C. und WAGNER, S.: *Overview of Flexible Electronics Technology*. In: *Flexible Electronics: Materials and Applications*. Hrsg. von WONG, W. S. und SALLEO, A. Boston, MA: Springer US, 2009, S. 1–28. ISBN: 978-0-387-74363-9. DOI: 10.1007/978-0-387-74363-9{\textunderscore}1.
- [CXW89] CHING; XU und WONG: *Ground-state and optical properties of Cu_2O and CuO crystals*. In: *Physical review. B, Condensed matter*, Jg. 40 (1989) Nr. 11, S. 7684–7695. DOI: 10.1103/physrevb.40.7684.
- [CYC+19] CHEN, C.; YANG, Q.; CHEN, G.; CHEN, H. und GUO, T.: *Solution-Processed Oxide Complementary Inverter via Laser Annealing and Inkjet Printing*. In: *IEEE Transactions on Electron Devices*, Jg. 66 (2019) Nr. 11, S. 4888–4893. DOI: 10.1109/TED.2019.2941264.
- [CZW+20] CAI, W.; ZHANG, J.; WILSON, J.; BROWNLESS, J.; PARK, S.; MAJEWSKI, L. und SONG, A.: *Significant Performance Improvement of Oxide Thin-Film Transistors by a Self-Assembled Monolayer Treatment*. In: *Advanced Electronic Materials*, Jg. 6 (2020) Nr. 5, S. 1901421. DOI: 10.1002/aelm.201901421.
- [DCL+18] DENG, S.; CHEN, R.; LI, G.; ZHANG, M.; XIA, Z.; WONG, M. und KWOK, H.-S.: *Threshold Voltage Adjustment in Hybrid-Microstructural ITO-Stabilized ZnO TFTs via Gate Electrode Engineering*. In: *IEEE Electron Device Letters*, Jg. 39 (2018) Nr. 7, S. 975–978. DOI: 10.1109/LED.2018.2843779.
- [DDG69] DIGGLE, J. W.; DOWNIE, T. C. und GOULDING, C. W.: *Anodic oxide films on aluminum*. In: *Chemical Reviews*, Jg. 69 (1969) Nr. 3, S. 365–405. DOI: 10.1021/cr60259a005.
- [Deu17] DEUERMEIER, J.: *Origins of limited electrical performance of polycrystalline Cu_2O thin-film transistors*. Dissertation. Technische Universität Darmstadt, 2017.
- [Deu21] DEUTSCHES KUPFERINSTITUT BERUFSVERBAND E.V.: *Kupfer - Vorkommen & Verfügbarkeit*. 2021. URL: <https://www.kupferinstitut.de/kupferwerkstoffe/kupfer/vorkommen/>.
- [DGM19] DU, Y.; GAO, X. und MENG, X.: *Preparation and characterization of single-phased n-type CuO film by DC magnetron sputtering*. In: *Physica B: Condensed Matter*, Jg. 560 (2019), S. 37–40. DOI: 10.1016/j.physb.2019.02.037.

- [Die07] DIEKMANN, T.: *Polymere Dielektrika für organische Feldeffekt-Transistoren mit Pentacen auf Foliensubstraten: Institut für Elektrotechnik und Informationstechnik*. Diss. Veröffentlichungen der Universität, 2007. URL: <https://nbn-resolving.de/urn:nbn:de:hbz:466-20080122026>.
- [DKF+11] DINDAR, A.; KIM, J. B.; FUENTES-HERNANDEZ, C. und KIPPELEN, B.: *Metal-oxide complementary inverters with a vertical geometry fabricated on flexible substrates*. In: *Applied Physics Letters*, Jg. 99 (2011) Nr. 17, S. 172104. DOI: 10.1063/1.3656974.
- [DLR+18] DEUERMEIER, J.; LIU, H.; RAPENNE, L.; CALMEIRO, T.; RENOU, G.; MARTINS, R.; MUÑOZ-ROJAS, D. und FORTUNATO, E.: *Visualization of nanocrystalline CuO in the grain boundaries of Cu₂O thin films and effect on band bending and film resistivity*. In: *APL Materials*, Jg. 6 (2018) Nr. 9, S. 096103. DOI: 10.1063/1.5042046.
- [DPR+08a] DANG, X.-D.; PLIETH, W.; RICHTER, S.; PLÖTNER, M. und FISCHER, W.-J.: *Aluminum oxide film as gate dielectric for organic FETs: Anodization and characterization*. In: *physica status solidi (a)*, Jg. 205 (2008) Nr. 3, S. 626–632. DOI: 10.1002/pssa.200723453.
- [DPR+08b] DANG, X. D.; PLIETH, W.; RICHTER, S.; PLÖTNER, M. und FISCHER, W.-J.: *Aluminum oxide film as gate dielectric for organic FETs: Anodization and characterization*. In: *physica status solidi (a)*, Jg. 205 (2008).
- [DRT+16] DOMINGUEZ, M.; ROSALES QUINTERO, P.; TORRES JACOME, A.; FLORES GRACIA, F.; LÓPEZ, J.; ALCANTARA, S. und MORENO, M.: *Impact of planarized gate electrode in bottom-gate thin-film transistors*. In: *Revista Mexicana de Fisica*, Jg. 62 (2016), S. 223–228.
- [Dru17] DRUDE, D.: *Simulation von Transportvorgängen bei der konvektiven Selbstanordnung von Nanokugeln in kolloidalen Suspensionen*. Masterarbeit (unveröffentlicht). Department Physik, Universität Paderborn, 2017.
- [DSB+14] DIAO, Y.; SHAW, L.; BAO, Z. und MANNSFELD, S. C. B.: *Morphology control strategies for solution-processed organic semiconductor thin films*. In: *Energy Environ. Sci.*, Jg. 7 (2014) Nr. 7, S. 2145–2159. DOI: 10.1039/c4ee00688g.
- [Dwo07] DWORZAK, M.: *Konzepte zur Erhöhung der Lichtausbeute in Halbleiter-Lichtemittern*. 2007. DOI: 10.14279/depositonce-1646.

- [EAM+14] EKUMA, C. E.; ANISIMOV, V. I.; MORENO, J. und JARRELL, M.: *Electronic structure and spectra of CuO*. In: *The European Physical Journal B*, Jg. 87 (2014) Nr. 1. DOI: 10.1140/epjb/e2013-40949-5.
- [EBS+09] EGGINGER, M.; BAUER, S.; SCHWÖDIAUER, R.; NEUGEBAUER, H. und SARICIFTCI, N. S.: *Current versus gate voltage hysteresis in organic field effect transistors*. In: *Monatshefte für Chemie - Chemical Monthly*, Jg. 140 (2009) Nr. 7, S. 735–750. DOI: 10.1007/s00706-009-0149-z.
- [EKS+09] ERIKSSON, J.; KHRANOVSKYY, V.; SÖDERLIND, F.; KÄLL, P.-O.; YAKIMOVA, R. und SPETZ, A. L.: *ZnO nanoparticles or ZnO films: A comparison of the gas sensing capabilities*. In: *Sensors and Actuators B: Chemical*, Jg. 137 (2009) Nr. 1, S. 94–102. DOI: 10.1016/j.snb.2008.10.072.
- [Fak14] FAKHRI, M.: *Strategien zur Verbesserung der Stabilität von Zinkzinnoxid Dünnschichttransistoren an Atmosphäre*. 2014.
- [FBM12] FORTUNATO, E.; BARQUINHA, P. und MARTINS, R.: *Oxide semiconductor thin-film transistors: a review of recent advances*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 24 (2012) Nr. 22, S. 2945–2986. DOI: 10.1002/adma.201103228.
- [FBP+05] FORTUNATO, E.; BARQUINHA, P.; PIMENTEL, A.; GONÇALVES, A.; MARQUES, A.; PEREIRA, L. und MARTINS, R.: *Recent advances in ZnO transparent thin film transistors*. In: *Thin Solid Films*, Jg. 487 (2005) Nr. 1-2, S. 205–211. DOI: 10.1016/j.tsf.2005.01.066.
- [FCP+15] FRAZER, L.; CHANG, K. B.; POEPPELMEIER, K. R. und KETTERSON, J. B.: *Cupric oxide inclusions in cuprous oxide crystals grown by the floating zone method*. In: *Science and Technology of Advanced Materials*, Jg. 16 (2015) Nr. 3, S. 034901. DOI: 10.1088/1468-6996/16/3/034901.
- [fin22] FINANZEN.NET GMBH: *Rostoffpreise*. Stand: 02.03.2022. URL: <https://www.finanzen.net/rohstoffe/goldpreis>.
- [FM11] FORTUNATO, E. und MARTINS, R.: *Where science fiction meets reality? With oxide semiconductors!* In: *physica status solidi (RRL) - Rapid Research Letters*, Jg. 5 (2011) Nr. 9, S. 336–339. DOI: 10.1002/pssr.201105246.

- [FS17] FUKUDA, K. und SOMEYA, T.: *Recent Progress in the Development of Printed Thin-Film Transistors and Circuits with High-Resolution Printing Technology*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 29 (2017) Nr. 25. DOI: 10.1002/adma.201602736.
- [FvM+15] FENWICK, O.; VAN DYCK, C.; MURUGAVEL, K.; CORNIL, D.; REINDERS, F.; HAAR, S.; MAYOR, M.; CORNIL, J. und SAMORÌ, P.: *Modulating the charge injection in organic field-effect transistors: fluorinated oligophenyl self-assembled monolayers for high work function electrodes*. In: *Journal of Materials Chemistry C*, Jg. 3 (2015) Nr. 13, S. 3007–3015. DOI: 10.1039/C5TC00243E.
- [FZK+17] FISCHER, A.; ZÜNDORF, H.; KASCHURA, F.; WIDMER, J.; LEO, K.; KRAFT, U. und KLAUK, H.: *Nonlinear Contact Effects in Staggered Thin-Film Transistors*. In: *Physical Review Applied*, Jg. 8 (2017) Nr. 5. DOI: 10.1103/PhysRevApplied.8.054012.
- [GHR+21] GEIGER, M.; HAGEL, M.; REINDL, T.; WEIS, J.; WEITZ, R. T.; SOLODENKO, H.; SCHMITZ, G.; ZSCHIESCHANG, U.; KLAUK, H. und ACHARYA, R.: *Optimizing the plasma oxidation of aluminum gate electrodes for ultrathin gate oxides in organic transistors*. In: *Scientific Reports*, Jg. 11 (2021) Nr. 1, S. 6382. DOI: 10.1038/s41598-021-85517-7.
- [GKF+19] GOMES, T. C.; KUMAR, D.; FUGIKAWA-SANTOS, L.; ALVES, N. und KETTLE, J.: *Optimization of the Anodization Processing for Aluminum Oxide Gate Dielectrics in ZnO Thin Film Transistors by Multivariate Analysis*. In: *ACS combinatorial science*, Jg. 21 (2019) Nr. 5, S. 370–379. DOI: 10.1021/acscombsci.8b00195.
- [GKG09] GUPTA, D.; KATIYAR, M. und GUPTA, D.: *An analysis of the difference in behavior of top and bottom contact organic thin film transistors using device simulation*. In: *Organic Electronics*, Jg. 10 (2009) Nr. 5, S. 775–784. DOI: 10.1016/j.orgel.2009.03.012.
- [Goß18] GOSSNER, S.: *Grundlagen der Elektronik: Halbleiter, Bauelemente und Schaltungen*. 10. ergänzte Auflage. Elektronik. Aachen: Shaker Verlag, (2018). ISBN: 9783826588259.
- [Gra10] GRAUBNER, S.: *Synthese und Charakterisierung von Kupferoxiddünnschichten*. Dissertation. Gießen: Justus-Liebig-Universität Giessen, 2010. URL: <http://geb.uni-giessen.de/geb/volltexte/2010/7747>.

- [GSG+20] GALDÁMEZ-MARTINEZ, A.; SANTANA, G.; GÜELL, F.; MARTÍNEZ-ALANIS, P. R. und DUTT, A.: *Photoluminescence of ZnO Nanowires: A Review*. In: *Nanomaterials (Basel, Switzerland)*, Jg. 10 (2020) Nr. 5, S. 857. DOI: 10.3390/nano10050857. URL: <https://www.mdpi.com/703832>.
- [GSZ+18] GEIGER, M.; SCHWARZ, L.; ZSCHIESCHANG, U.; MANSKE, D.; PFLAUM, J.; WEIS, J.; KLAUK, H. und WEITZ, R. T.: *Quantitative Analysis of the Density of Trap States in Semiconductors by Electrical Transport Measurements on Low-Voltage Field-Effect Transistors*. In: *Physical Review Applied*, Jg. 10 (2018) Nr. 4. DOI: 10.1103/PhysRevApplied.10.044023.
- [GZN+06] GUNDLACH, D. J.; ZHOU, L.; NICHOLS, J. A.; JACKSON, T. N.; NECLIUDOV, P. V. und SHUR, M. S.: *An experimental study of contact effects in organic thin film transistors*. In: *Journal of Applied Physics*, Jg. 100 (2006) Nr. 2, S. 024509. DOI: 10.1063/1.2215132.
- [HDX+13] HOFMANN, O. T.; DEINERT, J.-C.; XU, Y.; RINKE, P.; STÄHLER, J.; WOLF, M. und SCHEFFLER, M.: *Large work function reduction by adsorption of a molecule with a negative electron affinity: pyridine on ZnO(1010)*. In: *The Journal of chemical physics*, Jg. 139 (2013) Nr. 17, S. 174701. DOI: 10.1063/1.4827017.
- [HEH13] HEINEMANN, M.; EIFERT, B. und HEILIGER, C.: *Band structure and phase stability of the copper oxides Cu₂O, CuO, and Cu₄O₃*. In: *Physical Review B*, Jg. 87 (2013) Nr. 11. DOI: 10.1103/PhysRevB.87.115111.
- [HHL+02] HOFMANN, D. M.; HOFSTAETTER, A.; LEITER, F.; ZHOU, H.; HENECKER, F.; MEYER, B. K.; ORLINSKII, S. B.; SCHMIDT, J. und BARANOV, P. G.: *Hydrogen: a relevant shallow donor in zinc oxide*. In: *Physical Review Letters*, Jg. 88 (2002) Nr. 4, S. 045504. DOI: 10.1103/PhysRevLett.88.045504.
- [Hil19] HILLERGMANN, U.: *Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik*. 7., überarbeitete und ergänzte Auflage. Wiesbaden: Springer Vieweg, 2019. ISBN: 9783658234447. DOI: 10.1007/978-3-658-23444-7.
- [HJK+19] HEO, J. S.; JEON, S.-P.; KIM, I.; LEE, W.; KIM, Y.-H. und PARK, S. K.: *Suppression of Interfacial Disorders in Solution-Processed Metal Oxide Thin-Film Transistors by Mg Doping*. In: *ACS Applied Materials & Interfaces*, Jg. 11 (2019) Nr. 51, S. 48054–48061. DOI: 10.1021/acsami.9b17642.

- [HKL+10] HANSEN, B. J.; KOUKLIN, N.; LU, G.; LIN, I.-K.; CHEN, J. und ZHANG, X.: *Transport, Analyte Detection, and Opto-Electronic Response of p-Type CuO Nanowires*. In: *The Journal of Physical Chemistry C*, Jg. 114 (2010) Nr. 6, S. 2440–2447. DOI: 10.1021/jp908850j.
- [HND+08] HOERTZ, P. G.; NISKALA, J. R.; DAI, P.; BLACK, H. T. und YOU, W.: *Comprehensive investigation of self-assembled monolayer formation on ferromagnetic thin film surfaces*. In: *Journal of the American Chemical Society*, Jg. 130 (2008) Nr. 30, S. 9763–9772. DOI: 10.1021/ja800278a.
- [HNW03] HOFFMAN, R. L.; NORRIS, B. J. und WAGER, J. F.: *ZnO-based transparent thin-film transistors*. In: *Applied Physics Letters*, Jg. 82 (2003) Nr. 5, S. 733–735. DOI: 10.1063/1.1542677.
- [Hof06] HOFFMAN, R. L.: *ZnO Thin-Film Transistors*. In: *Zinc Oxide Bulk, Thin Films and Nanostructures*. Hrsg. von JAGADISH, C. und PEARTON, S. Oxford: Elsevier Science Ltd, 2006, S. 415–442. ISBN: 978-0-08-044722-3. DOI: 10.1016/B978-008044722-3/50012-9.
- [HP14] HU, W. und PETERSON, R. L.: *Molybdenum as a contact material in zinc tin oxide thin film transistors*. In: *Applied Physics Letters*, Jg. 104 (2014) Nr. 19, S. 192105. DOI: 10.1063/1.4875958.
- [HST+11] HÜBNER, M.; SIMION, C. E.; TOMESCU-STĂNOIU, A.; POKHREL, S.; BÂRSAN, N. und WEIMAR, U.: *Influence of humidity on CO sensing with p-type CuO thick film gas sensors*. In: *Sensors and Actuators B: Chemical*, Jg. 153 (2011) Nr. 2, S. 347–353. DOI: 10.1016/j.snb.2010.10.046.
- [HTJ+16] HEREMANS, P.; TRIPATHI, A. K.; JAMBLINNE MEUX, A. de; SMITS, E. C. P.; HOU, B.; POURTOIS, G. und GELINCK, G. H.: *Mechanical and Electronic Properties of Thin-Film Transistors on Plastic, and Their Integration in Flexible Electronic Applications*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 28 (2016) Nr. 22, S. 4266–4282. DOI: 10.1002/adma.201504360.
- [Hua14] HUANG, J.: *Zinc Oxide Thin Film Transistors by Radio Frequency Magnetron Sputtering*. Doctoralthesis. Friedrich-Alexander-Universität Erlangen-Nürnberg (FAU), 2014.
- [HW06] HSIEH, H.-H. und WU, C.-C.: *Scaling behavior of ZnO transparent thin-film transistors*. In: *Applied Physics Letters*, Jg. 89 (2006) Nr. 4, S. 041109. DOI: 10.1063/1.2235895.

- [HYC+08] HONG, D.; YERUBANDI, G.; CHIANG, H. Q.; SPIEGELBERG, M. C. und WAGER, J. F.: *Electrical Modeling of Thin-Film Transistors*. In: *Critical Reviews in Solid State and Materials Sciences*, Jg. 33 (2008) Nr. 2, S. 101–132. DOI: 10.1080/10408430701384808.
- [HZZ+06] HADDOCK, J. N.; ZHANG, X.; ZHENG, S.; ZHANG, Q.; MARDER, S. R. und KIPPELEN, B.: *A comprehensive study of short channel effects in organic field-effect transistors*. In: *Organic Electronics*, Jg. 7 (2006) Nr. 1, S. 45–54. DOI: 10.1016/j.orgel.2005.11.002.
- [Ins08] INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS: *1620-2008 IEEE Standard for Test Methods for the Characterization of Organic Transistors and Materials - Redline*. s.l.: IEEE / Institute of Electrical and Electronics Engineers Incorporated, 2008. ISBN: 9780738169514. URL: <http://ieeexplore.ieee.org/servlet/opac?punumber=5982061>.
- [IP81] IVANOV, I. und POLLMANN, J.: *Electronic structure of ideal and relaxed surfaces of ZnO: A prototype ionic wurtzite semiconductor and its surface properties*. In: *Physical review. B, Condensed matter*, Jg. 24 (1981) Nr. 12, S. 7275–7296. DOI: 10.1103/PhysRevB.24.7275.
- [JBA+11] JEON, S.; BENAYAD, A.; AHN, S.-E.; PARK, S.; SONG, I.; KIM, C. und CHUNG, U.-I.: *Short channel device performance of amorphous InGaZnO thin film transistor*. In: *Applied Physics Letters*, Jg. 99 (2011) Nr. 8, S. 082104. DOI: 10.1063/1.3623426.
- [JBC+15] JOUBERT, T.-H.; BEZUIDENHOUT, P. H.; CHEN, H.; SMITH, S. und LAND, K. J.: *Inkjet-printed Silver Tracks on Different Paper Substrates*. In: *Materials Today: Proceedings*, Jg. 2 (2015) Nr. 7, S. 3891–3900. DOI: 10.1016/j.matpr.2015.08.018.
- [JCK+16] JANG, J.; CHUNG, S.; KANG, H. und SUBRAMANIAN, V.: *P-type CuO and Cu₂O transistors derived from a sol-gel copper (II) acetate monohydrate precursor*. In: *Thin Solid Films*, Jg. 600 (2016), S. 157–161. DOI: 10.1016/j.tsf.2016.01.036.
- [JGJ09] JAYATISSA, A. H.; GUO, K. und JAYASURIYA, A. C.: *Fabrication of cuprous and cupric oxide thin films by heat treatment*. In: *Applied Surface Science*, Jg. 255 (2009) Nr. 23, S. 9474–9479. DOI: 10.1016/j.apsusc.2009.07.072.

- [JJP+21] JI, D.; JANG, J.; PARK, J. H.; KIM, D.; RIM, Y. S.; HWANG, D. K. und NOH, Y.-Y.: *Recent progress in the development of backplane thin film transistors for information displays*. In: *Journal of Information Display*, Jg. 22 (2021) Nr. 1, S. 1–11. DOI: 10.1080/15980316.2020.1818641.
- [JJP21] JEONG, S.-G.; JEONG, H.-J. und PARK, J.-S.: *Low Subthreshold Swing and High Performance of Ultrathin PEALD InGaZnO Thin-Film Transistors*. In: *IEEE Transactions on Electron Devices*, Jg. 68 (2021) Nr. 4, S. 1670–1675. DOI: 10.1109/TED.2021.3062321.
- [JKK+18] JO, J.-W.; KIM, K.-H.; KIM, J.; BAN, S. G.; KIM, Y.-H. und PARK, S. K.: *High-Mobility and Hysteresis-Free Flexible Oxide Thin-Film Transistors and Circuits by Using Bilayer Sol-Gel Gate Dielectrics*. In: *ACS Applied Materials & Interfaces*, Jg. 10 (2018) Nr. 3, S. 2679–2687. DOI: 10.1021/acssami.7b10786.
- [JKK+20] JO, J.-W.; KANG, J.; KIM, K.-T.; KANG, S.-H.; SHIN, J.-C.; SHIN, S. B.; KIM, Y.-H. und PARK, S. K.: *Nanocluster-Based Ultralow-Temperature Driven Oxide Gate Dielectrics for High-Performance Organic Electronic Devices*. In: *Materials (Basel, Switzerland)*, Jg. 13 (2020) Nr. 23. DOI: 10.3390/ma13235571.
- [JL19] JANG und LEE: *A Fundamental Reason for the Need of Two Different Semiconductor Technologies for Complementary Thin-Film Transistor Operations*. In: *Crystals*, Jg. 9 (2019) Nr. 11, S. 603. DOI: 10.3390/cryst9110603.
- [JLC20] JANG, Y.; LEE, H. und CHAR, K.: *Transparent thin film transistors of polycrystalline SnO_{2-x} and epitaxial SnO_{2-x}*. In: *AIP Advances*, Jg. 10 (2020) Nr. 3, S. 035011. DOI: 10.1063/1.5143468.
- [JLY22] JEON, Y.; LEE, D. und YOO, H.: *Recent Advances in Metal-Oxide Thin-Film Transistors: Flexible/Stretchable Devices, Integrated Circuits, Biosensors, and Neuromorphic Applications*. In: *Coatings*, Jg. 12 (2022) Nr. 2, S. 204. DOI: 10.3390/coatings12020204.
- [JP06] JAGADISH, C. und PEARTON, S., Hrsg.: *Zinc Oxide Bulk, Thin Films and Nanostructures*. Oxford: Elsevier Science Ltd, 2006. ISBN: 978-0-08-044722-3.

- [JPK+21] JANG, M.; PARK, S. Y.; KIM, S. K.; JUNG, D.; SONG, W.; MYUNG, S.; LEE, S. S.; YOON, D. H. und AN, K.-S.: *Strategic Customization of Polymeric Nanocomposites Modified by 2D Titanium Oxide Nanosheet for High-k and Flexible Gate Dielectrics*. In: *Small*, Jg. 17 (2021) Nr. 17, e2007213. DOI: 10.1002/sm11.202007213.
- [JSK+19] JOO, H.-J.; SHIN, M.-G.; KWON, S.-H.; JEONG, H.-Y.; JEONG, H.-S.; KIM, D.-H.; JIN, X.; SONG, S.-H. und KWON, H.-I.: *High-Gain Complementary Inverter Based on Corbino p-Type Tin Monoxide and n-Type Indium-Gallium-Zinc Oxide Thin-Film Transistors*. In: *IEEE Electron Device Letters*, Jg. 40 (2019) Nr. 10, S. 1642–1645. DOI: 10.1109/LED.2019.2936887.
- [Jv07] JANOTTI, A. und VAN DE WALLE, C. G.: *Native point defects in ZnO*. In: *Physical Review B*, Jg. 76 (2007) Nr. 16. DOI: 10.1103/PhysRevB.76.165202. URL: <https://journals.aps.org/prb/pdf/10.1103/PhysRevB.76.165202>.
- [Jv09] JANOTTI, A. und VAN DE WALLE, C. G.: *Fundamentals of zinc oxide as a semiconductor*. In: *Reports on Progress in Physics*, Jg. 72 (2009) Nr. 12, S. 126501. DOI: 10.1088/0034-4885/72/12/126501.
- [JYC15] JUNG, H. J.; YU, Y. und CHOI, M. Y.: *Facile Preparation of Cu₂O and CuO Nanoparticles by Pulsed Laser Ablation in NaOH Solutions of Different Concentration*. In: *Bulletin of the Korean Chemical Society*, Jg. 36 (2015) Nr. 1, S. 3–4. DOI: 10.1002/bkcs.10012.
- [KA07] KITAMURA, M. und ARAKAWA, Y.: *Low-voltage-operating complementary inverters with C₆₀ and pentacene transistors on glass substrates*. In: *Applied Physics Letters*, Jg. 91 (2007) Nr. 5, S. 053505. DOI: 10.1063/1.2759981.
- [KA19] KAGAN, C. R. und ANDRY, P., Hrsg.: *Thin-film transistors*. First issued in hardback. Boca Raton, London und New York: CRC Press, 2019. ISBN: 9780824709594.
- [KAL+13] KIM, S. Y.; AHN, C. H.; LEE, J. H.; KWON, Y. H.; HWANG, S.; LEE, J. Y. und CHO, H. K.: *p-Channel oxide thin film transistors using solution-processed copper oxide*. In: *ACS applied materials & interfaces*, Jg. 5 (2013) Nr. 7, S. 2417–2421. DOI: 10.1021/am302251s.

- [KB82] KOFFYBERG, F. P. und BENKO, F. A.: *A photoelectrochemical determination of the position of the conduction and valence band edges of p-type CuO*. In: *Journal of Applied Physics*, Jg. 53 (1982) Nr. 2, S. 1173–1177. DOI: 10.1063/1.330567.
- [KGH+06] KLINGSHIRN, C.; GRUNDMANN, M.; HOFFMANN, A. und MEYER, B.: *Zinkoxid - Ein alter, neuer Halbleiter*. In: *Phys. J.*, Jg. 5 (2006).
- [KJ22] KIM, T. und JEONG, J. K.: *Recent Progress and Perspectives of Field-Effect Transistors Based on p-Type Oxide Semiconductors*. In: *physica status solidi (RRL) - Rapid Research Letters*, Jg. 16 (2022) Nr. 1, S. 2100394. DOI: 10.1002/pssr.202100394.
- [KKF+11] KIM, M.-G.; KANATZIDIS, M. G.; FACCHETTI, A. und MARKS, T. J.: *Low-temperature fabrication of high-performance metal oxide thin-film electronics via combustion processing*. In: *Nature Materials*, Jg. 10 (2011) Nr. 5, S. 382–388. DOI: 10.1038/nmat3011.
- [KKP+03] KIM, H.-K.; KIM, K.-K.; PARK, S.-J.; SEONG, T.-Y. und ADESIDA, I.: *Formation of low resistance nonalloyed Al/Pt ohmic contacts on n-type ZnO epitaxial layer*. In: *Journal of Applied Physics*, Jg. 94 (2003) Nr. 6, S. 4225–4227. DOI: 10.1063/1.1604475.
- [Kla08] KLAUK, H., Hrsg.: *Organic electronics*. 2. reprint. Weinheim: Wiley-VCH, 2008. ISBN: 3527312641.
- [Kla10] KLAUK, H.: *Organic thin-film transistors*. In: *Chemical Society Reviews*, Jg. 39 (2010) Nr. 7, S. 2643–2666. DOI: 10.1039/B909902F. URL: <https://pubs.rsc.org/en/content/articlehtml/2010/cs/b909902f>.
- [Kla18] KLAUK, H.: *Will We See Gigahertz Organic Transistors? Advanced Electronic Materials, 4(10), 1700474*. In: *Advanced Electronic Materials*, Jg. 4 (2018) Nr. 10, S. 1700474. DOI: 10.1002/AELM.201700474.
- [Kli05] KLING, R.: *Herstellung und Charakterisierung von ZnO basierenden Nanosäulen*. Diss. Universität Ulm, 2005. DOI: 10.18725/OPARU-428.
- [KMK+10] KIM, W.-S.; MOON, Y.-K.; KIM, K.-T.; LEE, J.-H.; AHN, B.-d. und PARK, J.-W.: *An investigation of contact resistance between metal electrodes and amorphous gallium-indium-zinc oxide (a-GIZO) thin-film transistors*. In: *Thin Solid Films*, Jg. 518 (2010) Nr. 22, S. 6357–6360. DOI: 10.1016/j.tsf.2010.02.044.

- [KMM+07] KALB, W. L.; MEIER, F.; MATTENBERGER, K. und BATLOGG, B.: *Defect healing at room temperature in pentacene thin films and improved transistor performance*. In: *Physical Review B*, Jg. 76 (2007) Nr. 18. DOI: 10.1103/PhysRevB.76.184112.
- [KMT+17] KUMAGAI, S.; MURAKAMI, H.; TSUZUKU, K.; MAKITA, T.; MITSUI, C.; OKAMOTO, T.; WATANABE, S. und TAKEYA, J.: *Solution-processed organic-inorganic hybrid CMOS inverter exhibiting a high gain reaching 890*. In: *Organic Electronics*, Jg. 48 (2017), S. 127–131. DOI: 10.1016/j.orgel.2017.05.050.
- [KN15] KLAR, H. und NOLL, T., Hrsg.: *Integrierte digitale Schaltungen: Vom Transistor zur optimierten Logikschaltung*. 3. Auflage. Berlin und Heidelberg: Springer Vieweg, 2015. ISBN: 978-3-540-40600-6. DOI: 10.1007/978-3-540-69017-7.
- [KNN+15] KIKUCHI, T.; NAKAJIMA, D.; NISHINAGA, O.; NATSUI, S. und SUZUKI, R.: *Porous Aluminum Oxide Formed by Anodizing in Various Electrolyte Species*. In: *Current Nanoscience*, Jg. 11 (2015) Nr. 5, S. 560–571. DOI: 10.2174/1573413711999150608144742.
- [KOA+11] KIDOWAKI, H.; OKU, T.; AKIYAMA, T.; SUZUKI, A.; JEYADEVAN, B. und CUYA, J.: *Fabrication and Characterization of CuO-based Solar Cells*. In: *Journal of Materials Science Research*, Jg. 1 (2011) Nr. 1. DOI: 10.5539/jmsr.v1n1p138.
- [KSS+11] KALTENBRUNNER, M.; STADLER, P.; SCHWÖDIAUER, R.; HASSEL, A. W.; SARICIFTCI, N. S. und BAUER, S.: *Anodized aluminum oxide thin films for room-temperature-processed, flexible, low-voltage organic non-volatile memory elements with excellent charge retention*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 23 (2011) Nr. 42, S. 4892–4896. DOI: 10.1002/adma.201103189.
- [LCL+08] LEE, J.-M.; CHO, I.-T.; LEE, J.-H. und KWON, H.-I.: *Bias-stress-induced stretched-exponential time dependence of threshold voltage shift in InGaZnO thin film transistors*. In: *Applied Physics Letters*, Jg. 93 (2008) Nr. 9, S. 093504. DOI: 10.1063/1.2977865.
- [LCW+21] LI, S.; CHEN, X.; WU, H. und LIU, C.: *Study on ZnO micron channel length thin film transistors using different metal electrodes*. In: *Journal*

- of Alloys and Compounds*, Jg. 888 (2021), S. 161610. DOI: 10.1016/j.jallcom.2021.161610.
- [LFA+21] LI, G.; FAN, Z.; ANDRE, N.; XU, Y.; XIA, Y.; INIGUEZ, B.; LIAO, L. und FLANDRE, D.: *Non-Linear Output-Conductance Function for Robust Analysis of Two-Dimensional Transistors*. In: *IEEE Electron Device Letters*, Jg. 42 (2021) Nr. 1, S. 94–97. DOI: 10.1109/LED.2020.3042212.
- [LGN+11] LEE, S.; GHAFARZADEH, K.; NATHAN, A.; ROBERTSON, J.; JEON, S.; KIM, C.; SONG, I.-H. und CHUNG, U.-I.: *Trap-limited and percolation conduction mechanisms in amorphous oxide semiconductor thin film transistors*. In: *Applied Physics Letters*, Jg. 98 (2011) Nr. 20, S. 203508. DOI: 10.1063/1.3589371.
- [LHC+15] LUNA, I. Z.; HILARY, L. N.; CHOWDHURY, A. M. S.; GAFUR, M. A.; KHAN, N. und KHAN, R. A.: *Preparation and Characterization of Copper Oxide Nanoparticles Synthesized via Chemical Precipitation Method*. In: *OALib*, Jg. 02 (2015) Nr. 03, S. 1–8. DOI: 10.4236/oalib.1101409.
- [LHX+16] LIU, C.; HUSEYNOVA, G.; XU, Y.; LONG, D. X.; PARK, W.-T.; LIU, X.; MINARI, T. und NOH, Y.-Y.: *Universal diffusion-limited injection and the hook effect in organic thin-film transistors*. In: *Scientific Reports*, Jg. 6 (2016), S. 29811. DOI: 10.1038/srep29811.
- [LHZ+15] LI, J.; HUANG, C.-X.; ZHANG, J.-H.; ZHU, W.-Q.; JIANG, X.-Y. und ZHANG, Z.-L.: *Temperature stress on a thin film transistor with a novel BaZnSnO semiconductor using a solution process*. In: *RSC Advances*, Jg. 5 (2015) Nr. 13, S. 9621–9626. DOI: 10.1039/c4ra14222e.
- [Li93] LI, S. S.: *Semiconductor physical electronics*. Microdevices. New York, NY: Plenum Press, 1993. ISBN: 0306441578.
- [Lin12] LIN, W.-Y.: *Anodized Aluminum Oxide and its Application for Organic Transistors and Sensors (Geaanodiseerd aluminiumoxide voor organische transistor- en sensortoepassingen)*. 2012. URL: <https://lirias.kuleuven.be/1732706?limo=0>.
- [LJ11] LEE, U. G. und JANG, J.: *Drain-Induced Barrier Lowering in Short-Channel Poly-Si TFT After Off-Bias Stress Using Metal-Induced Crystallization of Amorphous Silicon*. In: *IEEE Electron Device Letters*, Jg. 32 (2011) Nr. 9, S. 1233–1235. DOI: 10.1109/LED.2011.2159475.

- [LJT+21] LENEFF, J. D.; JO, J.; TREJO, O.; MANDIA, D. J.; PETERSON, R. L. und DASGUPTA, N. P.: *Plasma-Enhanced Atomic Layer Deposition of p-Type Copper Oxide Semiconductors with Tunable Phase, Oxidation State, and Morphology*. In: *The Journal of Physical Chemistry C*, Jg. 125 (2021) Nr. 17, S. 9383–9390. DOI: 10.1021/acs.jpcc.1c00429.
- [LLZ+15] LIU, A.; LIU, G.; ZHU, H.; SONG, H.; SHIN, B.; FORTUNATO, E.; MARTINS, R. und SHAN, F.: *Water-Induced Scandium Oxide Dielectric for Low-Operating Voltage n- and p-Type Metal-Oxide Thin-Film Transistors*. In: *Advanced Functional Materials*, Jg. 25 (2015) Nr. 46, S. 7180–7188. DOI: 10.1002/adfm.201502612.
- [LMN+71] LECHNER, B. J.; MARLOWE, F. J.; NESTER, E. O. und TULTS, J.: *Liquid crystal matrix displays*. In: *Proceedings of the IEEE*, Jg. 59 (1971) Nr. 11, S. 1566–1579. DOI: 10.1109/PROC.1971.8489.
- [LMX+15] LIU, C.; MINARI, T.; XU, Y.; YANG, B.-r.; CHEN, H.-X.; KE, Q.; LIU, X.; HSIAO, H. C.; LEE, C. Y. und NOH, Y.-Y.: *Direct and quantitative understanding of the non-Ohmic contact resistance in organic and oxide thin-film transistors*. In: *Organic Electronics*, Jg. 27 (2015), S. 253–258. DOI: 10.1016/j.orgel.2015.09.024.
- [LNL+17] LIU, A.; NIE, S.; LIU, G.; ZHU, H.; ZHU, C.; SHIN, B.; FORTUNATO, E.; MARTINS, R. und SHAN, F.: *In situ one-step synthesis of p-type copper oxide for low-temperature, solution-processed thin-film transistors*. In: *Journal of Materials Chemistry C*, Jg. 5 (2017) Nr. 10, S. 2524–2530. DOI: 10.1039/C7TC00574A.
- [LP06] LIM, J.-H. und PARK, S.-J.: *Contacts to ZnO*. In: *Zinc oxide bulk, thin films and nanostructures*. Hrsg. von JAGADISH, C. und PEARTON, S. J. Amsterdam und London: Elsevier, 2006, S. 267–283. ISBN: 9780080447223. DOI: 10.1016/B978-008044722-3/50007-5.
- [LRM+15] LENZ, T.; RICHTER, M.; MATT, G. J.; LUECHINGER, N. A.; HALIM, S. C.; HEISS, W. und BRABEC, C. J.: *Charge transport in nanoparticulate thin films of zinc oxide and aluminum-doped zinc oxide*. In: *Journal of Materials Chemistry C*, Jg. 3 (2015) Nr. 7, S. 1468–1472. DOI: 10.1039/C4TC01969E.
- [LVR+91] LI, J.; VIZKELETHY, G.; REVESZ, P.; MAYER, J. W. und TU, K. N.: *Oxidation and reduction of copper oxide thin films*. In: *Journal of Applied Physics*, Jg. 69 (1991) Nr. 2, S. 1020–1029. DOI: 10.1063/1.347417.

- [LWG20] LAHR, O.; WENCKSTERN, H. von und GRUNDMANN, M.: *Ultrahigh-performance integrated inverters based on amorphous zinc tin oxide deposited at room temperature*. In: *APL Materials*, Jg. 8 (2020) Nr. 9, S. 091111. DOI: 10.1063/5.0022975.
- [LWL+16] LI, Z.; WANG, N.; LIN, Z.; WANG, J.; LIU, W.; SUN, K.; FU, Y. Q. und WANG, Z.: *Room-Temperature High-Performance H₂S Sensor Based on Porous CuO Nanosheets Prepared by Hydrothermal Method*. In: *ACS Applied Materials & Interfaces*, Jg. 8 (2016) Nr. 32, S. 20962–20968. DOI: 10.1021/acsami.6b02893.
- [LZG+19] LAHR, O.; ZHANG, Z.; GROTHJAHN, F.; SCHLUPP, P.; VOGT, S.; WENCKSTERN, H. von; THIEDE, A. und GRUNDMANN, M.: *Full-Swing, High-Gain Inverters Based on ZnSnO JFETs and MESFETs*. In: *IEEE Transactions on Electron Devices*, Jg. 66 (2019) Nr. 8, S. 3376–3381. DOI: 10.1109/TED.2019.2922696.
- [MAO+15] MITOMA, N.; AIKAWA, S.; OU-YANG, W.; GAO, X.; KIZU, T.; LIN, M.-F.; FUJIWARA, A.; NABATAME, T. und TSUKAGOSHI, K.: *Dopant selection for control of charge carrier density and mobility in amorphous indium oxide thin-film transistors: Comparison between Si- and W-dopants*. In: *Applied Physics Letters*, Jg. 106 (2015) Nr. 4, S. 042106. DOI: 10.1063/1.4907285.
- [Max19] MAXIM INTEGRATED PRODUCTS: *Datasheet DS18B20 - Programmable Resolution 1-Wire Digital Thermometer*. 2019.
- [Mera] MERCK PERFORMANCE MATERIALS GMBH: *Technisches Datenblatt: AZ 5214 E Photoresist*. Hrsg. von MICROCHEMICALS. URL: https://www.microchemicals.net/micro/tds_az_5214e_photoresist.pdf.
- [Merb] MERCK PERFORMANCE MATERIALS GMBH: *Umkehrlacke und ihre Prozessierung*. Hrsg. von MICROCHEMICALS. URL: https://www.microchemicals.com/technische_informationen/umkehrlacke.pdf.
- [Mer07] MERITA, S.: *Synthese und Charakterisierung oxidischer Halbleiterlegierungen*. Dissertation. Gießen: Justus-Liebig-Universität Gießen, 2007. URL: <http://geb.uni-giessen.de/geb/volltexte/2007/4674>.
- [Mey21] MEYERS, T.: *Integrationstechniken für organische Dünnschichttransistoren in der flexiblen Elektronik*. 2021. DOI: 10.17619/UNIPB/1-1105.

- [Mic77] MICHAELSON, H. B.: *The work function of the elements and its periodicity*. In: *Journal of Applied Physics*, Jg. 48 (1977) Nr. 11, S. 4729–4733. DOI: 10.1063/1.323539.
- [Mit] MITSUBISHI POLYESTER FILM GMBH: *Technisches Datenblatt: Hostaphan GN*. URL: <https://www.m-petfilm.de/wp-content/uploads/GNe.pdf>.
- [Mit04] MITZI, D. B.: *Solution-processed inorganic semiconductors*. In: *Journal of Materials Chemistry*, Jg. 14 (2004) Nr. 15, S. 2355. DOI: 10.1039/b403482a.
- [MKC22] MOUMEN, A.; KUMARAGE, G. C. W. und COMINI, E.: *P-Type Metal Oxide Semiconductor Thin Films: Synthesis and Chemical Sensor Applications*. In: *Sensors*, Jg. 22 (2022) Nr. 4, S. 1359. DOI: 10.3390/s22041359.
- [MKL+14] MINARI, T.; KANEHARA, Y.; LIU, C.; SAKAMOTO, K.; YASUDA, T.; YAGUCHI, A.; TSUKADA, S.; KASHIZAKI, K. und KANEHARA, M.: *Room-Temperature Printing of Organic Thin-Film Transistors with π -Junction Gold Nanoparticles*. In: *Advanced Functional Materials*, Jg. 24 (2014) Nr. 31, S. 4886–4892. DOI: 10.1002/adfm.201400169.
- [MLK+16] MAENG, W.; LEE, S.-H.; KWON, J.-D.; PARK, J. und PARK, J.-S.: *Atomic layer deposited p-type copper oxide thin films and the associated thin film transistor properties*. In: *Ceramics International*, Jg. 42 (2016) Nr. 4, S. 5517–5522. DOI: 10.1016/j.ceramint.2015.12.109.
- [MM03] MEYER, B. und MARX, D.: *Density-functional study of the structure and stability of ZnO surfaces*. In: *Physical review. B, Condensed matter*, Jg. 67 (2003) Nr. 3. DOI: 10.1103/PhysRevB.67.035403.
- [MN21] MIRSHOJAEIAN HOSSEINI, M. J. und NAWROCKI, R. A.: *A Review of the Progress of Thin-Film Transistors and Their Technologies for Flexible Electronics*. In: *Micromachines*, Jg. 12 (2021) Nr. 6. DOI: 10.3390/mi12060655.
- [MNF+00] MIWA, M.; NAKAJIMA, A.; FUJISHIMA, A.; HASHIMOTO, K. und WATANABE, T.: *Effects of the Surface Roughness on Sliding Angles of Water Droplets on Superhydrophobic Surfaces*. In: *Langmuir*, Jg. 16 (2000) Nr. 13, S. 5754–5760. DOI: 10.1021/1a991660o.

- [MNY+08] MATSUZAKI, K.; NOMURA, K.; YANAGI, H.; KAMIYA, T.; HIRANO, M. und HOSONO, H.: *Epitaxial growth of high mobility Cu₂O thin films and application to p-channel thin film transistor*. In: *Applied Physics Letters*, Jg. 93 (2008) Nr. 20, S. 202107. DOI: 10.1063/1.3026539.
- [MNY+09] MATSUZAKI, K.; NOMURA, K.; YANAGI, H.; KAMIYA, T.; HIRANO, M. und HOSONO, H.: *Effects of post-annealing on (110) Cu₂O epitaxial films and origin of low mobility in Cu₂O thin-film transistor*. In: *physica status solidi (a)*, Jg. 206 (2009) Nr. 9, S. 2192–2197. DOI: 10.1002/pssa.200881795.
- [MPR+12] MEYER, B. K.; POLITY, A.; REPPIN, D.; BECKER, M.; HERING, P.; KLAR, P. J.; SANDER, T.; REINDL, C.; BENZ, J.; EICKHOFF, M.; HEILIGER, C.; HEINEMANN, M.; BLÄSING, J.; KROST, A.; SHOKOVETS, S.; MÜLLER, C. und RONNING, C.: *Binary copper oxide semiconductors: From materials towards devices*. In: *physica status solidi (b)*, Jg. 249 (2012) Nr. 8, S. 1487–1509. DOI: 10.1002/pssb.201248128.
- [MPZ+13] MUNZENRIEDER, N.; PETTI, L.; ZYSSET, C.; KINKELDEI, T.; SALVATORE, G. A. und TROSTER, G.: *Flexible Self-Aligned Amorphous InGaZnO Thin-Film Transistors With Submicrometer Channel Length and a Transit Frequency of 135 MHz*. In: *IEEE Transactions on Electron Devices*, Jg. 60 (2013) Nr. 9, S. 2815–2820. DOI: 10.1109/TED.2013.2274575.
- [MSG04] MAJEWSKI, L. A.; SCHROEDER, R. und GRELL, M.: *Flexible high capacitance gate insulators for organic field effect transistors*. In: *Journal of Physics D: Applied Physics*, Jg. 37 (2004) Nr. 1, S. 21–24. DOI: 10.1088/0022-3727/37/1/005.
- [MSP+14] MÜNZENRIEDER, N.; SALVATORE, G. A.; PETTI, L.; ZYSSET, C.; BÜTHE, L.; VOGT, C.; CANTARELLA, G. und TRÖSTER, G.: *Contact resistance and overlapping capacitance in flexible sub-micron long oxide thin-film transistors for above 100 MHz operation*. In: *Applied Physics Letters*, Jg. 105 (2014) Nr. 26, S. 263504. DOI: 10.1063/1.4905015.
- [MVB+17] MEYERS, T.; VIDOR, F. F.; BRASSAT, K.; LINDNER, J. K. und HILLERGMANN, U.: *Low-voltage DNTT-based thin-film transistors and inverters for flexible electronics*. In: *Microelectronic Engineering*, Jg. 174 (2017), S. 35–39. DOI: 10.1016/j.mee.2016.12.018.
- [Nan16] NANOPHASE TECHNOLOGIES CORPORATION: *Datasheet: ZN-3014A*. Rosemeville, IL, US, 2016.

- [NAW+03] NORRIS, B. J.; ANDERSON, J.; WAGER, J. F. und KESZLER, D. A.: *Spin-coated zinc oxide transparent transistors*. In: *Journal of Physics D: Applied Physics*, Jg. 36 (2003) Nr. 20, S. L105–L107. DOI: 10.1088/0022-3727/36/20/L02.
- [NGJ03] NICHOLS, J. A.; GUNDLACH, D. J. und JACKSON, T. N.: *Potential imaging of pentacene organic thin-film transistors*. In: *Applied Physics Letters*, Jg. 83 (2003) Nr. 12, S. 2366–2368. DOI: 10.1063/1.1611278.
- [NKK+15] NORITA, S.; KUMAKI, D.; KOBAYASHI, Y.; SATO, T.; FUKUDA, K. und TOKITO, S.: *Inkjet-printed copper electrodes using photonic sintering and their application to organic thin-film transistors*. In: *Organic Electronics*, Jg. 25 (2015), S. 131–134. DOI: 10.1016/j.orgel.2015.06.026.
- [NKO+04] NOMURA, K.; KAMIYA, T.; OHTA, H.; UEDA, K.; HIRANO, M. und HOSONO, H.: *Carrier transport in transparent oxide semiconductor with intrinsic structural randomness probed using single-crystalline $\text{InGaO}_3(\text{ZnO})_5$ films*. In: *Applied Physics Letters*, Jg. 85 (2004) Nr. 11, S. 1993–1995. DOI: 10.1063/1.1788897.
- [NN18] NKETIA-YAWSON, B. und NOH, Y.-Y.: *Recent Progress on High-Capacitance Polymer Gate Dielectrics for Flexible Low-Voltage Transistors*. In: *Advanced Functional Materials*, Jg. 28 (2018) Nr. 42, S. 1802201. DOI: 10.1002/adfm.201802201.
- [NSG+00] NECLIUDOV, P. V.; SHUR, M. S.; GUNDLACH, D. J. und JACKSON, T. N.: *Modeling of organic thin film transistors of different designs*. In: *Journal of Applied Physics*, Jg. 88 (2000) Nr. 11, S. 6594–6597. DOI: 10.1063/1.1323534.
- [NT18] NISHIO, K. und TSUCHIYA, T.: *Sol-Gel Processing of Thin Films with Metal Salts*. In: *Handbook of sol-gel science and technology*. Hrsg. von KLEIN, L.; APARICIO, M. und JITIANU, A. Springer Reference. Cham, Switzerland: Springer, 2018, S. 133–154. ISBN: 978-3-319-32099-1. DOI: 10.1007/978-3-319-32101-1{\textunderscore}3.
- [ÖAL+05] ÖZGÜR, Ü.; ALIVOV, Y. I.; LIU, C.; TEKE, A.; RESHCHIKOV, M. A.; DOĞAN, S.; AVRUTIN, V.; CHO, S.-J. und MORKOÇ, H.: *A comprehensive review of ZnO materials and devices*. In: *Journal of Applied Physics*, Jg. 98 (2005) Nr. 4, S. 041301. DOI: 10.1063/1.1992666.

- [OAP+19] OVIROH, P. O.; AKBARZADEH, R.; PAN, D.; COETZEE, R. A. M. und JEN, T.-C.: *New development of atomic layer deposition: processes, methods and applications*. In: *Science and Technology of Advanced Materials*, Jg. 20 (2019) Nr. 1, S. 465–496. DOI: 10.1080/14686996.2019.1599694.
- [OGL+02] ORTIZ-CONDE, A.; GARCÍA SÁNCHEZ, F. J.; LIU, J. J.; CERDEIRA, A.; ESTRADA, M. und YUE, Y.: *A review of recent MOSFET threshold voltage extraction methods*. In: *Microelectronics Reliability*, Jg. 42 (2002) Nr. 4-5, S. 583–596. DOI: 10.1016/S0026-2714(02)00027-6. URL: <https://www.sciencedirect.com/science/article/pii/S0026271402000276>.
- [OKB05] OHYA, Y.; KUME, T. und BAN, T.: *Fabrication of Zinc Oxide Transparent Thin-Film Transistor with ZrO₂ Insulating Layer by Sol–Gel Method*. In: *Japanese Journal of Applied Physics*, Jg. 44 (2005) Nr. 4A, S. 1919–1922. DOI: 10.1143/JJAP.44.1919.
- [OMS19] OOSTHUIZEN, D. N.; MOTAUNG, D. E. und SWART, H. C.: *Selective detection of CO at room temperature with CuO nanoplatelets sensor for indoor air quality monitoring manifested by crystallinity*. In: *Applied Surface Science*, Jg. 466 (2019), S. 545–553. DOI: 10.1016/j.apsusc.2018.09.219.
- [Osm12] OSMOND, G.: *Zinc white: a review of zinc oxide pigment properties and implications for stability in oil-based paintings*. In: *AICCM Bulletin*, Jg. 33 (2012) Nr. 1, S. 20–29. DOI: 10.1179/bac.2012.33.1.004.
- [PBG+07] PARK, J.-W.; BAEG, K.-J.; GHIM, J.; KANG, S.-J.; PARK, J.-H. und KIM, D.-Y.: *Effects of Copper Oxide/Gold Electrode as the Source-Drain Electrodes in Organic Thin-Film Transistors*. In: *Electrochemical and Solid-State Letters*, Jg. 10 (2007) Nr. 11, H340. DOI: 10.1149/1.2774683.
- [PBS+15] PECUNIA, V.; BANGER, K.; SOU, A. und SIRRINGHAUS, H.: *Solution-based self-aligned hybrid organic/metal-oxide complementary logic with megahertz operation*. In: *Organic Electronics*, Jg. 21 (2015), S. 177–183. DOI: 10.1016/j.orgel.2015.03.004.
- [PFL+18] PENG, B.; FENG, C.; LIU, S. und ZHANG, R.: *Synthesis of CuO catalyst derived from HKUST-1 temple for the low-temperature NH₃-SCR process*. In: *Catalysis Today*, Jg. 314 (2018), S. 122–128. DOI: 10.1016/j.cattod.2017.10.044.

- [PJF16] POLSTER, S.; JANK, M. P. M. und FREY, L.: *Correlation of film morphology and defect content with the charge-carrier transport in thin-film transistors based on ZnO nanoparticles*. In: *Journal of Applied Physics*, Jg. 119 (2016) Nr. 2, S. 024504. DOI: 10.1063/1.4939289.
- [PJM+20] POKPAS, K.; JAHED, N.; McDONALD, E.; BEZUIDENHOUT, P.; SMITH, S.; LAND, K. und IWUOHA, E.: *Graphene–AuNP Enhanced Inkjet–printed Silver Nanoparticle Paper Electrodes for the Detection of Nickel(II)–Dimethylglyoxime [Ni(dmgh₂)] Complexes by Adsorptive Cathodic Stripping Voltammetry (AdCSV)*. In: *Electroanalysis*, Jg. 32 (2020) Nr. 12, S. 3017–3031. DOI: 10.1002/elan.202060379.
- [PKK+08] PARK, J.; KIM, C.; KIM, S.; SONG, I.; KIM, S.; KANG, D.; LIM, H.; YIN, H.; JUNG, R.; LEE, E.; LEE, J.; KWON, K.-W. und PARK, Y.: *Source/Drain Series-Resistance Effects in Amorphous Gallium–Indium Zinc-Oxide Thin Film Transistors*. In: *IEEE Electron Device Letters*, Jg. 29 (2008) Nr. 8, S. 879–881. DOI: 10.1109/LED.2008.2000815.
- [Pla] PLASMACHEM GMBH: *Datasheet: Copper oxide nanopowder*. URL: <https://shop.plasmachem.com/oxide-nanoparticles/116-655-copper-oxide-nanopowder.html#/30-weight-10g>.
- [PMV+16] PETTI, L.; MÜNZENRIEDER, N.; VOGT, C.; FABER, H.; BÜTHE, L.; CANTARELLA, G.; BOTTACCHI, F.; ANTHOPOULOS, T. D. und TRÖSTER, G.: *Metal oxide semiconductor thin-film transistors for flexible electronics*. In: *Applied Physics Reviews*, Jg. 3 (2016) Nr. 2, S. 021303. DOI: 10.1063/1.4953034.
- [PNS+17] PECUNIA, V.; NIKOLKA, M.; SOU, A.; NASRALLAH, I.; AMIN, A. Y.; McCULLOCH, I. und SIRRINGHAUS, H.: *Trap Healing for High-Performance Low-Voltage Polymer Transistors and Solution-Based Analog Amplifiers on Foil*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 29 (2017) Nr. 23. DOI: 10.1002/adma.201606938.
- [PTS+20] PATIL, B. B.; TAKEDA, Y.; SINGH, S.; WANG, T.; SINGH, A.; DO, T. T.; SINGH, S. P.; TOKITO, S.; PANDEY, A. K. und SONAR, P.: *Electrode and dielectric layer interface device engineering study using furan flanked diketopyrrolopyrrole-dithienothiophene polymer based organic transistors*. In: *Scientific Reports*, Jg. 10 (2020) Nr. 1, S. 19989. DOI: 10.1038/s41598-020-76962-x.

- [PYL+13] PARK, J. H.; YOO, Y. B.; LEE, K. H.; JANG, W. S.; OH, J. Y.; CHAE, S. S. und BAIK, H. K.: *Low-temperature, high-performance solution-processed thin-film transistors with peroxy-zirconium oxide dielectric*. In: *ACS Applied Materials & Interfaces*, Jg. 5 (2013) Nr. 2, S. 410–417. DOI: 10.1021/am3022625.
- [Rah19] RAHMAN, F.: *Zinc oxide light-emitting diodes: a review*. In: *Optical Engineering*, Jg. 58 (2019) Nr. 01, S. 1. DOI: 10.1117/1.OE.58.1.010901.
- [Rak86] RAKHSHANI, A. E.: *Preparation, characteristics and photovoltaic properties of cuprous oxide—a review*. In: *Solid-State Electronics*, Jg. 29 (1986) Nr. 1, S. 7–17. DOI: 10.1016/0038-1101(86)90191-7.
- [RFK+14] ROTHLÄNDER, T.; FIAN, A.; KRAXNER, J.; GROGGER, W.; GOLD, H.; HAASE, A. und STADLOBER, B.: *Channel length variation in self-aligned, nanoimprint lithography structured OTFTs*. In: *Organic Electronics*, Jg. 15 (2014) Nr. 11, S. 3274–3281. DOI: 10.1016/j.orgel.2014.08.055.
- [Rid75] RIDEOUT, V. L.: *A review of the theory and technology for ohmic contacts to group III–V compound semiconductors*. In: *Solid-State Electronics*, Jg. 18 (1975) Nr. 6, S. 541–550. DOI: 10.1016/0038-1101(75)90031-3.
- [RJN+14] RAJA, J.; JANG, K.; NGUYEN, C. P. T.; BALAJI, N.; CHATTERJEE, S. und YI, J.: *Drain-Induced Barrier Lowering and Parasitic Resistance Induced Instabilities in Short-Channel InSnZnO TFTs*. In: *IEEE Electron Device Letters*, Jg. 35 (2014) Nr. 7, S. 756–758. DOI: 10.1109/LED.2014.2318754.
- [RK11] RODNYI, P. A. und KHODYUK, I. V.: *Optical and luminescence properties of zinc oxide (Review)*. In: *Optics and Spectroscopy*, Jg. 111 (2011) Nr. 5, S. 776–785. DOI: 10.1134/S0030400X11120216.
- [RM91] RUGE, I. und MADER, H.: *Halbleiter-Technologie*. Dritte, völlig neubearbeitete und erweiterte Auflage. Bd. 4. Halbleiter-Elektronik, Eine aktuelle Buchreihe für Studierende und Ingenieure. Berlin und Heidelberg: Springer, 1991. ISBN: 9783642582356. DOI: 10.1007/978-3-642-58235-6.
- [Sch01] SCHMIDT, H. K.: *Das Sol-Gel-Verfahren: Anorganische Synthesemethoden*. In: *Chemie in unserer Zeit*, Jg. 35 (2001) Nr. 3, S. 176–184. DOI: 10.1002/1521-3781(200106)35:3<>176::AID-CIUZ176<>3.0.CO;2-B.

- [Sch06] SCHRODER, D. K.: *Semiconductor material and device characterization*. Third edition. Hoboken, New Jersey und Piscataway, New Jersey: IEEE Press Wiley-Interscience und IEEE Xplore, 2006. ISBN: 9780471749097. DOI: 10.1002/0471749095.
- [Sch08] SCHWIRN, K.: *Harte Anodisation von Aluminium mit verdünnter Schwefelsäure*. Dissertation. Martin-Luther-Universität Halle-Wittenberg, 2008.
- [Sch17] SCHREIBER, M.: *Elektrochemisches Modell zur Beschreibung der Konversion von Aluminium durch anodische Oxidation*. Dissertation. Technische Universität Chemnitz, 11.01.2017.
- [Sch99] SCHULZ, M.: *The end of the road for silicon?* In: *Nature*, Jg. 399 (1999) Nr. 6738, S. 729–730. DOI: 10.1038/21526.
- [Set75] SETO, J. Y. W.: *The electrical properties of polycrystalline silicon films*. In: *Journal of Applied Physics*, Jg. 46 (1975) Nr. 12, S. 5247–5254. DOI: 10.1063/1.321593.
- [Sha] SHARP: *Fortschrittliche Display-Technologie*. Hrsg. von SHARP. URL: <https://www.sharp.at/cps/rde/xchg/at/hs.xsl/-/html/technologie.htm>.
- [SHZ+19] SHANG, Z.-W.; HSU, H.-H.; ZHENG, Z.-W. und CHENG, C.-H.: *Progress and challenges in p-type oxide-based thin film transistors*. In: *Nanotechnology Reviews*, Jg. 8 (2019) Nr. 1, S. 422–443. DOI: 10.1515/ntrev-2019-0038.
- [Siga] SIGMA-ALDRICH: *2,3,4,5,6-Pentafluor-thiophenol 97% | Sigma-Aldrich*. URL: <https://www.sigmaaldrich.com/DE/de/product/aldrich/p5654>.
- [Sigb] SIGMA-ALDRICH: *Aluminiumnitrat Nonahydrat*. URL: <https://www.sigmaaldrich.com/DE/de/product/aldrich/229415>.
- [SIR21] SCHOLTEN, C.; IZSAK, K. und RETANA, M. P. F. de: *Advanced technologies for industry: Product watch : flexible and printed electronics*. Brussels: European Commission, February 2021. ISBN: 978-92-9460-556-6. DOI: 10.2826/295137.
- [SJ18] SHIJEESH, M. R. und JAYARAJ, M. K.: *Low temperature fabrication of Cu_xO thin-film transistors and investigation on the origin of low field effect mobility*. In: *Journal of Applied Physics*, Jg. 123 (2018) Nr. 16, S. 161538. DOI: 10.1063/1.4991812.

- [SKJ+10] SUNG, S.-Y.; KIM, S.-Y.; JO, K.-M.; LEE, J.-H.; KIM, J.-J.; KIM, S.-G.; CHAI, K.-H.; PEARTON, S. J.; NORTON, D. P. und HEO, Y.-W.: *Fabrication of p-channel thin-film transistors using CuO active layers deposited at low temperature*. In: *Applied Physics Letters*, Jg. 97 (2010) Nr. 22, S. 222109. DOI: 10.1063/1.3521310.
- [SKY+08] SONG, I.; KIM, S.; YIN, H.; KIM, C. J.; PARK, J.; KIM, S.; CHOI, H. S.; LEE, E. und PARK, Y.: *Short Channel Characteristics of Gallium–Indium–Zinc–Oxide Thin Film Transistors for Three-Dimensional Stacking Memory*. In: *IEEE Electron Device Letters*, Jg. 29 (2008) Nr. 6, S. 549–552. DOI: 10.1109/LED.2008.920965.
- [SKZ+17] SCHEIDELER, W. J.; KUMAR, R.; ZEUMAULT, A. R. und SUBRAMANIAN, V.: *Low-Temperature-Processed Printed Metal Oxide Transistors Based on Pure Aqueous Inks*. In: *Advanced Functional Materials*, Jg. 27 (2017) Nr. 14, S. 1606062. DOI: 10.1002/adfm.201606062.
- [SLM+12] SUN, Y.-F.; LIU, S.-B.; MENG, F.-L.; LIU, J.-Y.; JIN, Z.; KONG, L.-T. und LIU, J.-H.: *Metal oxide nanostructures and their gas sensing properties: a review*. In: *Sensors (Basel, Switzerland)*, Jg. 12 (2012) Nr. 3, S. 2610–2631. DOI: 10.3390/s120302610.
- [SM08] SURESH, A. und MUTH, J. F.: *Bias stress stability of indium gallium zinc oxide channel based transparent thin film transistors*. In: *Applied Physics Letters*, Jg. 92 (2008) Nr. 3, S. 033502. DOI: 10.1063/1.2824758.
- [SMF+06] SHIMODA, T.; MATSUKI, Y.; FURUSAWA, M.; AOKI, T.; YUDASAKA, I.; TANAKA, H.; IWASAWA, H.; WANG, D.; MIYASAKA, M. und TAKEUCHI, Y.: *Solution-processed silicon films and transistors*. In: *Nature*, Jg. 440 (2006) Nr. 7085, S. 783–786. DOI: 10.1038/nature04613.
- [SMK+18] SCHEIDELER, W. J.; MCPHAIL, M. W.; KUMAR, R.; SMITH, J. und SUBRAMANIAN, V.: *Scalable, High-Performance Printed InO_x Transistors Enabled by Ultraviolet-Annealed Printed High-k AlO_x Gate Dielectrics*. In: *ACS Applied Materials & Interfaces*, Jg. 10 (2018) Nr. 43, S. 37277–37286. DOI: 10.1021/acsmi.8b12895.
- [SMR74] SCHMIDT-WHITLEY, R. D.; MARTINEZ-CLEMENTE, M. und REVCOLEVSCHI, A.: *Growth and microstructural control of single crystal cuprous oxide Cu₂O*. In: *Journal of Crystal Growth*, Jg. 23 (1974) Nr. 2, S. 113–120. DOI: 10.1016/0022-0248(74)90110-9.

- [SN07] SZE, S. M. und NG, K. K.: *Physics of semiconductor devices*. 3. ed. Hoboken, NJ: Wiley-Interscience, 2007. ISBN: 9780470068328. DOI: 10.1002/0470068329. URL: <http://search.ebscohost.com/login.aspx?direct=true&scope=site&db=nlebk&db=nlabk&AN=172575>.
- [SNK+19] SINGH, A.; NIVEDAN, A.; KUMAR, S. und KUMAR, S.: *Impurity assisted hopping conduction and persistent photoconductivity in disordered carbon nanoparticle film*. In: *Journal of Applied Physics*, Jg. 126 (2019) Nr. 22, S. 225102. DOI: 10.1063/1.5114780.
- [SPD03] SCHEINERT, S.; PAASCH, G. und DOLL, T.: *The influence of bulk traps on the subthreshold characteristics of an organic field effect transistor*. In: *Synthetic Metals*, Jg. 139 (2003) Nr. 2, S. 233–237. DOI: 10.1016/S0379-6779(03)00130-9.
- [SPQ+18] SIDDIQUI, H.; PARRA, M. R.; QURESHI, M. S.; MALIK, M. M. und HAQUE, F. Z.: *Studies of structural, optical, and electrical properties associated with defects in sodium-doped copper oxide (CuO/Na) nanostructures*. In: *Journal of Materials Science*, Jg. 53 (2018) Nr. 12, S. 8826–8843. DOI: 10.1007/s10853-018-2179-6.
- [SS19] SCHEIDELER, W. und SUBRAMANIAN, V.: *Printed flexible and transparent electronics: enhancing low-temperature processed metal oxides with 0D and 1D nanomaterials*. In: *Nanotechnology*, Jg. 30 (2019) Nr. 27, S. 272001. DOI: 10.1088/1361-6528/ab1167.
- [SSJ+04] SANG MIN YI; SUNG HUN JIN; JONG DUK LEE und CHONG NAM CHU: *Fabrication of a high-aspect-ratio stainless steel shadow mask and its application to pentacene thin-film transistors*. In: *Journal of Micromechanics and Microengineering*, Jg. 15 (2004) Nr. 2, S. 263–269. DOI: 10.1088/0960-1317/15/2/003.
- [SSN+21] SINGH, V.; SINHA, J.; NANDA, A.; SHIVASHANKAR, S. A.; BHAT, N. und AVASTHI, S.: *Precursor to Gas Sensor: A Detailed Study of the Suitability of Copper Complexes as an MOCVD Precursor and their Application in Gas Sensing*. In: *Inorganic chemistry*, Jg. 60 (2021) Nr. 22, S. 17141–17150. DOI: 10.1021/acs.inorgchem.1c02410.
- [ST08] SINGHA, S. und THOMAS, M.: *Dielectric properties of epoxy nanocomposites*. In: *IEEE Transactions on Dielectrics and Electrical Insulation*, Jg. 15 (2008) Nr. 1, S. 12–23. DOI: 10.1109/T-DEI.2008.4446732.

- [Ste21] STEINHAEUER, S.: *Gas Sensors Based on Copper Oxide Nanomaterials: A Review*. In: *Chemosensors*, Jg. 9 (2021) Nr. 3, S. 51. DOI: 10.3390/chemosensors9030051.
- [Str19] STRECKER, M.: *Organische Dünnschichttransistoren mit gedrucktem Halbleiter für Schaltungen und Anzeigen*. 2019. DOI: 10.18419/OPUS-10523.
- [STT+14] SAW, K. G.; TNEH, S. S.; TAN, G. L.; YAM, F. K.; NG, S. S. und HASSAN, Z.: *Ohmic-rectifying conversion of Ni contacts on ZnO and the possible determination of ZnO thin film surface polarity*. In: *PloS one*, Jg. 9 (2014) Nr. 1, e86544. DOI: 10.1371/journal.pone.0086544.
- [SVJ14] SANAL, K. C.; VIKAS, L. S. und JAYARAJ, M. K.: *Room temperature deposited transparent p-channel CuO thin film transistors*. In: *Applied Surface Science*, Jg. 297 (2014), S. 153–157. DOI: 10.1016/j.apsusc.2014.01.109.
- [SVW+20] SCHLUPP, P.; VOGT, S.; WENCKSTERN, H. von und GRUNDMANN, M.: *Low voltage, high gain inverters based on amorphous zinc tin oxide on flexible substrates*. In: *APL Materials*, Jg. 8 (2020) Nr. 6, S. 061112. DOI: 10.1063/1.5143217.
- [SYK+20] SEO, S. G.; YU, S. J.; KIM, S. Y.; JEONG, J. und JIN, S. H.: *Channel Shape Effects on Device Instability of Amorphous Indium-Gallium-Zinc Oxide Thin Film Transistors*. In: *Micromachines*, Jg. 12 (2020) Nr. 1. DOI: 10.3390/mi12010002.
- [SYT+15] SHIWAKU, R.; YOSHIMURA, Y.; TAKEDA, Y.; FUKUDA, K.; KUMAKI, D. und TOKITO, S.: *Control of threshold voltage in organic thin-film transistors by modifying gate electrode surface with MoO_x aqueous solution and inverter circuit applications*. In: *Applied Physics Letters*, Jg. 106 (2015) Nr. 5, S. 053301. DOI: 10.1063/1.4907317.
- [Sze91] SZE, S. M., Hrsg.: *Semiconductor devices: Pioneering papers*. Singapore: WORLD SCIENTIFIC, 1991. ISBN: 9789810202095.
- [Tao05] TAO, X., Hrsg.: *Wearable electronics and photonics*. Bd. 46. Woodhead Publishing series in textiles. Boca Raton und Cambridge: CRC Press und Woodhead Publ, 2005. ISBN: 9781855736054.
- [TDK95] TORSI, L.; DODABALAPUR, A. und KATZ, H. E.: *An analytical model for short-channel organic thin-film transistors*. In: *Journal of Applied Physics*, Jg. 78 (1995) Nr. 2, S. 1088–1093. DOI: 10.1063/1.360341.

- [Thu11] THUSELT, F.: *Physik der Halbleiterbauelemente*. Berlin, Heidelberg: Springer Berlin Heidelberg, 2011. ISBN: 978-3-642-20031-1. DOI: 10.1007/978-3-642-20032-8.
- [TMN+13] TAHIR, M.; MEHMOOD, M.; NADEEM, M.; WAHEED, A. und TANVIR, M. T.: *On the variation in the electrical properties and ac conductivity of through-thickness nano-porous anodic alumina with temperature*. In: *Physica B: Condensed Matter*, Jg. 425 (2013), S. 48–57. DOI: 10.1016/j.physb.2013.05.018.
- [TNK+20] TIWARI, N.; NIRMAL, A.; KULKARNI, M. R.; JOHN, R. A. und MATHEWS, N.: *Enabling high performance n-type metal oxide semiconductors at low temperatures for thin film transistors*. In: *Inorganic Chemistry Frontiers*, Jg. 7 (2020) Nr. 9, S. 1822–1844. DOI: 10.1039/d0qi00038h.
- [Tri07] TRINAMIC MOTION CONTROL GMBH & CO. KG: *QMOT Motor QSH4218 Manual*. Hamburg, Deutschland, 2007.
- [Tun01] TUNG, R. T.: *Recent advances in Schottky barrier concepts*. In: *Materials Science and Engineering: R: Reports*, Jg. 35 (2001) Nr. 1-3, S. 1–138. DOI: 10.1016/S0927-796X(01)00037-7.
- [TvH+20] TRINH, B. N. Q.; VAN DUNG, N.; HOA, N. Q.; DUC, N. H.; MINH, D. H. und FUJIWARA, A.: *Solution-Processed Cupric Oxide P-type Channel Thin-Film Transistors*. In: *Thin Solid Films*, Jg. 704 (2020), S. 137991. DOI: 10.1016/j.tsf.2020.137991.
- [UKT+15] USHA, V.; KALYANARAMAN, S.; THANGAVEL, R. und VETTUMPERUMAL, R.: *Effect of catalysts on the synthesis of CuO nanoparticles: Structural and optical properties by sol-gel method*. In: *Superlattices and Microstructures*, Jg. 86 (2015), S. 203–210. DOI: 10.1016/j.spmi.2015.07.053.
- [US a] US RESEARCH NANOMATERIALS, INC.: *Datasheet: AZO Nanoparticles*. Houston. URL: <https://www.us-nano.com/inc/sdetail/3799>.
- [US b] US RESEARCH NANOMATERIALS, INC.: *Datasheet: Copper Oxide CuO Nanopowder*. Houston. URL: <https://www.us-nano.com/inc/sdetail/602>.
- [VHK+13] VASEEM, M.; HONG, A.-R.; KIM, R.-T. und HAHN, Y.-B.: *Copper oxide quantum dot ink for inkjet-driven digitally controlled high mobility field effect transistors*. In: *Journal of Materials Chemistry C*, Jg. 1 (2013) Nr. 11, S. 2112. DOI: 10.1039/c3tc00869j.

- [Vid17] VIDOR, F. F.: *ZnO thin-film transistors for cost-efficient flexible electronics*. Diss. UB-PAD - Paderborn University Library, 2017. DOI: 10.17619/UNIPB/1-37.
- [VMH16] VIDOR, F. F.; MEYERS, T. und HILLERINGMANN, U.: *Inverter Circuits Using ZnO Nanoparticle Based Thin-Film Transistors for Flexible Electronic Applications*. In: *Nanomaterials (Basel, Switzerland)*, Jg. 6 (2016) Nr. 9. DOI: 10.3390/nano6090154. URL: <https://www.mdpi.com/2079-4991/6/9/154>.
- [VMM+04] VOLKMAN, S. K.; MATTIS, B. A.; MOLESA, S. E.; LEE, J. B.; LA FUENTE VORNBROCK, A. de; BAKHISHEV, T. und SUBRAMANIAN, V.: *A novel transparent air-stable printable n-type semiconductor technology using ZnO nanoparticles*. In: *IEDM Technical Digest. IEEE International Electron Devices Meeting, 2004*. IEEE, 2004, S. 769–772. ISBN: 0-7803-8684-1. DOI: 10.1109/IEDM.2004.1419287.
- [VMW+16a] VIDOR, F. F.; MEYERS, T.; WIRTH, G. I. und HILLERINGMANN, U.: *Influence of Traps on the Characteristics of ZnO Nanoparticles Thin-Film Transistors*. In: *Micro-Nano-Integration; 6. GMM-Workshop* (2016), S. 1–6.
- [VMW+16b] VIDOR, F. F.; MEYERS, T.; WIRTH, G. I. und HILLERINGMANN, U.: *ZnO nanoparticle thin-film transistors on flexible substrate using spray-coating technique*. In: *Microelectronic Engineering*, Jg. 159 (2016), S. 155–158. DOI: 10.1016/j.mee.2016.02.059.
- [VWH17] VIDOR, F. F.; WIRTH, G. I. und HILLERINGMANN, U.: *ZnO Thin-Film Transistors for Cost-Efficient Flexible Electronics*. Cham: Springer, 2017. ISBN: 978-3-319-72556-7. URL: <https://ebookcentral.proquest.com/lib/gbv/detail.action?docID=5210885>.
- [Wag10] WAGER, J. F.: *Transfer-curve assessment of oxide thin-film transistors*. In: *Journal of the Society for Information Display*, Jg. 18 (2010) Nr. 10, S. 749. DOI: 10.1889/JSID18.10.749.
- [Wag20] WAGER, J. F.: *TFT Technology: Advancements and Opportunities for Improvement*. In: *Information Display*, Jg. 36 (2020) Nr. 2, S. 9–13. DOI: 10.1002/msid.1098.

- [Wan04] WANG, Z. L.: *Zinc oxide nanostructures: growth, properties and applications*. In: *Journal of Physics: Condensed Matter*, Jg. 16 (2004) Nr. 25, R829–R858. DOI: 10.1088/0953-8984/16/25/R01.
- [Wei12] WEIS, M.: *Gradual channel approximation models for organic field-effect transistors: The space-charge field effect*. In: *Journal of Applied Physics*, Jg. 111 (2012) Nr. 5, S. 054506. DOI: 10.1063/1.3691793.
- [Wei62] WEIMER, P.: *The TFT A New Thin-Film Transistor*. In: *Proceedings of the IRE*, Jg. 50 (1962) Nr. 6, S. 1462–1469. DOI: 10.1109/JRPROC.1962.288190.
- [Wel19a] WELLMANN, P.: *Isolatoren und Dielektrika*. In: *Materialien der Elektronik und Energietechnik*. Hrsg. von WELLMANN, P. Wiesbaden: Springer Fachmedien Wiesbaden, 2019, S. 169–194. ISBN: 978-3-658-26991-3. DOI: 10.1007/978-3-658-26992-0{\textunderscore}5.
- [Wel19b] WELLMANN, P.: *Supraleiter*. In: *Materialien der Elektronik und Energietechnik*. Hrsg. von WELLMANN, P. Wiesbaden: Springer Fachmedien Wiesbaden, 2019, S. 195–209. ISBN: 978-3-658-26991-3. DOI: 10.1007/978-3-658-26992-0{\textunderscore}6.
- [WHC+11] WANG, S. B.; HSIAO, C. H.; CHANG, S. J.; LAM, K. T.; WEN, K. H.; HUNG, S. C.; YOUNG, S. J. und HUANG, B. R.: *A CuO nanowire infrared photodetector*. In: *Sensors and Actuators A: Physical*, Jg. 171 (2011) Nr. 2, S. 207–211. DOI: 10.1016/j.sna.2011.09.011.
- [WHC+18] WANG, B.; HUANG, W.; CHI, L.; AL-HASHIMI, M.; MARKS, T. J. und FACCHETTI, A.: *High- k Gate Dielectrics for Emerging Flexible and Stretchable Electronics*. In: *Chemical reviews*, Jg. 118 (2018) Nr. 11, S. 5690–5754. DOI: 10.1021/acs.chemrev.8b00045.
- [WIM+09] WATANABE, S.; INUKAI, K.; MIZUTA, S. und MIYAHARA, M. T.: *Mechanism for stripe pattern formation on hydrophilic surfaces by using convective self-assembly*. In: *Langmuir*, Jg. 25 (2009) Nr. 13, S. 7287–7295. DOI: 10.1021/1a900315h.
- [Win13] WINKLER GMBH: *Silikonheizer und Heizfolien*. Heidelberg und Deutschland, 2013.

- [WKP08] WAGER, J. F.; KESZLER, D. A. und PRESLEY, R. E.: *Transparent electronics*. Boston, MA: Springer, 2008. ISBN: 9780387723426. DOI: 10.1007/978-0-387-72342-6. URL: <http://site.ebrary.com/lib/alltitles/docDetail.action?docID=10217947>.
- [WKT+20] WEI, X.; KUMAGAI, S.; TSUZUKU, K.; YAMAMURA, A.; MAKITA, T.; SASAKI, M.; WATANABE, S. und TAKEYA, J.: *Solution-processed flexible metal-oxide thin-film transistors operating beyond 20 MHz*. In: *Flexible and Printed Electronics*, Jg. 5 (2020) Nr. 1, S. 015003. DOI: 10.1088/2058-8585/ab603b.
- [WLG+16] WANG, Y.; LANY, S.; GHANBAJA, J.; FAGOT-REVURAT, Y.; CHEN, Y. P.; SOLDERA, F.; HORWAT, D.; MÜCKLICH, F. und PIERSON, J. F.: *Electronic structures of Cu_2O , Cu_4O_3 , and CuO : A joint experimental and theoretical study*. In: *Physical Review B*, Jg. 94 (2016) Nr. 24. DOI: 10.1103/PhysRevB.94.245418.
- [WLH+21] WU, Y.; LAN, L.; HE, P.; LIN, Y.; DENG, C.; CHEN, S. und PENG, J.: *Influence of Hydrogen Ions on the Performance of Thin-Film Transistors with Solution-Processed AlO_x Gate Dielectrics*. In: *Applied Sciences*, Jg. 11 (2021) Nr. 10, S. 4393. DOI: 10.3390/app11104393.
- [WLL+15] WANG, W.; LI, L.; LU, C.; LIU, Y.; LV, H.; XU, G.; JI, Z. und LIU, M.: *Analysis of the contact resistance in amorphous $InGaZnO$ thin film transistors*. In: *Applied Physics Letters*, Jg. 107 (2015) Nr. 6, S. 063504. DOI: 10.1063/1.4928626.
- [WLY+16] WANG, F.; LI, H.; YUAN, Z.; SUN, Y.; CHANG, F.; DENG, H.; XIE, L. und LI, H.: *A highly sensitive gas sensor based on CuO nanoparticles synthesized via a sol-gel method*. In: *RSC Advances*, Jg. 6 (2016) Nr. 83, S. 79343–79349. DOI: 10.1039/c6ra13876d.
- [WNC+16] WANG, Z.; NAYAK, P. K.; CARAVEO-FRESCAS, J. A. und ALSHAREEF, H. N.: *Recent Developments in p-Type Oxide Semiconductor Materials and Devices*. In: *Advanced materials (Deerfield Beach, Fla.)*, Jg. 28 (2016) Nr. 20, S. 3831–3892. DOI: 10.1002/adma.201503080.
- [Wol11] WOLFF, K.: *Integrationstechniken für Feldeffekttransistoren mit halbleitenden Nanopartikeln: Einzel- und Multipartikel-Bauelemente: Zugl.: Paderborn, Univ., Diss., 2011*. 1. Aufl. Wiesbaden: Vieweg+Teubner Verlag / Springer Fachmedien Wiesbaden GmbH Wiesbaden, 2011. ISBN:

9783834882714. DOI: 10.1007/978-3-8348-8271-4. URL: <http://gbv.eblib.com/patron/FullRecord.aspx?p=798863>.
- [WP21] WANG, Y. und PIERSON, J. F.: *Binary copper oxides as photovoltaic absorbers: recent progress in materials and applications*. In: Jg. 54 (2021) Nr. 26, S. 263002. DOI: 10.1088/1361-6463/abf165.
- [WSJ+18] WOJIN PARK; SOHAIL F SHAIKH; JUNG-WOOK MIN; SANG KYUNG LEE; BYOUNG HUN LEE und MUHAMMAD M HUSSAIN: *Contact resistance reduction of ZnO thin film transistors (TFTs) with saw-shaped electrode*. In: *Nanotechnology*, Jg. 29 (2018) Nr. 32, S. 325202. DOI: 10.1088/1361-6528/aac4b9.
- [WWA01] WILK, G. D.; WALLACE, R. M. und ANTHONY, J. M.: *High-k gate dielectrics: Current status and materials properties considerations*. In: *Journal of Applied Physics*, Jg. 89 (2001) Nr. 10, S. 5243–5275. DOI: 10.1063/1.1361065.
- [WWK+21] WATANABE, S.; WEI, X.; KUMAGAI, S.; MAKITA, T.; TSUZUKU, K.; YAMAMURA, A.; SASAKI, M. und TAKEYA, J.: *Scalable High-Speed Hybrid Complementary Integrated Circuits based on Solution-Processed Organic and Amorphous Metal Oxide Semiconductors*. 2021. DOI: 10.21203/rs.3.rs-883006/v1.
- [WZS06] WANG, J. Z.; ZHENG, Z. H. und SIRRINGHAUS, H.: *Suppression of short-channel effects in organic thin-film transistors*. In: *Applied Physics Letters*, Jg. 89 (2006) Nr. 8, S. 083513. DOI: 10.1063/1.2234724.
- [Xin20] XINXIN LIU: *Anwendung von Nanopartikel-ZnO Dünnschichttransistoren in einfachen Schaltungen*. Doctoralthesis. Friedrich-Alexander-Universität Erlangen-Nürnberg (FAU), 2020.
- [XLX+18] XU, W.; LI, H.; XU, J.-B. und WANG, L.: *Recent Advances of Solution-Processed Metal Oxide Thin-Film Transistors*. In: *ACS Applied Materials & Interfaces*, Jg. 10 (2018) Nr. 31, S. 25878–25901. DOI: 10.1021/acsmi.7b16010.
- [XPS+00] XU, J.; PAN, Q.; SHUN, Y. und TIAN, Z.: *Grain size control and gas sensing properties of ZnO gas sensor*. In: *Sensors and Actuators B: Chemical*, Jg. 66 (2000) Nr. 1-3, S. 277–279. DOI: 10.1016/S0925-4005(00)00381-6.

- [XSK+20] XIAOZHU WEI; SHOHEI KUMAGAI; KOTARO TSUZUKU; AKIFUMI YAMAMURA; TATSUYUKI MAKITA; MARI SASAKI; SHUN WATANABE und JUN TAKEYA: *Solution-processed flexible metal-oxide thin-film transistors operating beyond 20 MHz*. In: *Flexible and Printed Electronics*, Jg. 5 (2020) Nr. 1, S. 015003. DOI: 10.1088/2058-8585/ab603b.
- [XWX+15] XU, W.; WANG, H.; XIE, F.; CHEN, J.; CAO, H. und XU, J.-B.: *Facile and environmentally friendly solution-processed aluminum oxide dielectric for low-temperature, high-performance oxide thin-film transistors*. In: *ACS Applied Materials & Interfaces*, Jg. 7 (2015) Nr. 10, S. 5803–5810. DOI: 10.1021/am508775c.
- [YLL+15] YU, J.; LIU, G.; LIU, A.; MENG, Y.; SHIN, B. und SHAN, F.: *Solution-processed p-type copper oxide thin-film transistors fabricated by using a one-step vacuum annealing technique*. In: *Journal of Materials Chemistry C*, Jg. 3 (2015) Nr. 37, S. 9509–9513. DOI: 10.1039/C5TC02384J.
- [YMG+10] YAKIMETS, I.; MACKERRON, D.; GIESEN, P.; KILMARTIN, K. J.; GOORHUIS, M.; MEINDERS, E. und MACDONALD, W. A.: *Polymer Substrates for Flexible Electronics: Achievements and Challenges*. In: *Advanced Materials Research*, Jg. 93-94 (2010), S. 5–8. DOI: 10.4028/www.scientific.net/AMR.93-94.5.
- [YMS+17] YAPABANDARA, K.; MIRKHANI, V.; SULTAN, M. S.; OZDEN, B.; KHANAL, M. P.; PARK, M.; WANG, S.; HAMILTON, M. C.; CHUNG, Y.; KIM, D.-J. und SK, M. H.: *Study of device instability of bottom-gate ZnO transistors with sol-gel derived channel layers*. In: *Journal of Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena*, Jg. 35 (2017) Nr. 3, S. 03D104. DOI: 10.1116/1.4979321.
- [YWL+18] YANG, J.; WANG, Y.; LI, Y.; YUAN, Y.; HU, Z.; MA, P.; ZHOU, L.; WANG, Q.; SONG, A. und XIN, Q.: *Highly Optimized Complementary Inverters Based on p-SnO and n-InGaZnO With High Uniformity*. In: *IEEE Electron Device Letters*, Jg. 39 (2018) Nr. 4, S. 516–519. DOI: 10.1109/LED.2018.2809796.
- [YXD+11] YAO, J.; XU, N.; DENG, S.; CHEN, J.; SHE, J.; SHIEH, H. D.; LIU, P.-T. und HUANG, Y.-P.: *Electrical and Photosensitive Characteristics of a-IGZO TFTs Related to Oxygen Vacancy*. In: *IEEE Transactions on Electron Devices*, Jg. 58 (2011) Nr. 4, S. 1121–1126. DOI: 10.1109/ted.2011.2105879.

- [YXW+15] YANG, C.; XIAO, F.; WANG, J. und SU, X.: *3D flower- and 2D sheet-like CuO nanostructures: Microwave-assisted synthesis and application in gas sensors*. In: *Sensors and Actuators B: Chemical*, Jg. 207 (2015), S. 177–185. DOI: 10.1016/j.snb.2014.10.063.
- [YYL+18] YIM, K.; YOUN, Y.; LEE, M.; YOO, D.; LEE, J.; CHO, S. H. und HAN, S.: *Computational discovery of p-type transparent oxide semiconductors using hydrogen descriptor*. In: *npj Computational Materials*, Jg. 4 (2018) Nr. 1. DOI: 10.1038/s41524-018-0073-z.
- [YYX+17] YE, Z.; YUAN, Y.; XU, H.; LIU, Y.; LUO, J. und WONG, M.: *Mechanism and Origin of Hysteresis in Oxide Thin-Film Transistor and Its Application on 3-D Nonvolatile Memory*. In: *IEEE Transactions on Electron Devices*, Jg. 64 (2017) Nr. 2, S. 438–446. DOI: 10.1109/TED.2016.2641476.
- [YYY+19] YANG, Y.; YANG, J.; YIN, W.; HUANG, F.; CUI, A.; ZHANG, D.; LI, W.; HU, Z. und CHU, J.: *Annealing time modulated the film microstructures and electrical properties of P-type CuO field effect transistors*. In: *Applied Surface Science*, Jg. 481 (2019), S. 632–636. DOI: 10.1016/j.apsusc.2019.03.130.
- [ZBG+20] ZSCHIESCHANG, U.; BORCHERT, J. W.; GIORGIO, M.; CAIRONI, M.; LETZKUS, F.; BURGHARTZ, J. N.; WAIZMANN, U.; WEIS, J.; LUDWIGS, S. und KLAUK, H.: *Roadmap to Gigahertz Organic Transistors*. In: *Advanced Functional Materials*, Jg. 30 (2020) Nr. 20, S. 1903812. DOI: 10.1002/adfm.201903812.
- [ZBR+11] ZARDETTO, V.; BROWN, T. M.; REALE, A. und DI CARLO, A.: *Substrates for flexible electronics: A practical investigation on the electrical, film flexibility, optical, temperature, and solvent resistance properties*. In: *Journal of Polymer Science Part B: Polymer Physics*, Jg. 49 (2011) Nr. 9, S. 638–648. DOI: 10.1002/polb.22227.
- [ZFY+10] ZOU, X.; FANG, G.; YUAN, L.; LI, M.; GUAN, W. und ZHAO, X.: *Top-Gate Low-Threshold Voltage p-Cu₂O Thin-Film Transistor Grown on SiO₂/Si Substrate Using a High-k HfON Gate Dielectric*. In: *IEEE Electron Device Letters*, Jg. 31 (2010) Nr. 8, S. 827–829. DOI: 10.1109/LED.2010.2050576.
- [Zhu14] ZHU, L.: *Exploring Strategies for High Dielectric Constant and Low Loss Polymer Dielectrics*. In: *The Journal of Physical Chemistry Letters*, Jg. 5 (2014) Nr. 21, S. 3677–3687. DOI: 10.1021/jz501831q.

- [ŽL20] ŽIVKOVIĆ, A. und LEEUW, N. H. de: *Exploring the formation of intrinsic p -type and n -type defects in CuO*. In: *Physical Review Materials*, Jg. 4 (2020) Nr. 7. DOI: 10.1103/PhysRevMaterials.4.074606.
- [ZLN20] ZHU, H.; LIU, A. und NOH, Y.-Y.: *Impact of Humidity on the Performance and Stability of Solution-Processed Copper Oxide Transistors*. In: *IEEE Electron Device Letters* (2020), S. 1. DOI: 10.1109/LED.2020.2993324.
- [ZPZ+20] ZHUANG, X.; PATEL, S.; ZHANG, C.; WANG, B.; CHEN, Y.; LIU, H.; DRVID, V. P.; YU, J.; HU, Y.-Y.; HUANG, W.; FACCHETTI, A. und MARKS, T. J.: *Frequency-Agile Low-Temperature Solution-Processed Alumina Dielectrics for Inorganic and Organic Electronics Enhanced by Fluoride Doping*. In: *Journal of the American Chemical Society*, Jg. 142 (2020) Nr. 28, S. 12440–12452. DOI: 10.1021/jacs.0c05161.
- [ZRM+14] ZOOLFAKAR, A. S.; RANI, R. A.; MORFA, A. J.; O’MULLANE, A. P. und KALANTAR-ZADEH, K.: *Nanostructured copper oxide semiconductors: a perspective on materials, synthesis methods and applications*. In: *Journal of Materials Chemistry C*, Jg. 2 (2014) Nr. 27, S. 5247–5270. DOI: 10.1039/C4TC00345D.
- [ZS07] ZAUMSEIL, J. und SIRRINGHAUS, H.: *Electron and ambipolar transport in organic field-effect transistors*. In: *Chemical reviews*, Jg. 107 (2007) Nr. 4, S. 1296–1323. DOI: 10.1021/cr0501543.
- [ZTM+20] ZARE BIDOKY, F.; TANG, B.; MA, R.; JOCHEM, K. S.; HYUN, W. J.; SONG, D.; KOESTER, S. J.; LODGE, T. P. und FRISBIE, C. D.: *Sub-3 V ZnO Electrolyte-Gated Transistors and Circuits with Screen-Printed and Photo-Crosslinked Ion Gel Gate Dielectrics: New Routes to Improved Performance*. In: *Advanced Functional Materials*, Jg. 30 (2020) Nr. 20, S. 1902028. DOI: 10.1002/adfm.201902028.
- [ZWZ01] ZHANG, S. B.; WEI, S.-H. und ZUNGER, A.: *Intrinsic n -type versus p -type doping asymmetry and the defect physics of ZnO*. In: *Physical review. B, Condensed matter*, Jg. 63 (2001) Nr. 7. DOI: 10.1103/PhysRevB.63.075205.
- [ZZX+14] ZHANG, Q.; ZHANG, K.; XU, D.; YANG, G.; HUANG, H.; NIE, F.; LIU, C. und YANG, S.: *CuO nanostructures: Synthesis, characterization, growth mechanisms, fundamental properties, and applications*. In: *Progress in*

Materials Science, Jg. 60 (2014), S. 208–337. DOI: 10.1016/j.pmatsci.2013.09.003.



Prozesstechnik

A.1 Lithografieprozesse

Tabelle A.1: Lithografie-Parameter für den Umkehrlack AZ®5214 E (Positivmodus)

Prozess	Parameter
Ausheizen	45 min, 100°C
HMDS	5 min
Aufschleudern des Fotolackes	Blow: 5 s, 1000 U/min Low-Spin: 10 s, 800 U/min High-Spin: 45 s, 4000 U/min
Softbake	60 s, 110°C (Si) 5 min, 110°C (Glas) 15 min, 115°C im Umluftofen (PET)
Rehydrierung	30 min
Belichtung	2,8 s
Entwicklung (NaOH)	ca. 45 s

Tabelle A.2: Lithografie-Parameter für den Umkehrlack AZ@5214 E (Negativmodus)

Prozess	Parameter
Ausheizen	45 min, 100 °C
HMDS	5 min
Aufschleudern des Fotolackes	Blow: 5 s, 1000 U/min Low-Spin: 10 s, 800 U/min High-Spin: 45 s, 4000 U/min
Softbake	60 s, 100 °C (Si) 5 min, 100 °C (Glas) 15 min, 105 °C%, im Umluftofen (PET)
Rehydrierung	30 min
Belichtung	2,8 s
Umkehrbackschrift	120 s, 120 °C (Si) 6 min, 120 °C (Glas) 15 min, 120 °C im Umluftofen (PET)
Entwicklung (NaOH)	ca. 45 s
Rehydrierung	30 min
Flutbelichtung	50 s

Tabelle A.3: Lithografie-Parameter für die Selbstjustierung

Prozess	Parameter
Ausheizen	45 min, 100 °C
HMDS	5 min
Aufschleudern des Fotolackes	Blow: 5 s, 1000 U/min Low-Spin: 10 s, 800 U/min High-Spin: 45 s, 4000 U/min
Softbake	5 min, 110 °C (Glas) 15 min, 115 °C im Umluftofen (PET)
Reduzierung der Lackdicke (RIE)	8,5 min, 100 % O ₂ , 50 W, 150 mTorr
Rehydrierung	30 min
Rückseitenbelichtung	6,8 s
Entwicklung (NaOH)	ca. 45 s

A.2 Ätzlösungen

Tabelle A.4: Zusammensetzung der Aluminium-Ätzlösung

Stoff	Menge
H ₂ O	150 ml
H ₃ PO ₃	1200 ml
HNO ₃	75 ml
CH ₃ COOH	75 ml

Tabelle A.5: Zusammensetzung der Titan-Ätzlösung

Stoff	Menge
H ₂ O	300 ml
H ₂ O ₂	180 ml
NH ₄ OH	60 ml

Tabelle A.6: Zusammensetzung der Gold-Ätzlösung

Stoff	Menge
H ₂ O	55 ml
I	0,1875 g
KI	0,75 g

Tabelle A.7: Zusammensetzung der Siliziumdioxid(SiO₂)-Ätzlösung

Stoff	Menge
H ₂ O	450 ml
NH ₄ F	450 g
HF	210 ml

A.3 Trockenätzprozess zum Gate-Schrumpfen

Tabelle A.8: Prozessparameter für das RIE-Ätzen des entwickelten Fotolackes

Prozessparameter	Wert
Gas	100 % O ₂
Gasfluss	20 sccm
Druck	150 mTorr
HF-Leistung	50 W
Elektrode	Kohlenstoff

Ausgewählte Formelzeichen und Abkürzungen

Formelzeichen

C_{Diel}	Gate-Kapazität pro Einheitsfläche
E	elektrische Feldstärke
E_C	Leitungsbandkante
E_F	Fermi-Energie
E_g	Bandlücke
E_V	Valenzbandkante
f_T	Transitfrequenz
g_m	Transkonduktanz
I_D	Drainstrom
I_{DD}	Querstrom
I_G	Gate-Strom, Leckstrom
I_{OFF}	minimaler Drainstrom
I_{ON}	maximaler Drainstrom
J	Stromdichte
k	Dielektrizitätskonstante des Gate-Dielektrikums
k_B	Boltzmann-Konstante ($1,381 \cdot 10^{-23} \text{ cm}^2\text{kg s}^{-2}\text{K}^{-1}$)
L	Kanallänge
n_{HL}	Ladungsträgerkonzentration im Halbleitermaterial
$N_{T,Int}$	Fallenzustandsdichte an Halbleiter-Dielektrikum-Grenzfläche
q	Elementarladung
Q_{Int}	Grenzflächenladung
R	elektrischer Widerstand
R_C	Kontaktwiderstand
R_T	Gesamtwiderstand
S	Subschwelligenspannungsstromanstieg
T	Temperatur
t_{HLh}	Dicke der Halbleiterschicht
V_D	Drain-Spannung

V_{DD}	Versorgungsspannung eines Inverters
V_{DS}	Drain-Source-Spannung
V_{FB}	Flachband-Spannung
V_G	Gate-Spannung
V_{IN}	Eingangsspannung eines Inverters
V_M	Schaltsschwelle eines Inverters
V_{ON}	Einschaltspannung
V_{OUT}	Ausgangsspannung eines Inverters
V_{Th}	Schwellenspannung
W	Kanalweite
β	geometrisches Verhältnis
ϵ_0	Dielektrizitätskonstante ($8,854 \cdot 10^{-12} \text{ Am(Vs)}^{-1}$)
ϵ_r	relative Permittivität
λ	Wellenlänge
Φ_{Bn}	Elektroneninjektionsbarriere
Φ_{Bp}	Löcherinjektionsbarriere
Φ_M, Φ_{HL}	Austrittsarbeit für Metalle bzw. Halbleiter
σ	elektrische Leitfähigkeit
μ	Ladungsträgerbeweglichkeit
χ	Elektronenaffinität

Abkürzungen

AFM	Atomic Force Microscope
ALD	Atomic Layer Deposition
AMLCD	Active Matrix Liquid Crystal Display
AMOLED	Active Matrix Organic Light Emitting Diode
CMOS	Complementary Metal Oxide Semiconductor
DFT	Density Functional Theory
DIBL	Drain Induced Barrier Lowering
DOF	Depth of Focus
FET	Feldeffekttransistor
IoT	Internet of Things
ITO	Indiumzinnoxid
LDA	Local Density Approximation
LPCVD	Low Pressure Chemical Vapor Deposition
LTPS	Low-Temperature Poly-Silicon
MISFET	Metal-Insulator-Semiconductor Field-Effect-Transistor
MOSFET	Metal-Oxide-Semiconductor Field-Effect-Transistor
OTFT	Organic Thin-film transistor
PECVD	Plasma Enhanced Chemical Vapor Deposition
PID	Proportional-Integral-Differential Regler
PLD	Pulsed Laser Deposition
PWM	Pulsweitenmodulation
REM	Rasterelektronenmikroskop
RMS	Root Mean Square
R2R	Roll-to-Roll
SAM	Self-Assembled Monolayer
TLM	Transmission Line Methode
TFT	Thin-film transistor
VTC	Voltage Transfer Characteristics

Publikationen

Artikel in wissenschaftlichen Journalen

- [1] I.R. KAUFMANN, O. ZEREY, T. MEYERS, **J. Reker**, F.F. VIDOR, U. HILLERINGMANN: A study about Schottky Barrier Height and ideality factor in Thin Film Transistors with Metal/Zinc Oxide Nanoparticles structures aiming flexible electronics application. In: *Nanomaterials*, Jg. 11(2021), Nr. 5, S. 1188–30. Apr. 2021, <https://dx.doi.org/10.3390/nano11051188>.

Tagungsbände

- [2] **J. Reker**, T. MEYERS, F.F. VIDOR, T.-H. JOUBERT, U. HILLERINGMANN: Influence of electrode metallization on thin-film transistor performance. In: *2021 IEEE AFRICON*, 13–15 Sept. 2021, online, <https://dx.doi.org/10.1109/SSI52265.2021.9466966>.
- [3] **J. Reker**, T. MEYERS, F.F. VIDOR, T.-H. JOUBERT, U. HILLERINGMANN: Integration Process for Self-Aligned Sub- μm Thin-Film Transistors for Flexible Electronics. In: *2021 IEEE International Conference on Flexible, Printable Sensors and Systems (FLEPS) – Virtual Conference*, 20–23 June 2021, S. 1–4, <https://dx.doi.org/10.1109/FLEPS51544.2021.9469764>.
- [4] **J. Reker**, T. MEYERS, F.F. VIDOR, T.-H. JOUBERT, U. HILLERINGMANN: Complementary Inverter Circuits on Flexible Substrates. In: *2021 Smart Systems Integration Conference (SSI)*, 27–29 Apr. 2021, pp. 1–4, <https://dx.doi.org/10.1109/SSI52265.2021.9466966>.
- [5] **J. Reker**, F.F. VIDOR, T.-H. JOUBERT, U. HILLERINGMANN: Integration Routine for TFTs with Sub- μm Channel Length. In: *9th NRW Nano Conference – Virtual Edition*, 21–23 Apr. 2021, online.
- [6] **J. Reker**, F.F. VIDOR, T.-H. JOUBERT, U. HILLERINGMANN: Complementary Transistor Integration for Metal Oxide Nanoparticle Inverter Circuits. In: *9th NRW Nano Conference – Virtual Edition*, 21–23 Apr. 2021, online.

- [7] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Metallization technique for drain/source electrodes for complementary organic and ZnO nanoparticle inverter circuits. In: *The 45th International Conference on Micro and Nano Engineering (MNE2019)*, 23–26 Sept. 2019, Rhodes, Greece.
- [8] T. MEYERS, **J. Reker**, J. TEMME, F.F. VIDOR, U. HILLERINGMANN: Self-aligned organic thin-film transistors for flexible electronics. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500673>.
- [9] T. MEYERS, **J. Reker**, J. TEMME, F.F. VIDOR, J. VOLLBRECHT, H. KITZEROW, J. PARADIES, U. HILLERINGMANN: Improved organic thin-film transistor performance by dielectric layer patterning. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500286>.
- [10] U. HILLERINGMANN, **J. Reker**, T. MEYERS, F.F. VIDOR, P. BEZUIDENHOUT, T.-H. JOUBERT: Nanoparticles and organic semiconductors for flexible electronics. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500218>.
- [11] F.F. VIDOR, T. MEYERS, **J. Reker**, K. MÜLLER, G.I. WIRTH, U. HILLERINGMANN: Mechanical deformation on nanoparticle-based thin-film transistors. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2502393>.
- [12] D. PETROV, T. MEYERS, **J. Reker**, U. HILLERINGMANN: Doctor blade system for the deposition of thin semiconducting films. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2501307>.
- [13] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Inorganic p-channel thin-film transistors using CuO nanoparticles. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2500644>.
- [14] T. SCHWABE, A. BALKE, P. BEZUIDENHOUT, **J. Reker**, T. MEYERS, T.-H. JOUBERT, U. HILLERINGMANN: Oxygen detection with zinc oxide nanoparticle structures. In: *Proc. SPIE 11043, Fifth Conference on Sensors, MEMS and Electro-Optic Systems*, 1104313 (2019), <https://dx.doi.org/10.1117/12.2501507>.

- [15] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Inverter circuits in complementary technology using inorganic nanoparticle-based TFTs. In: *2018 Fall Meeting European Materials Research Society (E-MRS2018)*, 17–20 Sept. 2018, Warsaw, Poland.
- [16] T.E. BECKER, F.F. VIDOR, G.I. WIRTH, T. MEYERS, **J. Reker**, U. HILLERINGMANN: Time domain electrical characterization in zinc oxide nanoparticle thin-film transistors. In: *2018 IEEE 19th Latin-American Test Symposium (LATS2018)*, 12–14 Mar. 2018, Sao Paulo, Brazil. <https://dx.doi.org/10.1109/LATW.2018.8349695>.
- [17] T. MEYERS, **J. Reker**, D. PETROV, F.F. VIDOR, U. HILLERINGMANN: Influence of the electrode material on the performance of BTBT-based thin-film transistors. In: *7th GMM-Workshop Mikro-Nano-Integration (MNI2018)*, VDE Verlag, 22–23 Oct. 2018, Dortmund, Germany. ISBN: 978–3–8007–4789–4.
- [18] T. MEYERS, **J. Reker**, F.F. VIDOR, U. HILLERINGMANN: Deposition methods for C8-BTBT in flexible TFTs. In: *Smart Systems Integration Conference*, 11–12 Apr. 2018, Dresden, Germany. ISBN: 978–3–95735–082–4.
- [19] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Deposition speed optimization for ZnO nanoparticle TFTs using doctor blade process. In: *Smart Systems Integration Conference*, 11–12 Apr. 2018, Dresden, Germany. ISBN: 978–3–95735–082–4.
- [20] **J. Reker**, T. MEYERS, D. PETROV, F.F. VIDOR, U. HILLERINGMANN: Performance Analysis of CuO Nanoparticle-Based Thin-Film Transistors. In: *7th GMM-Workshop Mikro-Nano-Integration (MNI2018)*, VDE Verlag, 22–23 Oct. 2018, Dortmund, Germany. ISBN: 978–3–8007–4789–4.
- [21] T. MEYERS, **J. Reker**, F.F. VIDOR, M. SCHIRMER, T. MAI, M. GERNGROSS, C. KAISER, U. HILLERINGMANN: Characterization of an amorphous perfluorinated copolymer as dielectric for flexible electronics. In: *The 44th International Conference on Micro and Nano Engineering (MNE2018)*, VDE Verlag, 24–27 Sept. 2018, Copenhagen, Denmark.
- [22] T. MEYERS, J. VOLLBRECHT, F.F. VIDOR, **J. Reker**, H. KITZEROW, U. HILLERINGMANN: Organic Thin-Film Transistors for AMOLED Applications. In: *MikroSystemTechnik Kongress (MST2017)*, VDE Verlag, 23–25 Oct. 2017, Munich, Germany. ISBN: 978–3–8007–4491–6.

- [23] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Integrationstechnik für ZnO-Nanopartikel-Dünnschichttransistoren. In: *MikroSystemTechnik Kongress (MST2017)*, VDE Verlag, 23–25 Oct. 2017, Munich, Germany. ISBN: 978–3–8007–4491–6.
- [24] **J. Reker**, T. MEYERS, F.F. VIDOR, U. HILLERINGMANN: Deposition of ZnO nanoparticles for thin-film transistors by doctor blade process. In: *2017 IEEE AFRICON*, IEEE, 18–20 Sept. 2017, pp. 634–638 Cape Town, South Africa. <http://dx.doi.org/10.1109/AFRCON.2017.8095556>.
- [25] F.F. VIDOR, G.I. WIRTH, T. MEYERS, **J. Reker**, U. HILLERINGMANN: Self-aligned ZnO nanoparticle-based TFTs for flexible electronics. In: *2017 IEEE AFRICON*, IEEE, 18–20 Sept. 2017, pp. 644–648 Cape Town, South Africa. <http://dx.doi.org/10.1109/AFRCON.2017.8095558>.
- [26] T. MEYERS, F.F. VIDOR, **J. Reker**, T. BROCKSCHMIDT, U. HILLERINGMANN: Electric field-assisted performance improvement of solution-processed organic thin-film transistors. In: *The IDTechEx Show!*, 10–11 May 2017, Berlin, Germany.