

Zusammenfassung der Dissertation

Entwurf von Komponenten für Multi-GHz-Datenwandler

Samiran Halder

In den letzten Jahrzehnten hat sich die für die Kommunikationstechnik erforderliche Bandbreite sehr schnell vergrößert und so direkt den Bedarf an schnellen Datenwandlern vorangetrieben. In Hochfrequenzsystemen wird die Analog-Digital-Schnittstelle in Richtung Antenne verschoben, weil die komplexe Signalverarbeitung im Digitalbereich effizienter realisiert werden kann. Andererseits wird dadurch der Entwurf dieser sehr schnellen Datenwandler immer komplizierter.

In dieser Dissertation werden die wichtigsten Herausforderungen beim Entwurf von Multi-GHz-Datenwandlern behandelt. Der Hauptteil der Forschungsarbeit gliedert sich in zwei große Bereiche. Im ersten Bereich werden die verschiedenen Entwurfstechniken für Multi-GHz-Analog-Digital-Wandler (ADC) vorgestellt. Im anderen Bereich wird der Entwurf von nach dem Stromsteuerprinzip arbeitenden Multi-GHz-Digital-Analog-Wandlern (DAC) behandelt.

Im Zusammenhang mit dem ADC-Entwurf erweist sich der an der Schnittstelle erforderliche Abtast-Halte-Verstärker (THA) als die kritischste Komponente. Dies ist in der Tatsache begründet, dass jeder in diesem Block erzeugte Fehler in der nachfolgenden Signalverarbeitung nicht mehr kompensiert werden kann. In dieser Forschungsarbeit wurde der Versuch unternommen, die Leistungsfähigkeit des THA so zu verbessern, dass die strengen Genauigkeitsanforderungen des Quantisierungsprozesses entspannt werden können. Dies wurde durch eine Vergrößerung des Eingangsbereichs des THA erreicht. Zwei verschiedene THA's wurden entworfen und erfolgreich vermessen. In beiden THA's wurden verschiedene Techniken genutzt, um den Differenzeingangsspannungsbereich bei einer Abtastrate von 10GHz bis auf 2Vpp zu erhöhen. Nach Kenntnis des Autors sind dies die einzigen veröffentlichten THA's, die mit Eingangssignalen von 2Vpp arbeiten und dabei bei einer Abtastrate von 10GHz eine effektive Auflösung von mehr als 6.5bit erreichen. Vorgeschlagen wird ferner eine neuartige Zweifachabtastung für rückkopplungsfreie THA-Architekturen, die eine Verdopplung der Abtastrate des THA bei einer geringen Zunahme des Leistungsverbrauchs im Vergleich zu gewöhnlichen rückkopplungsfreien THA's ermöglicht. Als Demonstrator wurde ein 20GHz 6bit Komparator entworfen und erfolgreich vermessen.

Bereits entworfen wurde ferner ein segmentierter, nach dem Stromsteuerprinzip arbeitender 8bit DAC. Als Kompromiss zwischen Genauigkeit und Leistungsverbrauch wurde eine Segmentierung von 50% gewählt. Der MSB-Block des DAC wurde in der konventionellen unär gewichteten DAC-Architektur implementiert. Im Zusammenhang mit dem Entwurf eines Hochgeschwindigkeits-DAC's stellt der Dekoder zur Umwandlung des Binärkodes in den Thermometerkode die in Bezug auf Geschwindigkeit und Verlustleistung kritischste Komponente dar. Für den Entwurf dieses unären Blocks des DAC wird ein neuartiger Thermometerdekode vorgeschlagen, der im Wesentlichen auf einer HBT-ROM-Struktur basiert. In der Simulation zeigt der 8bit DAC eine effektive Genauigkeit von 7.83bit (ENOB) bei einem 9GHz Sinussignal und einer Abtastrate von 20GHz. Bereits implementiert wurde der 4bit LSB-Block des DAC, in dem ein gewichtetes Widerstandsnetzwerk Anwendung fand. Dabei wurde ein neuartiges binär gewichtetes Widerstandsnetzwerk vorgeschlagen. Die Funktion des 4bit DAC konnte bis zu einer Abtastrate von 30GHz nachgewiesen werden, was hinsichtlich der Abtastrate das zweitbeste Ergebnis aller veröffentlichten Hochgeschwindigkeits-DAC's auf Basis von SiGe darstellt.