

Christophe Bobda

## Abstract der Dissertation

Diese Arbeit liefert einen Beitrag im Gebiet der Synthese rekonfigurierbarer Systeme. Es werden solche rekonfigurierbaren Systeme betrachtet, die aus einem oder mehreren General Purpose Prozessoren (GPP) und einer Menge von rekonfigurierbaren Recheneinheiten (RPU) bestehen. Für eine vorgegebene Applikation, die auf dieser Architektur implementiert werden soll, wird durch eine Hardware/Software Partitionierung bestimmt, welcher Teil in Hardware und welcher Teil in Software realisiert wird. Die Synthese eines rekonfigurierbaren Systems besteht sowohl aus dem Prozess der Hardware/Software Partitinierung sowie aus der Implementierung des Softwareteils für den GPP und dem Harwareteil für die RPU. Der auf der RPU zu implementierende Teil ist als Datenflussgraph (DFG) vorgegeben. Diese Arbeit befasst sich mit dem Teil der Applikation, der auf der RPU implementiert werden soll. Die RPU Zielarchitektur, die in dieser Arbeit angewendet wird, ist ein Field Programmable Gate Array (FPGA). Weil die DFGs, die auf dem FPGA implementiert werden sollen, gewöhnlich zu umfangreich sind, um auf einmal in ein FPGA zu passen, müssen diese in meherere Blöcke unterteilt werden. Diese Blöcke können dann suksezzive auf das FPGA heruntergeladen werden, um die gewünschte Funktionalität zu berechnen. Wenn ein FPGA nicht partiell rekonfiguriert werden kann, so muss das gesamte FPGA auf einmal programmiert werden. In diesem Fall spricht man von temporaler Partitionierung andernfalls von temporaler Platzierung. Der Beitrag dieser Arbeit besteht aus der Entwicklung verschiedener Algorithmen für temporale Partitionierungs- und die temporale Platzierungsprobleme.