

Das Konzept der rekonfigurierbaren Hardware stellt einen Kompromiss zwischen der Flexibilität von Universalprozessoren und der Leistungsfähigkeit von anwendungsspezifischen Schaltungen (ASICs) dar. Rekonfigurierbare Architekturen, wie z.B. FPGAs, bestehen aus einem Feld von konfigurierbaren Verarbeitungseinheiten, die über eine programmierbare Kommunikationsinfrastruktur miteinander verbunden sind. Durch das Zusammenschalten der Verarbeitungseinheiten lassen sich komplexe Systeme auf einem Baustein integrieren. Partiiell rekonfigurierbare Architekturen erlauben die gezielte Anpassung eines Teils der Architektur. Auf diese Weise lassen sich Recheneinheiten realisieren, die in der Funktion variabel und zur Laufzeit rekonfigurierbar sind.

In dieser Arbeit wird die Leistungsfähigkeit verschiedener Systemansätze für partiell rekonfigurierbare Hardware untersucht. Um die hier betrachteten Systemansätze und die entsprechenden Platzierungsverfahren zu analysieren, wird die Simulationsumgebung zur Analyse rekonfigurierbarer Architekturen (SARA) vorgestellt.

Da heutige FPGAs aus verschiedenen Zellen bestehen, ergeben sich bei der Platzierung von dynamischen Systemkomponenten Einschränkungen, die in den Platzierungsverfahren berücksichtigt werden müssen. In dieser Arbeit wird daher analysiert, ob bekannte Platzierungsverfahren auch für heterogene Architekturen adaptiert werden können. Es werden geeignete Methoden zur Ressourcenverwaltung von heterogenen Architekturen vorgestellt. Dabei wird ein neuer Platzierungsansatz beschrieben, welcher die im Zusammenhang mit heterogenen rekonfigurierbaren Architekturen vorhandenen Einschränkungen berücksichtigt.