

Im Rahmen dieser Arbeit wurde die neuartige skalierbare GigaNetIC-Chip-Multiprozessor-Architektur entworfen. Sie kann aufgrund ihrer sehr flexibel gestalteten, parametrisierbaren Hardwarestruktur an verschiedenste Anforderungen angepasst werden, um so für unterschiedlichste Anwendungsszenarien eine möglichst ressourceneffiziente Lösung zu bieten. Das Rückgrat dieser Architektur bildet das eigens hierfür entworfene, neuartige hierarchische GigaNoC-On-Chip-Netzwerk.

Zur detaillierten Evaluation und Optimierung aller Hardwarekomponenten bis hin zur rückannotierten Simulation und skriptgesteuerten Modifikation der Hardwarebeschreibung wurde eine umfangreiche Entwicklungsumgebung entworfen. Diese wurde In Kooperation mit Projektpartnern der Universität Paderborn in eine geschlossene und ineinander verzahnte Werkzeugkette integriert, die u. a. eine automatische Generierung des Compilers und eines C-basierten zyklenakkuraten Instruktionssatzsimulators beinhaltet.

Anhand anwendungsspezifischer Instruktionssatzerweiterungen des N-Core-Prozessorkerns konnten Performanzzuwächse von bis zu 25% bei den untersuchten Netzwerkanwendungen erzielt werden. Zusätzlich implementierte Hardwarebeschleuniger ermöglichen eine Reduktion der Verarbeitungszeit um bis zu drei Größenordnungen bei moderater Flächenzunahme und deutlicher Reduktion des Energiebedarfs.

Wesentliche Maße und Formalismen zur kostenfunktionsbasierten Analyse und Bewertung von Chip-Multiprozessoren und ihrer Komponenten wurden eingeführt und exemplarisch angewendet.

Varianten der GigaNetIC-Architektur wurden als FPGA-Prototyp und in zwei aktuellen CMOS-Standardzellentechnologien implementiert.